

# 원격측정 데이터 처리시스템 설계

## A Design of Telemetry Data Processing System

이수진 · 이재득 · 조광래

Soo Jin Lee · Jae Deuk Lee · Gwang Rae Cho

### 요 약

본 논문에서는 관측로켓의 비행시험 결과를 저장하고 있는 Magnetic Tape(MT)로부터 각 채널정보를 취득할 수 있도록 PC를 이용한 원격측정 데이터 처리 시스템을 설계하였다. 이 시스템은 기존의 데이터 처리 시스템에 비해 데이터 처리시 필요한 시스템의 수를 줄일 수 있으며 처리과정을 단순화시킬 수 있는 장점이 있다.

### Abstract

In this paper, the telemetry data processing system based on PC is developed. It acquires each channel information from magnetic tape(MT) which stores all the flight data. This system has advantages which reduce the number of hardware components required and simplify the processing procedure compared to the existing systems.

### I. 서 론

로켓의 비행시험을 통하여 얻어진 각종데이터(비행체의 비행 특성 데이터, 과학관측 데이터)는 채널에 관한 별도의 정보를 포함하지 않은 디지털 데이터열로 지상으로 전송된다.[1] 이때 전송되는 데이터는 탑재 PCM 부호기에 의해 미리 결정된 PCM Format에 일치하도록 Sync. 및 각 채널의 아날로그 데이터 값에 따라 변환된 디지털 데이터로 구성된다. 그러나 실제 전송시에는 PCM Format의 각 Minor Frame이 연속적으로 연결된 직렬 Bit열로서 송출되기 때문에 지상에서는 수신된 데이터로부터 각 채널별로 데이터를 분리하여 처리함으로써 로켓의 비행시 각 센서로부터 얻어진 데이터를 비행시간에 따른 변화값으로 변환하여 후 처리를 통하여 설

계된 비행체 특성과 실제 비행특성을 비교할 뿐만 아니라 고도에 따른 과학관측 데이터도 얻을 수 있다. [2,3,4]

지상 수신 시스템은 탑재송신기에 대응하는 수신기, 수신된 신호로부터 각 Bit의 Sync.와 원래 송신한 신호의 Bit열을 찾을 수 있도록 해주는 Bit Synchronizer 및 재구성된 데이터를 보존하기 위한 Magnetic Tape로 구성된다.[5]

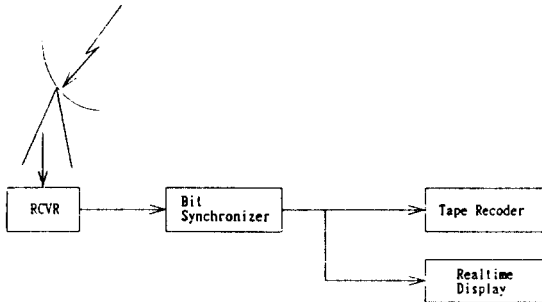
본 연구에서는 보존용 Magnetic Tape로부터 실제 비행시 얻어진 데이터를 채널별로 분리하여 각 센서별 데이터를 만들고 이 값을 실제 센서의 변화값으로 환산시켜 줄 수 있도록 해주는 PC를 이용한 원격측정 데이터 처리를 설계 개발하였다. PC를 이용함으로써 기존에 널리 사용되고 있는 중형 컴퓨터에 비해 가격을 1/10 정도, 크기를 1/3 정도로 줄일

수 있었다.

## II. 데이터 취득 시스템 구성

로켓비행시 데이터 취득 및 흐름경로는 탑재시스템에서 각종 데이터를 수집한 후 각 채널의 아날로그 값에 따른 디지털값으로 데이터를 변환시킨 다음 이 데이터를 직렬 Bit열로 변환시켜 송신기와 안테나를 거쳐 지상으로 송신한다.[1] 한편 지상에서는 수신안테나에서 취득된 신호를 수신기로 보내고 수신기에서는 수신된 신호의 반송파 성분을 제거한 후 탑재 송신기에 입력된 형태의 파형을 출력시킨다. Bit Synchronizer는 수신기의 출력으로부터 적절한 Bit Sync. 를 뽑아내고 이 Sync.에 동기된 구형파의 직렬 Bit열 데이터를 출력시킨다. 이 출력된 데이터는 다른 장치를 통하여 실시간으로 선택된 채널을 볼 수 있으며 Tape Recorder를 통하여 Magnetic Tape에 실시간으로 기록된다.[5]

이때 시스템 구성은 [그림 1]과 같다.



[그림 1] 데이터 취득 시스템 구성도

여기서 Tape Recorder에 정보를 기록할 때 데이터의 변화가 많은 정보는 Direct 방식, 데이터의 변화가 적은 정보는 FM방식으로 기록한다. 로켓의 비행 시험결과 얻어지는 각종 데이터중 Bit Sync.의 BI $\psi$ -L Code, RCVR의 Video Out 신호는 Direct방식, IRIG-B Time Code, RCVR AGC, Bit Sync. 의 NRZ-L Code 및 Ranging 정보는 FM방식으로 기록한다.[4]

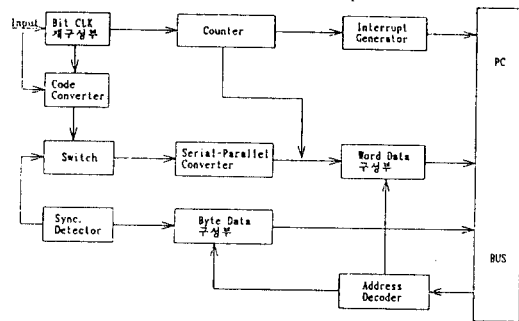
한편 Magnetic Tape에 기록된 정보는 사용자가

직접적으로 이용할 수 없는 형태이다. 그러므로 이 정보를 사용자의 요구에 따라 적절히 변환시켜 줄 수 있는 데이터 처리시스템이 필요하게 된다. 데이터 처리시스템은 입력되는 신호를 송신할 때와 같은 형태의 Bit열로 변환시켜주는 Decoder와 변환된 데이터로부터 필요한 채널 정보를 얻을 수 있고 실시간으로 변화를 관찰할 수 있는 운용 프로그램으로 구성된다.

## III. Decoder 설계

Decoder는 직렬 Bit열로부터 입력 BI $\psi$ -L Code에 대응되는 NRZ-L Code 및 Bit CLK를 재구성한 후, Frame Sync.를 찾고 이때의 SFID 정보, Minor Frame 내에서 몇번째 Word인지를 나타내는 정보 및 10 Bit의 채널 정보를 데이터 Ready 신호에 동기되어 PC에 입력시켜주는 역할을 담당한다.

데이터를 출력시킬 때는 데이터가 출력되는 시간 이외에는 PC가 다른 일을 수행할 수 있도록 Interrupt 기법을 사용하였으며 이때 처리시간을 줄이기 위해 불필요한 Interrupt 신호선은 Masking 시켜주었다.[7]



[그림 2] Decoder 구성도

그리고 입력되는 직렬 데이터로부터 PC의 데이터 BUS에 입력될 수 있는 데이터 형태로 변환시켜주는 Decoder는 설계된 부호기의 Format과 일치하는 Bit 및 Word 카운터를 구성하고 현재 입력되고 있는 데이터가 Sync.인지 데이터 인지를 결정해주는

Sync /Data Switch, 매 10Bit가 입력될 때마다 PC에 Interrupt를 요청하는 부분 및 Interrupt 처리 Routine이 수행될 때 PC와 Decoder를 Interface시켜주는 부분으로 구성되며 이의 구성도는 [그림 2]와 같다.

### 3-1. Bit CLK 재구성부

입력되는 신호가 임의의 레벨이 결정된 비교기를 거침으로서 이에 따른 출력이 나타나고 이 출력의 각 Edge(Rising & Falling Edge)마다 소폭 Pulse를 발생시킨후 Pulse로 Masking시켜 입력되는 Bit CLK 주기의 70%~80%가 되는 Pulse로 Masking시켜 불필요한 Pulse를 제거시켜 Bit CLK의 기준 Pulse를 발생시킨다.

### 3-2. Counter

Counter는 재구성된 Bit CLK에 동기된 10진 Bit 카운터와 입력되는 데이터 Format에 따른 Word 카운터로 구성된다. Bit 카운터의 CLR 신호는 1 Word 데이터를 Latch시키는 명령과 동시에 PC에 Interrupt 요청신호를 입력시키는 동기를 제공한다. Word 카운터는 1개의 Sync.가 찾아지면 연속되는 몇개의 Word 내에서는 Sync.가 나타날 수 없도록 Masking시킨다. 그리고 Word 카운터의 CLR 신호는 데이터의 흐름 경로를 Sync. Detector로 바꾸어 주어 이어지는 데이터에서 Sync.를 찾도록 한다. 만약 입력되는 데이터에 에러가 없다면 연속적으로 Sync.를 검출하고 데이터를 PC에 입력시킬 수 있다. 그러나 Sync.가 나타나지 않으면 데이터의 흐름 경로를 계속하여 Sync. Detector부로 향하도록 하였다.

### 3-3. Switch

Switch는 데이터의 흐름경로를 결정해주는 역할을 한다. 그러므로 초기에는 항상 Sync. Detector로 데이터가 흐르도록 하고 있다가 Sync.가 나타나면

데이터의 흐름경로를 PC에 입력시킬 수 있는 데이터 형태로 바꾸어서 PC에 입력시킨다. 그리고 Word 카운터의 CLR 신호에 동기되어 Switch의 상태를 바꾸어서 데이터의 흐름경로를 Sync. Detector부로 향하도록 하여 연속적으로 데이터의 흐름을 조절한다.

### 3-4. Sync. Detector부

입력되는 데이터에서 미리 결정한 Sync. 패턴이 있으면 Pulse를 발생시켜 Switch에서 데이터 흐름 경로를 바꾸어주면서 Counter부가 동작을 하도록 해 준다. 이때 Sync. 는 10 Bit Backer Code인 "0000111011" 및 SFID인 "XXX0000000"을 포함한다. 여기에서 "XXX"는 Sync. 로 사용되는 것이 아니라 PC에 입력되는 데이터임을 나타낸다. 그러므로 Sync. Detector부는 "00001110110000000"와 같은 Bit 패턴을 찾을 수 있도록 구성하면 된다.

### 3-5. Serial to Parallel Converter

Sync.가 검출되면 연속되는 데이터들은 10 Bit로 구성된 관측데이터 값이므로 이를 PC에 입력시킬 수 있는 형태인 Parallel 형태로 바꾸어 주어야 한다. 그러므로 10 Bit Serial in Parallel Out Register를 이용하여 Bit CLK에 따라 Shift 시키고 Bit 카운터의 CLR 신호에 동기되어 다음단의 Latch에 입력시켜주면 직렬 Bit열을 PC의 데이터 BUS로 입력시켜 줄 수 있다.

### 3-6. PC 입력데이터 구성부

Bit 카운터가 CLR 신호를 출력시킬 때마다 이때의 Word 카운터의 출력상태 및 변환된 10 Bit 데이터를 미리 결정한 데이터 포맷에 일치하도록 재구성하여 Latch시키고 있다가 PC가 Data Read 신호를 출력하면 이때 PC로 입력시킨다. 또한 Sync.가 나타날때마다 현재의 SFID값을 Latch시키고 있다가 별도의 I/O Port를 통하여 PC에 입력시켜 Word

카운터 출력상태와 조합하여 현재 데이터의 채널에 관한 정보를 추출한다.

### 3-7. Address Decoder

1 Word의 데이터가 Latch되면 Decoder는 PC에 Interrupt 요청신호를 입력시킨다. 이때 PC는 적절한 Address를 출력시켜 지정된 Address를 통하여 준비된 데이터를 읽어들이고 이를 처리한다.

이때 사용하는 Address 300H는 1 Word 데이터를 읽어들이는 Port로, 302H는 1 Byte 데이터를 읽어들이는 Port로 사용된다. Address Decoder가 사용하는 신호선은 PC의 Address Line, PC가 RD/WR 상태인지를 나타내는 Line 및 AEN(Address Enable) Line의 조합으로 구성된다. 여기서 AEN은 DMA Cycle임을 나타내는 신호선으로서 "High"일 때는 DMA Cycle임을 나타낸다.

### 3-8. Interrupt 요청신호

Interrupt 요청신호는 Decoder가 PC에 입력시킬 데이터를 준비하고 있음을 나타내는 신호로서 Bit 카운터의 CLR 신호에 동기되어 출력된다. PC는 Interrupt 요청신호가 나타나면 현재 행하고 있던 일을 잠시 중단하고, 요청된 Interrupt를 처리한 후 원래 행하던 프로그램으로 돌아간다.

### 3-9. 회로 설계

이상과 같은 과정을 거쳐 회로를 설계한 결과 그림 3과 같으며 설계된 회로를 PSPICE를 이용하여 Simulation한 결과는 [그림 4, 5]와 같다.

회로 Simulation시 입력되는 데이터의 Bit CLK는 탑재 부호기의 Bit CLK와 동일한 320Kbps를 사용하였으며 Simulation 결과 그래프의 Label이 갖는 의미는 다음과 같다.

- NRZ\_L : 탑재 부호기에서 출력되는 NRZ-L Code
- IN\_DATA : 탑재 부호기에서 출력되는 BI $\phi$ L

Code	
EDGE	: BI $\phi$ -L Code의 매 Edge마다 발생한 Pulse
MASK	: 불필요한 Pulse를 Masking하는 Pulse
B_CLK	: 재구성된 Bit CLK
CONV	: Code Converter 출력
S_IN	: Switching 신호
SYNC.	: 입력되는 Bit Stream의 Sync.
B_CLR	: Bit Counter CLR 신호
W_Q0	: 재구성된 데이터의 Word Counter 출력 Q0
W_Q1	: " Q1
W_Q2	: " Q2
W_Q3	: " Q3
SYN_DEC	: Sync. Detector 출력
OUT_DATA	: 입력되는 Bit Stream의 데이터
I_REQ	: Interrupt 요청신호
W_CLR	: Word Counter CLR 신호

[그림 4]는 입력되는 Bit열로부터 Sync.를 검출하는 과정을 나타내는 부분으로서 S/W의 초기상태가 "High"로 선정되어 있어서 Sync.가 나타날 때까지는 데이터를 Sync. Detector측으로 보내고 있음을 보여주며 Sync.가 검출되고 나면 데이터를 Serial-to-Parallel Converter로 입력시켜준다.

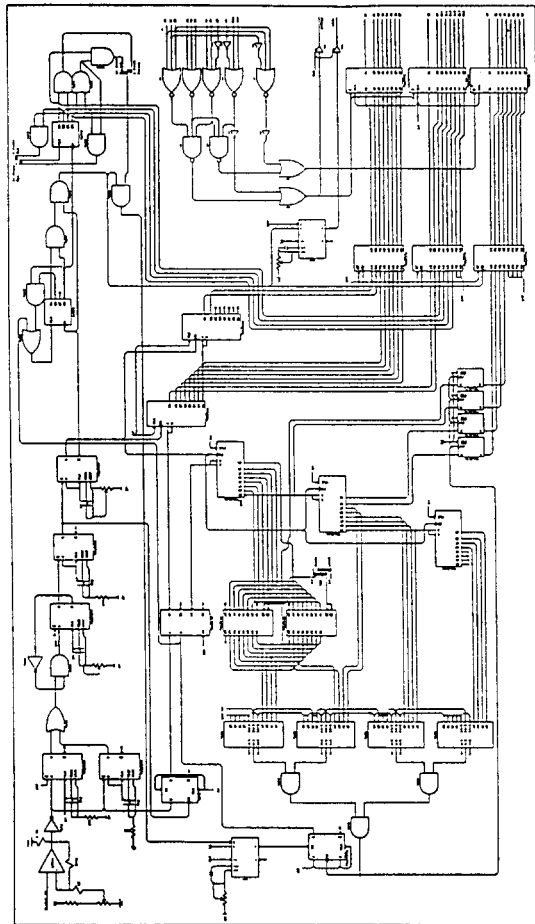
[그림 5]는 Sync.가 검출된 후 14 Word를 카운트하면 다시 S/W의 상태를 바꾸어 주는 과정을 나타내고 있다.

그리고 Sync.가 검출되기 전에는 Counter는 동작하지 않고 있다가 S/W가 "Low"가 되면 카운트하면서 이때의 입력데이터를 Serial-to-Parallel Converter로 입력시켜 주면서 매 10 Bit(1 Word)마다 Interrupt Request 신호를 PC로 입력시켜 준다.

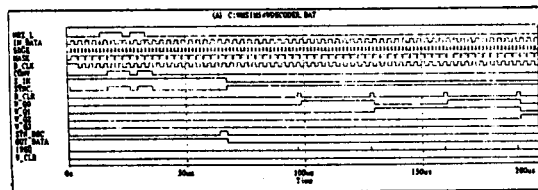
### IV. 운용 프로그램

운용 프로그램은 설계된 Decoder와 함께 데이터를 수집, 수집된 데이터로부터 채널별 데이터를 추출하는 프로그램으로 구성된다. 이와같은 프로그램은 Bolrand C++를 이용하여 작성하였으며 각 경우의 Flow Chart는 [그림 10~13]과 같다.

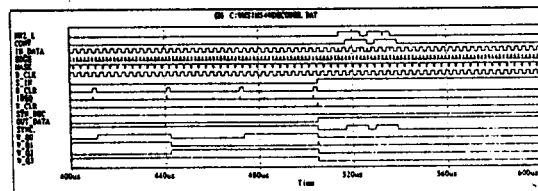
[그림 6]의 Interrupt 처리 프로그램은 외부의 Interrupt 요청신호가 나타나지 않으면 항상 Main 프로그램을 처리하고 있다가 외부의 Interrupt 요청신호가 나타나면 현재 수행중이던 프로그램을 잠시 중단하고 Interrupt 처리 Routine으로 들어가 요구한 일을 처리한 후 Main 프로그램으로 되돌아간다. 외부의 Interrupt 요청신호가 나타나면 Interrupt 처리 Routine이 끝나기 전에 들어오는 Interrupt를 제거하기 위해 Masking시킨후 데이터를 Buffer로 읽어들이고 이 과정이 끝나면 Interrupt Request Register를 Reset시킨후 원래 수행하고 있던 일을 계속해서 처리한다.



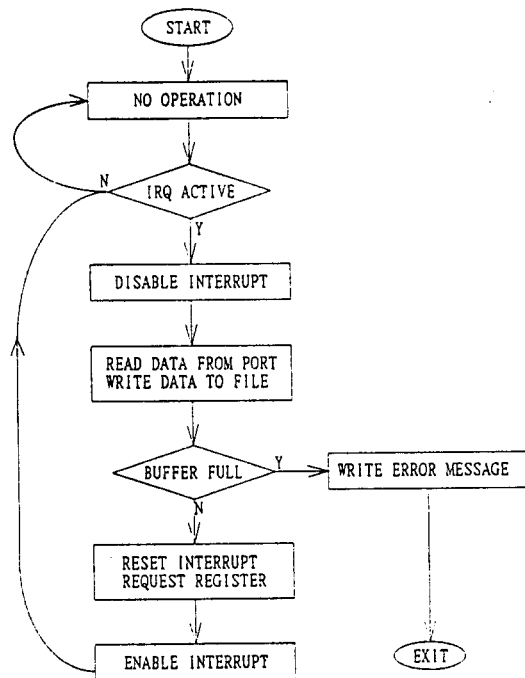
[그림 3] 설계된 회로도



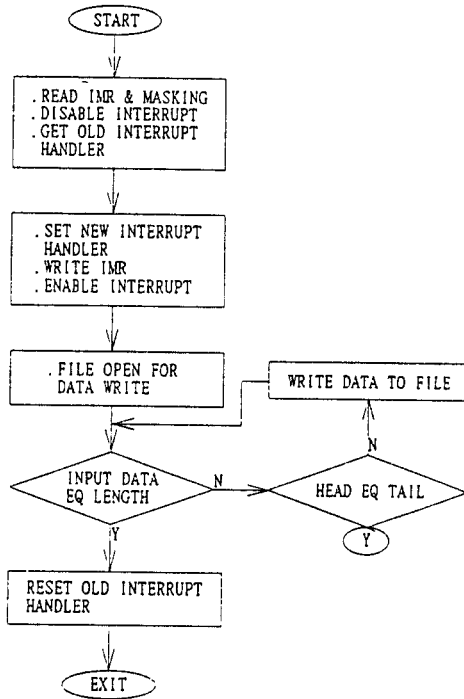
[그림 4] Sync. 검출시 Simulation 결과



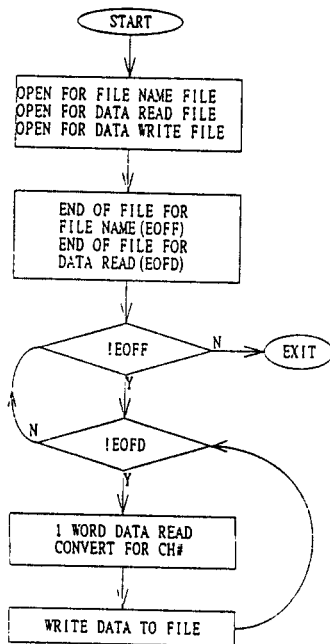
[그림 5] Word Counter CLR시 Simulation 결과



[그림 6] Interrupt Service Routine



[그림 7] Main Program



[그림 8] Data Conversion Program

[그림 7]의 Main 프로그램에서는 Interrupt Mask Register의 상태를 보고 반드시 필요한 Inter-

rupt 이외의 Register는 Reset 시켜줌으로서 처리시간을 줄여주고 PC가 Power ON시 지정되어 있던 Interrupt Handler를 사용하고자 하는 Interrupt 처리 Routine으로 바꾸어준 후 수행해야 하며 이 프로그램이 끝날때는 반드시 원래의 Interrupt Handler 및 Interrupt Mask Register를 복원시켜 주어야 한다.

[그림 8]의 Flow Chart에서는 취득된 데이터로부터 각 채널별 데이터를 추출하는 과정을 나타낸다.

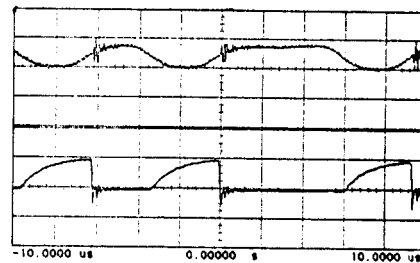
## V. 실험 결과 및 검토

설계 제작된 Decoder의 각 부분의 입출력 특성을 Oscilloscope 및 Logic Analyzer를 통하여 측정하였을 때 다음과 같은 결과를 얻었다.

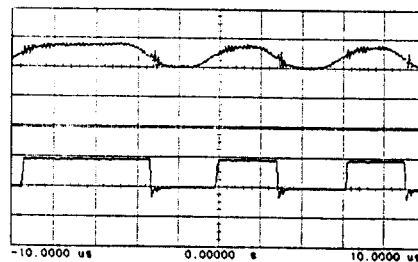
### 5-1. Bit CLK 재구성부

#### 1) Comparator

입력되는 신호에 따른 임의의 Reference 값을 결정하고 출력의 응답시간 특성을 우수하도록 하기 위해 Comparator에 Positive Feedback을 인가하였을 때의 출력특성은 [그림 9, 10]과 같다.



[그림 9] 입력신호와 Comparator 출력

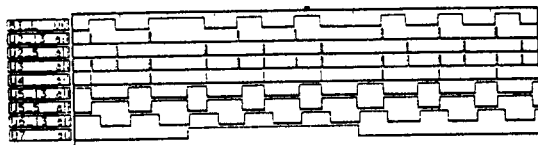


[그림 10] 입력신호와 재구성된 구형파

[그림 9, 10]에서 보는바와 같이 입력되는 신호는 Comparator에 적절한 기준값을 설정해 줌에 따라 구형파를 충실히 재구성할 수 있음을 알 수 있다.

### 2) Bit CLK 재구성부 및 Code Converter

[그림 11]에서 BI-L은 재구성된 BI $\psi$ -L Code, U2-13은 Rising Edge마다 Pulse를 발생시키는 경우, U2-5는 Falling Edge마다 Pulse를 발생시키는 경우, U3는 매 Edge마다 Pulse를 발생시키는 경우, U4는 Masking Pulse의 동기신호, U5-13은 Masking Pulse, U5-5는 Bit CLK의 동기신호, U6-13은 재구성된 Bit CLK 및 U7은 입력된 BI $\psi$ -L Code에 따른 변화된 NRZ-L Code를 나타낸다.



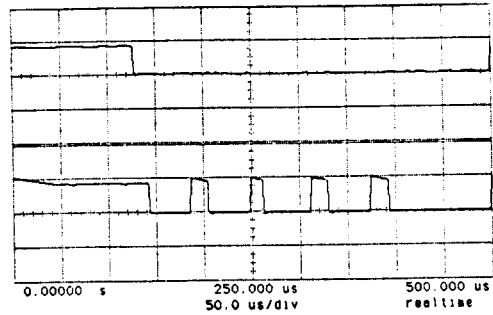
[그림 11] Logic Analyzer 출력

[그림 11]의 결과를 볼 때 입력되는 BI $\psi$ -L Code는 적절한 Edge detector와 Masking Pulse의 폭을 조절해 줌으로써 Bit CLK 및 입력된 데이터를 충실히 복원해 준다.

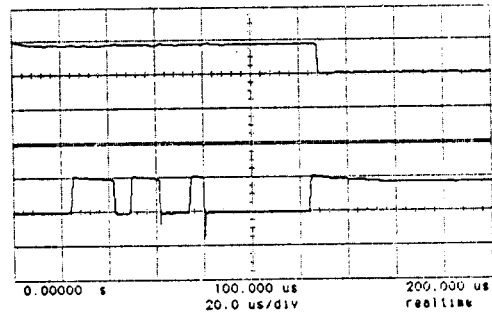
### 5-2. Switch

스위치의 출력은 Sync. Detector 및 Word 카운터 CLR 신호에 따라 출력되는 데이터가 변하며 Switch 출력이 "High"일 때는 Sync. 패턴이 출력되어 Sync. Detector부로 입력되며, "Low"일 때는 PC로 입력된다. 이때의 입·출력 관계는 [그림 12, 13]과 같다.

스위치는 입력되는 신호의 흐름을 조절해 줌으로써 입력되는 신호가 Sync. 및 데이터를 포함할 경우에도 애러가 없이 데이터 복원이 가능하도록 해줌을 알 수 있다.



[그림 12] Switch 입력이 "Low"일 때 출력

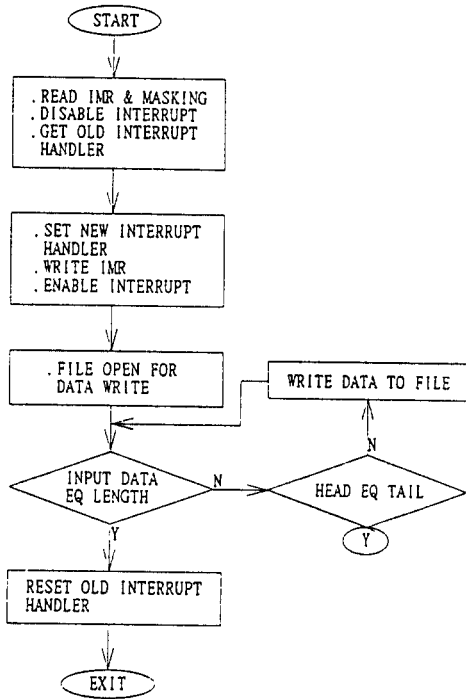


[그림 13] Switch 입력이 "High"일 때 출력

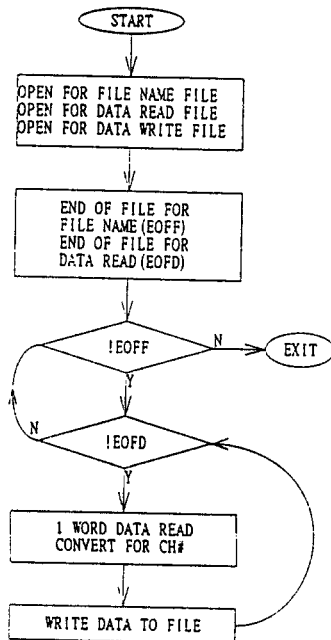
### 5-3. 데이터 처리결과 비교

설계된 데이터 처리시스템을 이용하여 데이터를 처리한 결과는 양호한 것으로 판명되었다. 처리 결과의 검증을 위하여 실제 비행시험시 Chart Recorder를 이용하여 출력시킨 데이터와 비행시험후 Magnetic Tape에 저장된 데이터를 본 논문에서 제안된 데이터 처리시스템을 IBM PC 386에 장착하여 데이터를 처리한 결과를 동일한 Scale로 출력하였을 때의 결과를 비교분석한 결과는 다음과 같다. 이때 [그림 14~16]은 1993년 9월 1일 발사한 KSR-420S-2(과학 2호)로부터 실시간으로 Chart Recorder를 이용하여 얻은 데이터이고 [그림 17~20]은 이번에 개발된 데이터 처리 시스템을 이용하여 비행시험후 재처리한 데이터의 결과를 보여주고 있다.

이 결과로부터 이번에 개발된 시스템이 로켓으로부터 취득한 데이터를 거의 완벽하게 복원함을 알 수 있었다.



[그림 7] Main Program



[그림 8] Data Conversion Program

[그림 7]의 Main 프로그램에서는 Interrupt Mask Register의 상태를 보고 반드시 필요한 Inter-

rupt 이외의 Register는 Reset 시켜줌으로서 처리시간을 줄여주고 PC가 Power ON시 지정되어 있던 Interrupt Handler를 사용하고자 하는 Interrupt 처리 Routine으로 바꾸어준 후 수행해야 하며 이 프로그램이 끝날때는 반드시 원래의 Interrupt Handler 및 Interrupt Mask Register를 복원시켜 주어야 한다.

[그림 8]의 Flow Chart에서는 취득된 데이터로부터 각 채널별 데이터를 추출하는 과정을 나타낸다.

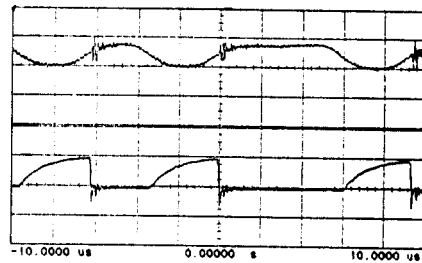
### V. 실험 결과 및 검토

설계 제작된 Decoder의 각 부분의 입출력 특성을 Oscilloscope 및 Logic Analyzer를 통하여 측정하였을 때 다음과 같은 결과를 얻었다.

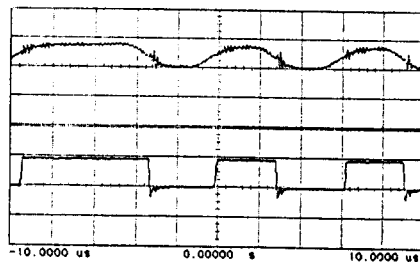
#### 5-1. Bit CLK 재구성부

##### 1) Comparator

입력되는 신호에 따른 임의의 Reference 값을 결정하고 출력의 응답시간 특성을 우수하도록 하기 위해 Comparator에 Positive Feedback을 인가하였을 때의 출력특성은 [그림 9, 10]과 같다.



[그림 9] 입력신호와 Comparator 출력



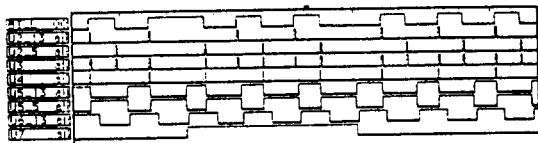
[그림 10] 입력신호와 재구성된 구형파



[그림 9, 10]에서 보는바와 같이 입력되는 신호는 Comparator에 적절한 기준값을 설정해 줌에 따라 구형파를 충실히 재구성할 수 있음을 알 수 있다.

### 2) Bit CLK 재구성부 및 Code Converter

[그림 11]에서 BI-L은 재구성된 BI $\psi$ -L Code, U2-13은 Rising Edge마다 Pulse를 발생시키는 경우, U2-5는 Falling Edge마다 Pulse를 발생시키는 경우, U3는 매 Edge마다 Pulse를 발생시키는 경우, U4는 Masking Pulse의 동기신호, U5-13은 Masking Pulse, U5-5는 Bit CLK의 동기신호, U6-13은 재구성된 Bit CLK 및 U7은 입력된 BI $\psi$ -L Code에 따른 변화된 NRZ-L Code를 나타낸다.



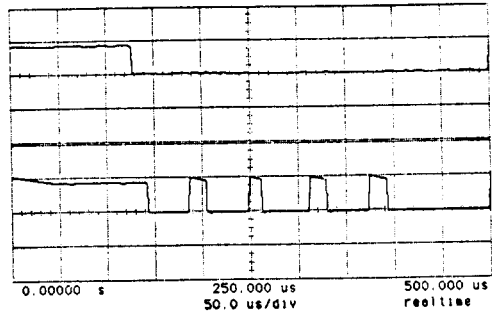
[그림 11] Logic Analyzer 출력

[그림 11]의 결과를 볼 때 입력되는 BI $\psi$ -L Code는 적절한 Edge detector와 Masking Pulse의 폭을 조절해 줌으로써 Bit CLK 및 입력된 데이터를 충실히 복원해 준다.

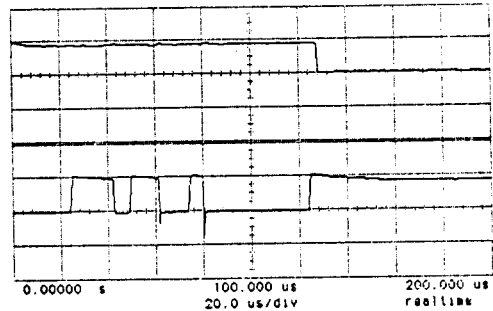
### 5-2. Switch

스위치의 출력은 Sync. Detector 및 Word 카운터 CLR 신호에 따라 출력되는 데이터가 변하며 Switch 출력이 "High"일 때는 Sync. 패턴이 출력되어 Sync. Detector부로 입력되며, "Low"일 때는 PC로 입력된다. 이때의 입·출력 관계는 [그림 12, 13]과 같다.

스위치는 입력되는 신호의 흐름을 조절해 줌으로써 입력되는 신호가 Sync. 및 데이터를 포함할 경우에도 에러가 없이 데이터 복원이 가능하도록 해줌을 알 수 있다.



[그림 12] Switch 입력이 "Low"일 때 출력

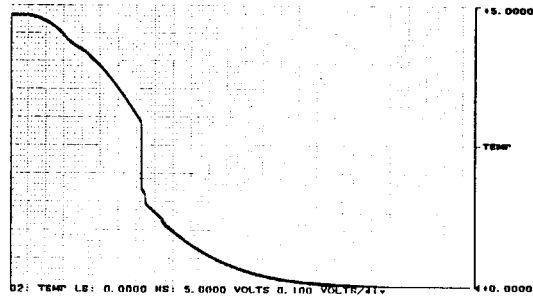


[그림 13] Switch 입력이 "High"일 때 출력

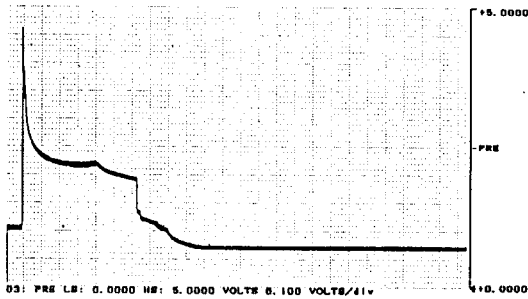
### 5-3. 데이터 처리결과 비교

설계된 데이터 처리시스템을 이용하여 데이터를 처리한 결과는 양호한 것으로 판명되었다. 처리결과를 검증하기 위하여 실제 비행시험시 Chart Recorder를 이용하여 출력시킨 데이터와 비행시험후 Magnetic Tape에 저장된 데이터를 본 논문에서 제안된 데이터 처리시스템을 IBM PC 386에 장착하여 데이터를 처리한 결과를 동일한 Scale로 출력하였을 때의 결과를 비교분석한 결과는 다음과 같다. 이때 [그림 14~16]은 1993년 9월 1일 발사한 KSR-420S-2(과학 2호)로부터 실시간으로 Chart Recorder를 이용하여 얻은 데이터이고 [그림 17~20]은 이번에 개발된 데이터 처리 시스템을 이용하여 비행시험후 재처리한 데이터의 결과를 보여주고 있다.

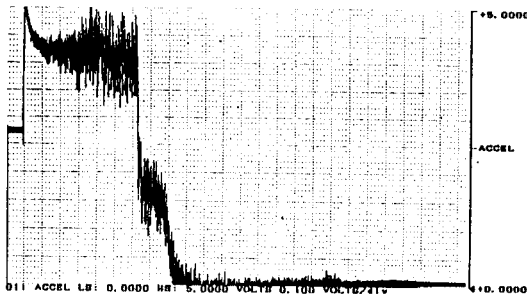
이 결과로부터 이번에 개발된 시스템이 로켓으로부터 취득한 데이터를 거의 완벽하게 복원함을 알 수 있었다.



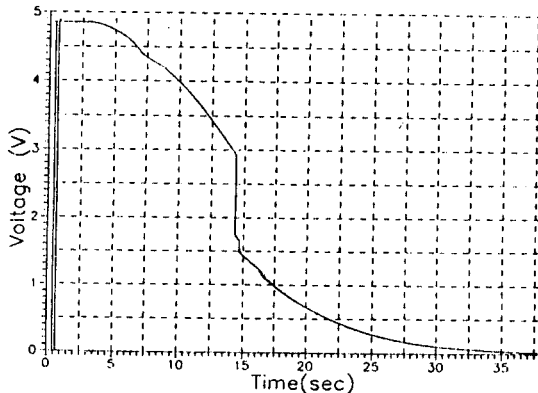
[그림 14] Telemetry Mount의 압력변화



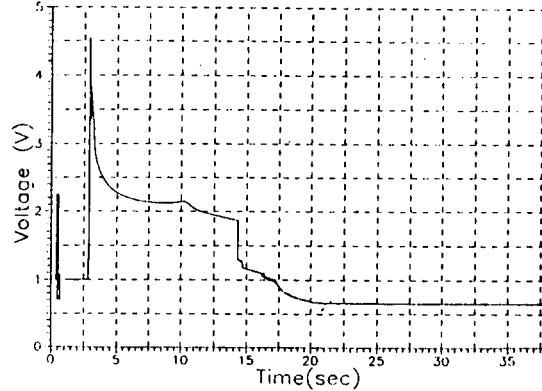
[그림 15] 엔진 내부의 압력변화



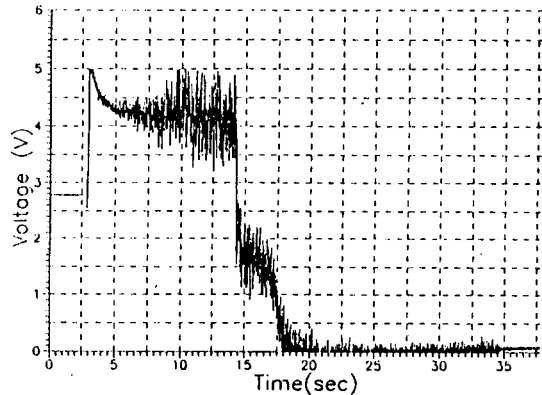
[그림 16] 로켓의 가속도 변화



[그림 17] TLM Mount에 부착된 압력계 출력(PC)



[그림 18] 엔진에 부착된 압력계 출력(PC)



[그림 19] 기체에 부착된 가속도계 출력(PC)

## VI. 결 론

로켓이 비행하면서 지상으로 전송한 원격측정 데이터를 PC로써 처리하기 위한 데이터 처리 시스템을 개발하였다. 개발된 시스템은 PC 내장형 Board 1개와 운용 Program으로 구성되고 기존의 시스템은 Work Station급의 전용 시스템으로 구성되어 있으므로 가격면에서는 1/10~1/15 정도 낮출 수 있으며 크기면에서도 1/3이하로 줄일 수 있다.

성능면에서도 앞서 살펴본바와 같이 전혀 손색이 없음을 알 수 있고 독자적인 연구수행에 따라 고유의 소프트웨어를 개발함으로써 연구개발의 독창성을 가질수 있는 결과를 얻었다.

본 연구 결과는 원격측정 및 모니터링 분야 전반에 걸쳐 널리 활용가능할 것으로 예상된다.

參 考 文 獻

1. Elite L. Gueberg. "Handbook of Telemetry and Remote Control," McGraw-Hill, 1967
2. 류 장수의, "과학로켓 설계 및 개발연구(Ⅰ), 과기처 특정연구, 1991
3. 류 장수의, "과학로켓 설계 및 개발연구(Ⅱ), 과기처 특정연구, 1992
4. 류 장수의, "과학로켓 설계 및 개발연구(Ⅲ), 과기처 특정연구, 1993
5. 이 수진의, "과학관측로켓 KSR-420S의 원격측정 시스템 설계, 전자과 기술학회, Vol.2, Dec. 1991, pp.26-32
6. C.D. Feken, & L.J. Skach, "Portable Tracking, Trajectory Command Data Acquisition and Display", AIAA 7th Conference on Sounding Rocket, Ballons and Space System, 1986, p.9-16
7. 이 준호외, "하드웨어설계 핵심기술(i86 계열), 과학기술정보연구소, STII 910065