

# 2구간을 사용한 평면형 n-방향 전력분배기

## (Planar Type n-Way Power Divider using 2 Section)

김 경 환\* · 조 영 송\* · 황 충 선\* · 신 철 재\*

(Kyung Hwan Kim\* · Young Song Cho\* · Choog Seon Hwang\* · Chull Chai Shin\*)

### 요 약

본 논문에서는 X-band에서 사용할 수 있는 손실이 작은 n-방향 전력분배기의 설계방법을 제안하였다. 손실을 적게 하기 위하여 전송선로와 정합을 위한 아이솔레이션 저항을 단지 2단만 사용하여 설계하였다. 3-방향과 4-방향 전력분배기를 측정한 결과 전력분배는 3-방향에서 5.54~6.17dB, 4-방향에서 6.76~7.37dB이며, 반사손실은 3-방향에서 17dB 이상, 4-방향에서 12dB 이상이고, 아이솔레이션은 3-방향에서 18dB 이상, 4-방향에서 10dB 이상으로 측정되었다. 이 값은 이론적인 분석과 거의 일치하였다.

### abstract

In this paper, a design method of multiple n-way low loss power divider for x-band is proposed. To decrease loss, only two-stages of transmission lines are used with isolation resistors for match. Experimental results for 3-way and 4-way power dividers have the divided power of 5.54~6.17dB and 6.76~7.37dB, the return loss of more than 17dB and 12dB, and the isolation of more than 18dB and 10dB at center frequency, respectively. The measured results show good agreement with the theoretical analysis.

### I. 서 론

고주파 신호를 여러단으로 분배 또는 결합하기 위해서는 여러개의 2진 분배기를 사용하지만 각각의 2-방향 분배기가 손실이 있어서 결합되는 소자의 수가 증가할수록 커지고 결합효율이 감소한다. 따라서 손실이 적으며 작은 크기를 얻기 위한 방법으로 n-방향 전력분배기/결합기가 요구된다.

n-방향 전력분배기의 기본구성은 Wilkinson[1]에

의해 처음 제안되었으며 전력분배기의 대부분은 Wilkinson에 의해 제안된 n-방향 전력분배기의 일반화된 또는 변형된 형태이다. Wilkinson 전력분배기는 2-방향 보다 많은 방향으로 결합기를 만들고자 할 때 아이솔레이션(isolation) 저항의 구조가 비평면적으로 구성되어 마이크로스트립 선로상에서 평면적으로 구성할 수 없다. Nagai[2, 3]는 전력을 균등하게 분배하는 n-방향 전력분배기를 아이솔레이션 저항과 함께 평면적으로 구성하는 방법에 대하여

\* 아주대학교 전자공학과(Dept. of Elec. Eng., Ajou University)

제시하였다. 그러나 분배하는 방향수가 많을수록 여러단의 정합회로가 필요하게 되어 크기가 커질 뿐만 아니라 손실도 많아지게 된다. 따라서, 본 논문에서는 전송선로의 정합회로를 2단으로 하여 정합을 하는 방법을 제시하였으며, 이 방법에 의하여 3-방향과 4-방향 전력분배기를 설계하여 제작하고 측정하였다.

## II. 전력분배기

### 1. n-방향 선로의 등가회로

[그림 1]은 이상적인 n개의 선로들이다. 이러한 다선로의 전송방정식은 잘 알려져 있으며 선로에서 전달특성은 어드미턴스 또는 임피던스 행렬로 나타낼 수 있다. 단자가  $n \times n$ 일 때 전달특성은 식 (1)과 같다.

$$\begin{bmatrix} V_{nS} \\ I_{nS} \end{bmatrix} = \begin{bmatrix} c1_n & s[\eta^{-1}] \\ s[\eta] & c1_n \end{bmatrix} \begin{bmatrix} V_{nL} \\ I_{nL} \end{bmatrix} \quad (1)$$

여기서,  $V_{nS}$ ,  $I_{nS}$ ,  $V_{nL}$  및  $I_{nL}$ 은  $n \times 1$  행렬이고,

$1_n$ 은  $n \times n$  단위행렬이다. 또한,  $c$ 와  $s$ 는 선로의 길이에 의해 결정되는 값으로  $c = \cos\beta l$ ,  $s = j\sin\beta l$ 의 값이고  $\beta l$ 은 선로의 전기적인 길이이다. 선로의 어드미턴스행렬은 다음과 같다.

$$[\eta] = \begin{bmatrix} \eta_{11} & -\eta_{12} & \cdots & -\eta_{1n} \\ -\eta_{21} & \eta_{22} & \cdots & -\eta_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ -\eta_{n1} & -\eta_{n2} & \cdots & \eta_{nn} \end{bmatrix} \quad (2)$$

일반적으로 n-방향 전력분배기에서 입력신호가 n 선로에 전압이 같도록 분배시키기 위해서는 선로에 흐르는 전류도 같아야 하므로 어드미턴스행렬의 각 행의 합  $Y_i$ (단,  $i = 1, 2, \dots, n$ )는 같다. 즉,

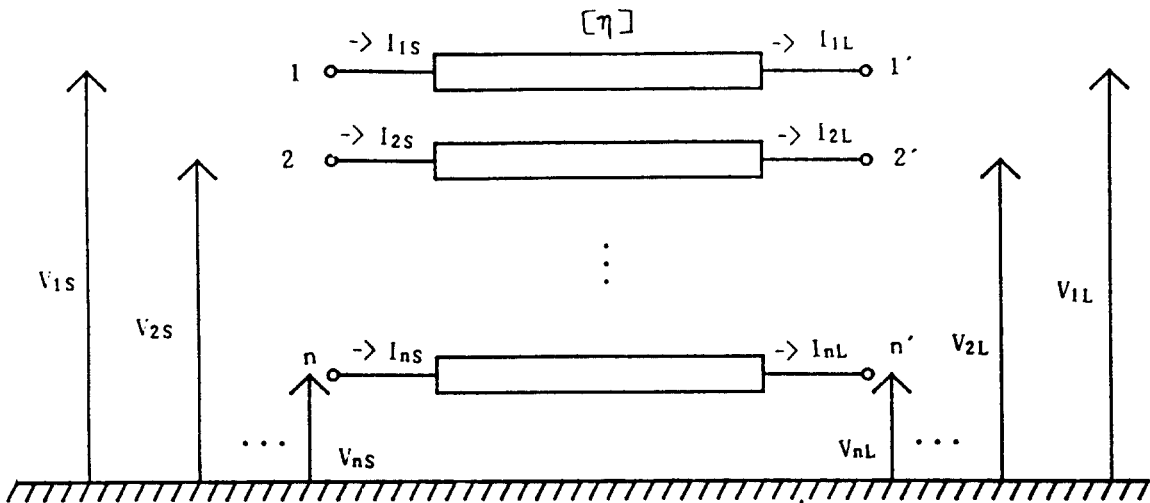
$$Y_i = \eta_{ii} - \sum_{j=1, j \neq i}^n \eta_{ji} \quad (3)$$

일 때,

$$Y_1 = Y_2 = \dots = Y_n \quad (4)$$

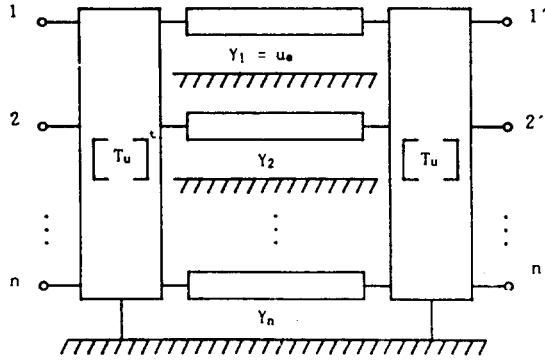
이다.

일반적으로 어드미턴스 행렬  $[\eta]$ 는 임의의 직교



[그림 1] 이상적인 n 선로

[Fig. 1] Ideal n-Line



[그림 2] n 선로의 등가회로  
[Fig. 2] Equivalent Circuit of n-Line

행렬  $[T_u]^t$ 와는 다음과 같이 표시할 수 있다.

$$[T_u]^t [\eta][T_u] = \text{diag}[Y_i] \quad (5)$$

여기서,  $\text{diag}[Y_i] = \text{diag}[Y_1, Y_2, \dots, Y_n]$  (단,  $Y_i > 0$ )이다. 식 (5)를 (1)에 대입하면

$$\begin{bmatrix} V_{nS} \\ I_{nS} \end{bmatrix} = \begin{bmatrix} [T_u] & 0_n \\ 0_n & [T_u] \end{bmatrix} \begin{bmatrix} c_{1n} & s \cdot \text{diag}[Y_i^{-1}] \\ s \cdot \text{diag}[Y_i] & c_{1n} \end{bmatrix} \begin{bmatrix} [T_u] & 0_n \\ 0_n & [T_u] \end{bmatrix} \begin{bmatrix} V_{nL} \\ I_{nL} \end{bmatrix} \quad (6)$$

이다. 단,  $0_n$ 는 영행렬이며, 식 (6)의 우변 1항과 3항은 변환회로망을 표시하고 우변 2항은 특성어드미턴스가  $Y_i$ 인  $n$ 개의 선로이다. 따라서, [그림 1]의  $n$ -선로는 [그림 2]와 같이 등가적으로 나타낼 수 있다.

## 2. 아이솔레이션 저항

아이솔레이션 저항이 포함된 분배기를 [그림 3]에 도시하였다.  $n \times n$  단자의 콘덕턴스망으로만 구성되었다면 다음 식으로 나타낼 수 있다.

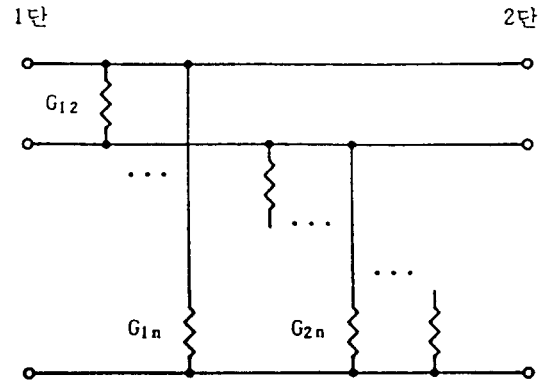
$$\begin{bmatrix} V_i \\ I_i \end{bmatrix} = \begin{bmatrix} 1_n & 0_n \\ [G] & 1_n \end{bmatrix} \begin{bmatrix} V_o \\ I_o \end{bmatrix} \quad (7)$$

여기서,  $G$ 는 아이솔레이션에 의한 콘덕턴스망으로서 다음과 같다.

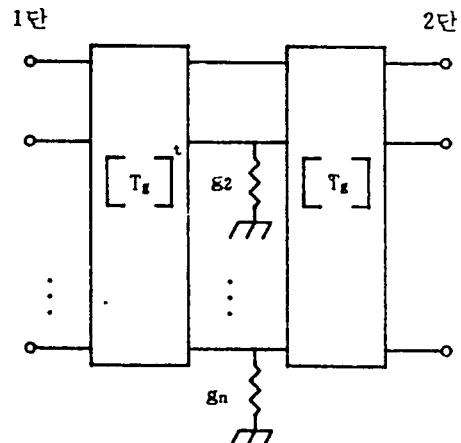
$$[G] = \begin{bmatrix} G_{11} & -G_{12} & \dots & -G_{1n} \\ -G_{21} & G_{22} & \dots & -G_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ -G_{n1} & -G_{n2} & \dots & G_{nn} \end{bmatrix} \quad (8)$$

행렬  $[G]$ 는 직교행렬  $[T_g]$ 에 의하여 다음과 같이 표시될 수 있다.

$$[T_u]^t [G][T_u] = \text{diag}[g_i] = \text{diag}[0, g_2, \dots, g_n] \quad (9)$$



[그림 3] 각 단자간의 아이솔레이션 저항  
[Fig. 3] Isolation Resistors among each ports



[그림 4] 아이솔레이션 저항을 포함한 등가회로  
[Fig. 4] Equivalent Circuit with Isolation Resistors

식 (9)를 (7)에 대입하면

$$\begin{bmatrix} V_i \\ I_i \end{bmatrix} = \begin{bmatrix} [T_g] & 0_n \\ 0_n & [T_g] \end{bmatrix} \begin{bmatrix} 1_n & 0_n \\ \text{diag}[g_i] & 1_n \end{bmatrix} \begin{bmatrix} [T_g]^t & 0_n \\ 0_n & [T_g] \end{bmatrix} \begin{bmatrix} V_o \\ I_o \end{bmatrix} \quad (10)$$

이다. 따라서, [그림 4]의 회로를 등가적으로 [그림 5]와 같이 그릴 수 있다.

### 3. M 구간을 사용한 n-방향 분배기

아이솔레이션 저항을 포함하고 M 구간으로 이루어진 n-방향 선로의 분배기를 [그림 5]에 나타내었다. 이 회로의 해석은 n개의 전송선로에 대한 M 구간의 특성 어드미턴스 행렬과 평면 구성의 아이솔레이션 저항의 행렬의 고유치와 대응하는 고유벡터를 구함으로써 할 수 있다. 이 회로에 대해서,  $n \times n$  실대칭 행렬[H]는 아이솔레이션 저항의 배치형태에 따라 결정되는 값으로서, 저항이 포크형태일 때 [H]는

$$[H] = \begin{bmatrix} 1 & -1 & 0 & \cdots & 0 \\ -1 & 2 & -1 & \cdots & \\ 0 & -1 & 2 & \cdots & \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ & & & & 2 & -1 \\ 0 & \cdots & -1 & & & 1 \end{bmatrix} \quad (11)$$

이다.  $h_i$ 는 행렬 H의 고유치로써

$$h_i = 2 - 2\cos\pi(i-1) \quad (12)$$

에 의하여 구할 수 있으며  $h_1 = 0$ 에 대응하는 고유벡터는  $[1, 1, \dots, 1]^t$ 이다. 그리고  $h_i (i = 2, 3, \dots, n)$ 에 대응하는 고유벡터는

$$\begin{bmatrix} \sin\phi & \sin 2\phi & \cdots & \sin k\phi & \cdots & \sin(n-1)\phi \\ \cdots & \sin(n)\phi & \cdots & \sin(n-1)\phi \end{bmatrix} \quad (13)$$

으로 구해지며, 여기서  $\phi = (i-1)\pi/n$ 이다. 이와 같이 구한 고유벡터를 정규화시킨 고유벡터를 원소로 하는 행렬  $[T_h]$ 를 구할 수 있다.

평면으로 구성된 아이솔레이션 저항의 어드미턴스 행렬을  $[G]_k$ 라 하면 다음과 같이 [H]로 표시할 수 있다.

$$[G]_k = G_k[H] \quad (14)$$

여기서  $G_k$ 는 상수이고, [H]는 k에 무관하며 아이솔레이션 저항의 배치 형태에 의해 결정된다.

그러므로

$$[T_h]^t [G]_k [T_h] = \text{diag} [0, G_k h_2, \dots, G_k h_n] \quad (15)$$

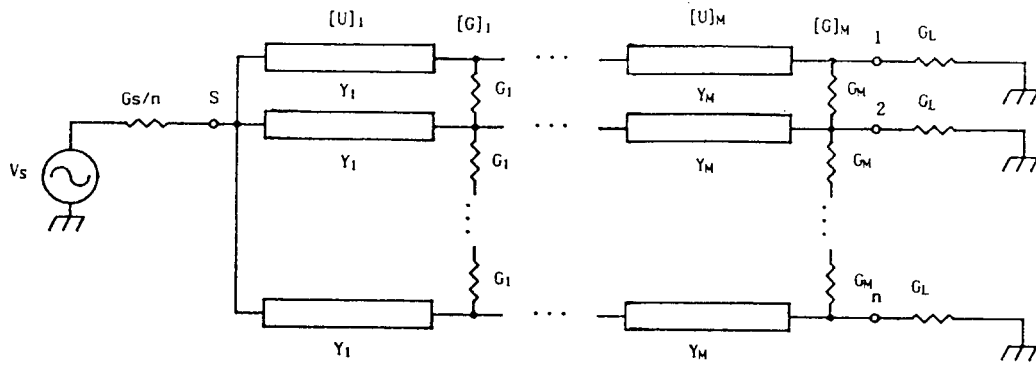
n개 전송선로의 특성어드미턴스 행렬  $[\eta]_k$ 는 다음과 같이 나타낼 수 있다.

$$[\eta]_k = Y_k 1_n \quad (k = 1, 2, \dots, M) \quad (16)$$

여기서  $1_n$ 은  $n \times n$  단위행렬을 나타낸다. 그러므로

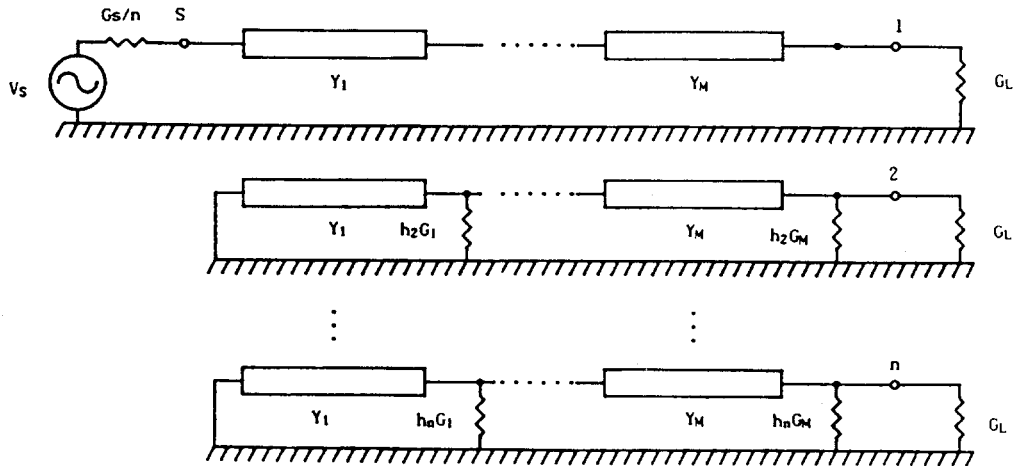
$$[T_h]^t [\eta]_k [T_h] = Y_n 1_n \quad (k = 1, 2, \dots, M) \quad (17)$$

평면으로 구성되는 저항의 모든 어드미턴스 행렬과 n개의 전송선로의 모든 특성 어드미턴스 행렬이 직교행렬  $[T_U] (= [T_g] = [T_h])$ 에 의해서 대각행렬로 변환된다. 그러므로 [그림 5]의 n-방향결합기를([그림 2]와[그림 4] 같이) [그림 6]과 같은 2단자 회로망으로 표현할 수 있다. [그림 6]의 맨위에 있는 2단자 회로는 M구간의  $\lambda/4$  파장 변환기에 의해 나타내어진다. n-1개의 1단자 회로는 식 (17)의 n-1개의 식이 만족되어지면 각 1단자는 선로구간의 전기적 길이  $\theta$ 가  $\pi/2$ 가 되는 중심주파수에서 정합이 된다.



[그림 5] 평면형 n-방향 전력분배기

[Fig. 5] The Planner Type of n-Way Power Divider



[그림 6] 평면형 n-방향 전력분배기의 등가회로

[Fig. 6] Equivalent Circuit of Planner n-Way Power Divider

각 방향의 결합점에서 바라본 콘덕턴스는

$$G_L = h_i G_M + \frac{Y_M^2}{h_i G_{M-1} + \frac{Y_M - \Gamma^2}{\vdots} h_i G_2 + \frac{Y_2^2}{h_i G_1}} \quad (18)$$

으로 구해지며, 여기서  $Y_1 \sim Y_M$ 의 특성어드미턴스는 Tchebyscheff 변환이나 최대 평탄변화(maximally flat transformer)의 전달손실특성에 의하여 구할 수 있다.  $Y_1 \sim Y_M$ 이 정해지면, 나머지 1단자회로에서는 부하와 정합이 되도록  $G_M$ 을 구한다. 3-방향과 함께

4-방향  $2^{2^2}$ 간에 대해서도 마찬가지로 방법으로 정합하여 각 어드미턴스와 저항을 <표 1>에 나타내었다.

<표 1> 최적화된 특성어드미턴스와 아이솔레이션 저항의 콘덕턴스

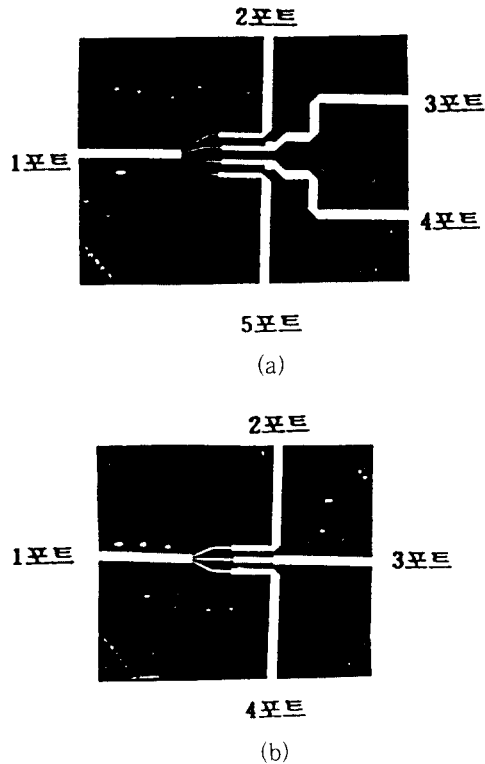
<Table 1> The Optimized Characteristic Admittances and conductances of Isolation Resistance

[단위: 1/Ω]

n	$Y_1$	$Y_2$	$G_1$	$G_2$
3	0.0088	0.0152	0.0154	0.0050
4	0.0071	0.0141	0.0200	0.0050

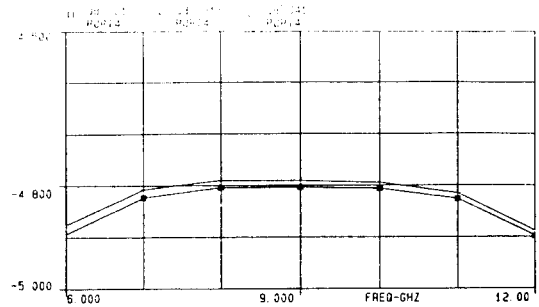
### III. 설계 및 제작

정합회로를 1구간만 사용시에는 정합이 잘 이루어지지 않아서 반사손실이 커지며 근본적으로 n-방향에서는 n단을 이용하여야만 가장 좋은 정합을 얻을 수 있다. 그러나 단수가 많으면 삽입손실이 커지게 되며 부피도 커지게 되므로 본 연구에서는 2구간만을 사용하여 정합과 아이솔레이션을 최적화하였다. 전송선로는 비유전율 2.5이며 두께 0.51mm, 동판의 두께 18 $\mu$ m인 테프론기판을 사용하였으며 아이솔레이션 저항은 길이가 2mm인 칩저항을 사용하였다. 중심주파수 9GHz에서 3-방향과 4-방향 분배기를 설계하고, 이것의 음화필름을 [그림 7]에 나타내었다.

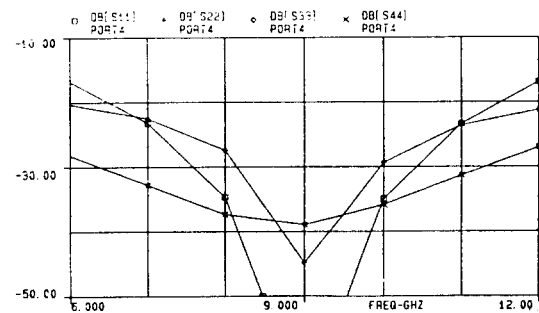


[그림 7] 전력분배기의 음화필름  
(a) 3-방향 (b) 4-방향

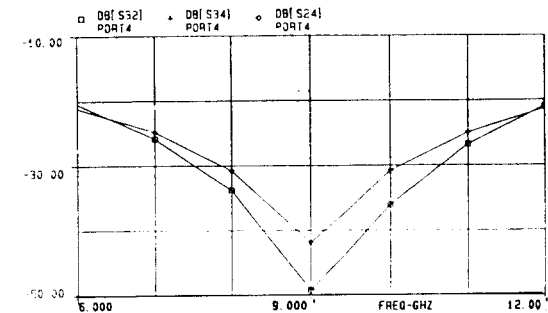
[Fig. 7] Negative Films of Power Dividers  
(a) 3-way (b) 4-way



(a)



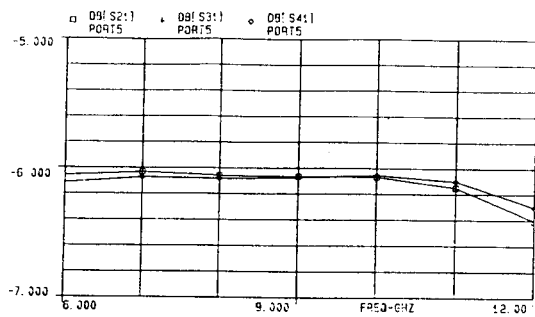
(b)



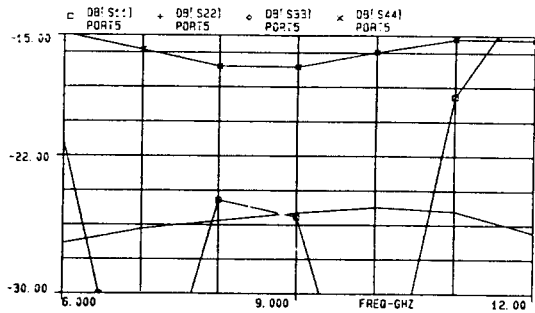
(c)

[그림 8] 3-방향 전력분배기의 시뮬레이션 결과  
(a) 분배전력 (b) 반사손실  
(c) 아이솔레이션

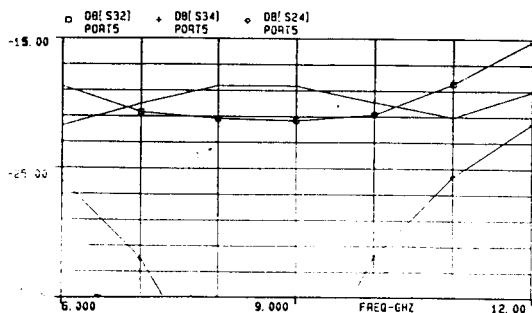
[Fig. 8] Simulation Results of 3-Way Power Divider  
(a) Divided Power (b) Return Loss  
(c) Isolation



(a)



(b)



(c)

[그림 9] 4-방향 전력분배기의 시뮬레이션 결과

(a) 분배전력 (b) 반사손실

(c) 아이솔레이션

[Fig. 9] Simulation Results of 4-Way Power Divider

(a) Divided Power (b) Return Loss

(c) Isolation

시뮬레이션한 결과 3-방향 전력분배기는 [그림 8]의 (a)~(c)와 같이 분배전력이 4.8dB, 각 단자의 반사손실과 출력단자 사이의 아이솔레이션이 40dB 이상이었으며, 4-방향 전력분배기는 [그림 9]의 (a)~(c)와 같이 분배전력이 6.08dB, 각 단자의 반사손실과 출력단자 사이의 아이솔레이션이 17dB 이상이였다.

#### IV. 측정 및 결과 고찰

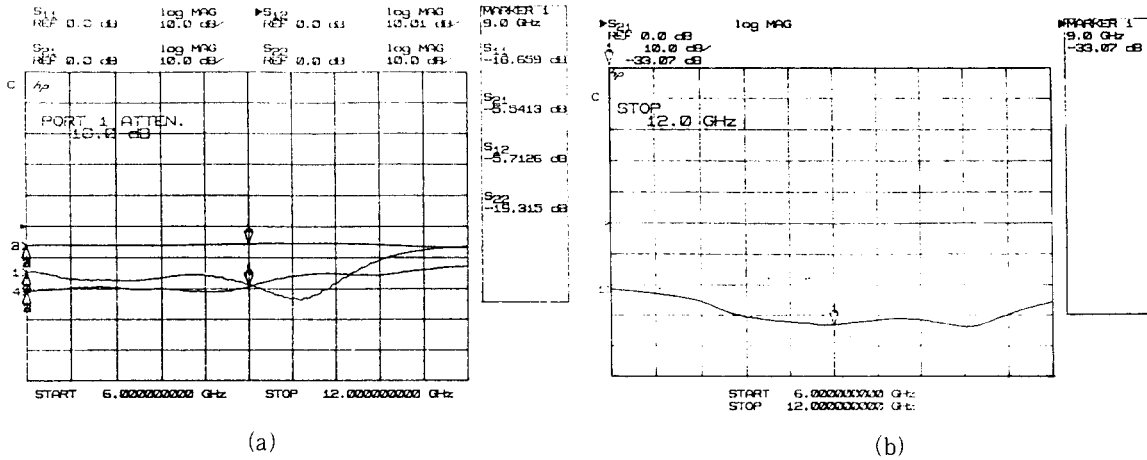
측정하고자 하는 산란계수에 따라 두개의 단자만을 Network Analyzer와 연결하고 나머지 단자들은 50Ω으로 정합하여 분배전력과 각 단자의 반사손실 및 출력단자 사이의 아이솔레이션을 측정하였다. [그림 10]과 [그림 11]에 3-방향과 4-방향 전력분배기의 측정된 결과를 각각 도시하였다. [그림 10]의 (a)는 [그림 7]의 (a)의 단자 1과 단자 3 사이의 분배전력과 반사손실의 측정값을 나타내며, (b)는 단자 2와 단자 4 사이의 아이솔레이션 값을 나타낸다. [그림 11]의 (a)와 (b)는 각각 [그림 7]의 (b)의 단자 1과 단자 2, 단자 1과 단자 3 사이의 측정값을 나타내며, (c)와 (d)의 결과는 각각 [그림 7]의 (b)의 단자 2와 단자 3, 단자 2와 단자 4 사이의 아이솔레이션 값을 나타낸다.

측정된 결과, 3-방향 전력분배기의 분배전력은 5.54~6.17dB, 반사손실은 입력단자가 약 17dB이고 나머지 단자가 약 20dB 이상, 출력단자 사이의 아이솔레이션 18~33dB 값을 나타내었으며, 4-방향 전력분배기의 분배전력은 6.76~7.83dB, 반사손실은 입력단자가 약 11.6dB이고 나머지 단자가 16~23dB, 출력단자 사이의 아이솔레이션이 10~16dB 값을 나타내었다.

분배전력은 3-방향과 4-방향 전력분배기가 0.74~1.37dB, 0.68~1.75dB의 오차로서 거의 이론치에 근접하였다. 반사손실과 아이솔레이션은 3-방향 전력분배기에서는 이론치와 어느정도 오차가 있으나 좋은 특성을 나타내었으며, 4-방향 전력분배기는 다소 좋지 않은 특성을 나타내었다.

오차 원인으로는 칩저항과 커넥터의 불연속과 제작 및 측정오차뿐만 아니라 n-방향으로 선로가 갈라지는 부분의 정전용량에 대한 보상이 없었기 때문으로 사료된다. 전송선로의 굵은 부분을 줄이고, 상호

결합이 없도록 전송선로 사이의 간격을 넓게 하면 분배전력과 반사손실 및 아이솔레이션 특성이 더욱 양호해져서 다단 2-방향 구조를 대신해서 저손실 전력분배에 응용 가능하리라고 사료된다.

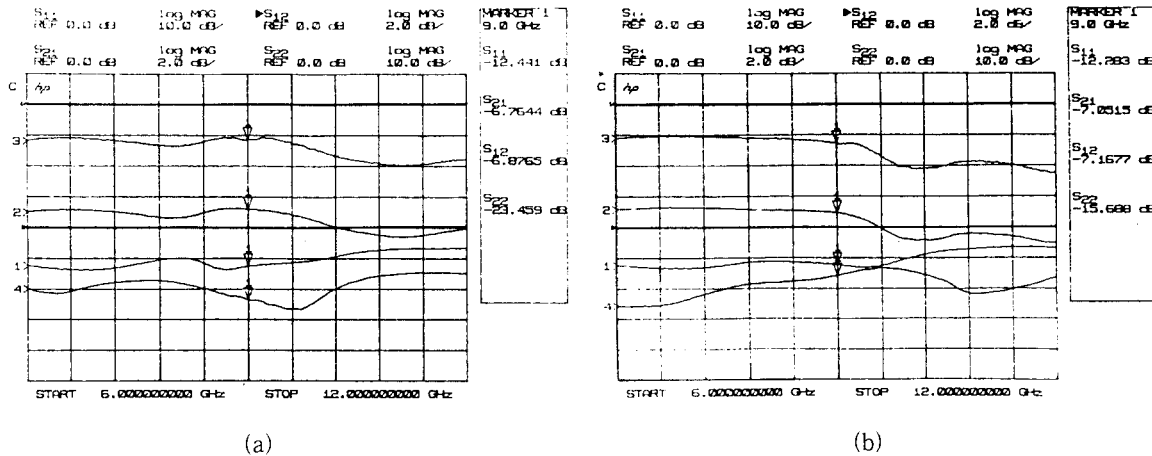


[그림 10] 3-방향 전력분배기의 측정 결과

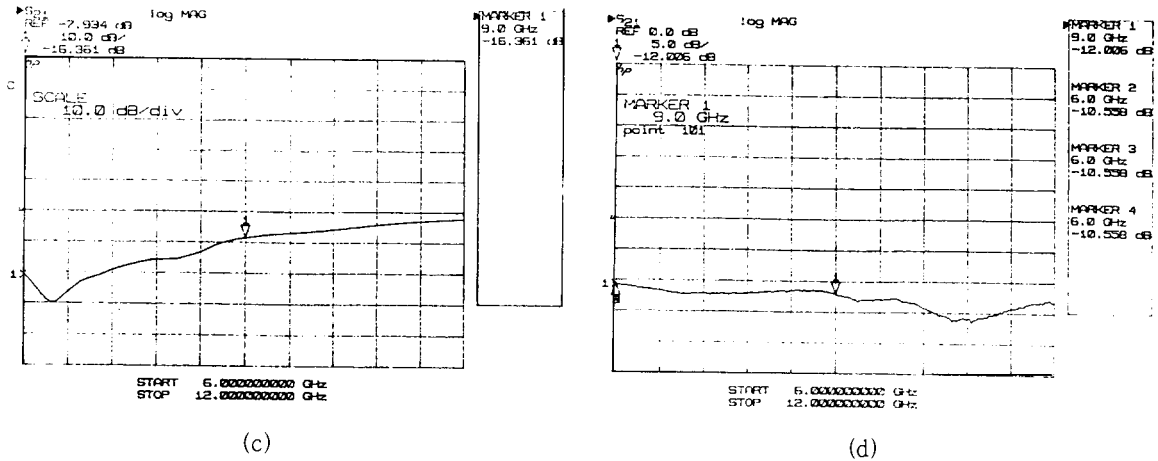
(a) 단자 1과 3 사이의 분배전력과 반사손실 (b) 단자 2와 4 사이의 아이솔레이션

[Fig. 10] Measured Results of 3-Way Power Divider

(a) Divided Power and Return Loss between port 1 and 3 (b) Isolation between port 2 and 4







[그림 11] 4-방향 전력분배기의 측정 결과

- (a) 단자 1과 2 사이의 분배전력과 반사손실 (b) 단자 1과 3 사이의 분배전력과 반사손실
- (c) 단자 2와 3 사이의 아이솔레이션 (d) 단자 2와 4 사이의 아이솔레이션

[Fig. 11] Measured Results of 4-Way Power Divider

- (a) Divided Power and Return Loss between port 1 and 2 (b) Divided Power and Return Loss between port 1 and 3
- (c) Isolation between port 2 and 3 (d) Isolation between port 2 and 4

## V. 결 론

3-방향, 4-방향 전력분배기를 중심주파수 9GHz에서 설계 및 제작하였다. 기존의 2-방향 구조를 다단계로 하여 전력을 여러방향으로 분배하는 방법대신 전송선로와 아이솔레이션 저항 2단만을 사용하여 저손실로 전력을 여러방향으로 분배하였다. 제안된 방법의 손실은 예상값 보다 다소 컸지만 다단의 2-방향 구조 보다는 손실과 크기가 줄어들었다. 또한, 평면형으로 제작할 수 있어 초고주파회로 및 MIC회로에서 전력분배할 때 전체적인 손실감소에 기여할 것으로 사료된다.

## 참 고 문 헌

[1] E. J. Wilkinson, "An n-Way Hybrid Power Di-

vider," IRE Trans, MTT-8, p.116, Jan. 1960.

- [2] 永井, 前川 "新しい設計法による平面構成の方向電力分配器," 信學論(B). J60-B, 9, p.621.
- [3] N. Nagai and A. Matsumoto, "A Restatement of Mathematical Considerations of TEM-Modes on an n-Wire Line," IEEE Trans., MTT-22, 4, p.353, Apr. 1974.
- [4] N. Nagai and E. Maekawa, "New n-Way Hybrid Power Dividers," IEEE Trans., MTT-25, No.12, p.1008~1012, 1977.
- [5] A. A. M. Saleh, "Computation of the Frequency Response of a Class of Symmetric n-Way Power Dividers," Bell Syst. Tech. J., Vol.59, No.8, p.1493~1512, 1980.