

저전압 EEPROM을 위한 Scaled MONOS 비휘발성 기억소자의 제작 및 특성에 관한 연구

논문
8-6-7

(A Study on the Fabrication and Characteristics of the Scaled MONOS Nonvolatile Memory Devices for Low Voltage EEPROMs)

이상배, 이상은, 서광열

(Sang-bae Yi, Sang-eun Lee, Kwang-Yell Seo

Abstract

This paper examines the characteristics and physical properties of the scaled MONOS nonvolatile memory device for low programming voltage EEPROM. The capacitor-type MONOS memory devices with the nitride thicknesses ranging from 41Å to 600Å have been fabricated. As a result, the 5V-programmable MONOS device has been obtained with a 20ms programming time by scaling the nitride thickness to 57Å with a tunneling oxide thickness of 19Å and a blocking oxide thickness of 20Å. Measurement results of the quasi-static C-V curves indicate, after 10^6 write/erase cycles, that the devices are degraded due to the increase of the silicon-tunneling oxide interface traps. The 10-year retention is impossible for the device with a nitride less than 129Å. However, the MONOS memory device with 10-year retentivity has been obtained by increasing the blocking oxide thickness to 47Å. Also, the memory traps such as the nitride bulk trap and the blocking oxide-nitride interface trap have been investigated by measuring the maximum flatband voltage shift and analyzing through the best fitting method.

Key Words(중요용어) : MONOS, nonvolatile memory device(비휘발성 기억소자), EEPROM, memory trap(기억트랩), retention(기억유지), degradation(열화)

1. 서 론

최근에 컴퓨터 시스템은 소형화, 저전력화, 고속화, 내충격성 등 기술적 측면에서 뿐만 아니라 소프트웨어적으로도 급격히 발전하고 있다. 메모리 부문에 있어서도 기존의 자기 하드 디스크 메모리(magnetic hard disk memory)의 한계를 극복하기 위해서 반도체 메모리로의 대체가 더욱 요구되고 있다. 이와 같은 상황에서 EEPROM(electrically erasable and programmable ROM)은 상주시스템 내에서도 전기적 방법에 의해 사용자가 임의로 기록/소거(write/erase)를 할 수 있을 뿐만 아니라 전

원이 제거된 상태에서도 기억상태를 유지할 수 있는 비휘발성(nonvolatility)이라는 점에서 차세대 반도체 메모리 부문의 주역으로써 주목받고 있다.

현재, EEPROM의 시장은 floating 게이트 구조를 기본으로 하는 flash EEPROM이 주도하고 있다. 그러나, flash EEPROM은 "block" 혹은 "page"라 부르는 셀(cell) 전체나 셀의 일부와 같이 다수의 많은 셀이 동시에 소거된다는 단점이 있다.¹⁾ 반면에 scale-down에서 한계를 보인 MNOS (metal-nitride-oxide-semiconductor) 비휘발성 기억소자의 대체소자로서 개발된 MONOS (metal-oxide-nitride-oxide-semiconductor) 비휘발성 기억소자는^{2, 3)} 임의의 한 셀을 선택적으로 소거 및 기록할 수 있는 full-featured EEPROM으로 응용가능한 가장 이상적인 NVSM(non-volatile semiconductor memory)으로써 최근에 많은 연구

* : 광운대학교 공대 전자재료공학과

접수일자 : 1995년 7월 26일

심사완료 : 1995년 9월 14일

가 수행되고 있다.⁴⁻⁶⁾ MONOS 비휘발성 기억소자가 기존의 마이크로 컴퓨터 시스템에 널리 응용되기 위해서는 고집적을 위한 셀크기의 소형화, 프로그래밍 전압의 감압, 그리고 프로그래밍 시간의 단축이 더욱 요구되므로 소자의 구조적 scale-down은 필연적이다

본 논문은 5~10V의 낮은 프로그래밍 전압과 고집적의 full-featured E²PROM을 위한 scaled MONOS 구조의 커패시터형 비휘발성 기억소자를 제작하고, 스위칭 특성, 기억유지 특성, 그리고 열화특성을 조사하였다. 질화막벌크 트랩 및 블로킹산화막-질화막계면 트랩의 밀도 및 분포를 구하였으며 기억전하의 전송기구도 밝혔다. 또한, 질화막두께가 얇아짐에 따른 블로킹산화막-질화막 계면트랩의 기억특성에 대한 효과도 고찰하였다.

2. 이 론

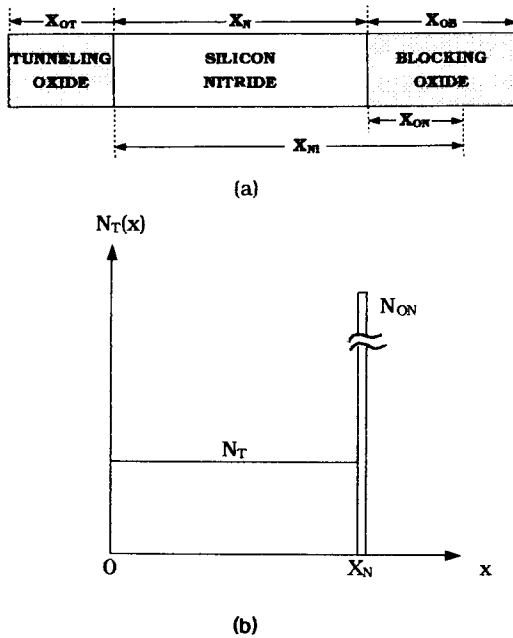


그림 1. Scaled MONOS 비휘발성 기억소자의 (a) 각 절연막두께 및 (b) 기억트랩 분포
Fig. 1. (a) Thicknesses of insulator films and (b) memory trap distributions in the scaled MONOS nonvolatile memory structure.

질화막 위에 블로킹산화막(blocking oxide)을 성

장시키면, 질화막의 일부는 블로킹산화막으로 전환되고,⁷⁾ 블로킹산화막-질화막 사이에 계면트랩이 생성된다.⁸⁾ Scaled MONOS 비휘발성 기억소자는 그림 1에 나타낸 바와 같이 질화막벌크 트랩과 블로킹산화막-질화막계면 트랩이 모두 기억특성에 관계한다. 질화막벌크 트랩은 질화막 전체에 걸쳐 균일한 분포를 갖는다고 가정할 경우, 이러한 기억트랩들이 전하들로 모두 채워졌을 때에 이들 트랩된 전하들로 인한 flatband전압 이동량은 최대 flatband전압 이동량 $\Delta V_{FB,max}$ 가 되며, 다음과 같이 표현할 수 있다.

$$\begin{aligned} \Delta V_{FB,max} &= \Delta V_{bulk,max} + \Delta V_{on,max} \\ &= \left(\frac{qN_T}{\epsilon_{ox}} \cdot X_N \cdot X_{OB} + \frac{1}{2} \frac{qN_T}{\epsilon_n} \cdot X_N^2 \right) \\ &\quad + \frac{qN_{ON}}{\epsilon_{ox}} \cdot X_{OB} \end{aligned} \quad (1)$$

여기서, $\Delta V_{bulk,max}$ 와 $\Delta V_{on,max}$ 는 각각 질화막벌크 트랩 및 블로킹산화막-질화막계면 트랩이 전부 기억전하로 채워졌을 때의 flatband전압 이동량이다. q 는 전자 전하량, N_T 는 질화막벌크 트랩 밀도, N_{ON} 은 블로킹산화막-질화막 계면트랩 밀도, X_N 는 블로킹산화막을 입힌 후의 질화막의 최종두께, X_{OB} 는 블로킹산화막의 두께, 그리고 ϵ_{ox} 와 ϵ_n 은 각각 산화막과 질화막의 유전율이다. 터널링산화막(tunneling oxide) 두께를 X_{OT} , 터널링산화막 위에 질화막을 퇴적시킨 직후의 초기 질화막 두께를 X_{Ni} , 그리고, 블로킹산화막으로 전환된 질화막 두께를 X_{ON} 으로 표시하면, 식(1)은 다시 다음식과 같이 표현된다.

$$\begin{aligned} \Delta V_{FB,max} &= \frac{qN_T X_{Ni}^2}{2\epsilon_n} \left[(1-\gamma)^2 \right. \\ &\quad \left. + 2\alpha\beta\gamma(1-\gamma) + \frac{2\alpha\beta\gamma N_{ON}}{N_T X_{Ni}} \right] \end{aligned} \quad (2)$$

여기서, $\alpha = X_{OB}/X_{ON}$, $\beta = \epsilon_n/\epsilon_{ox}$, $\gamma = X_{ON}/X_{Ni}$ 이다. 제작한 각 소자에 대해 $\Delta V_{FB,max}$ 를 측정하여 구한 γ 에 따른 $\Delta V_{FB,max}$ 와 식(2)로부터 계산하여 구한 이론값을 best fitting시킴으로써 N_T 와 N_{ON} 을 결정할 수 있다.

3. 실험

3-1. 소자제작

비휘발성 MONOS 기억소자를 제작하기 위해서

사용한 웨이퍼는 비저항이 6~9 Ω·cm인 (100)방향의 p형 실리콘 반도체이다. 터널링산화막은 950℃, 상압에서 질소로 희석시킨 산소(nitrogen-diluted oxygen, O₂ : N₂=0.15 ℓ/min : 15 ℓ/min)를 사용해서 웨이퍼를 30분간 열산화시켜 성장시켰다. 질화막은 750℃에서 SiH₂Cl₂와 NH₃의 혼합가스를 반응시켜 LPCVD 방법으로 터널링 산화막위에 퇴적시켰다. 이때, 흘려준 SiH₂Cl₂와 NH₃ 가스의 유량은 각각 30sccm, 450sccm 이었으며, 퇴적시간을 다르게 하므로써 질화막 두께를 변화시켰다. 블로킹산화막은 상압, 950℃에서 H₂ : O₂=5 ℓ/min : 8 ℓ/min인 혼합가스를 사용해서 질화막을 열산화시킴으로써 성장시켰다. 블로킹산화막 성장후 400℃의 H₂ 분위기에서 30분간 웨이퍼를 열처리하였다.

게이트전극을 위한 metal은 우선 MoSi₂ 를 4mTorr에서 스퍼터링 방법으로 퇴적시킨 다음, 그 위에 다시 Cu가 0.5%, Si이 1% 함유된 Al을 5mTorr에서 동일한 방법으로 퇴적시킨 이중구조로써, 그 두께는 각각 400Å, 7500Å이다. 이것은 junction spike를 방지하고, step coverage를 향상시키기 위한 것이다. Metal 공정후 photolithography 공정을 통해 원형의 게이트 전극을 형성하였다. 이렇게 제작한 MONOS 비휘발성 기억소자의 단면도는 그림 2와 같으며, 본 연구에서 사용한 소자의 규격 및 각종 파라미터들의 값은 표 1과 같다.

3-2. 측정방법

Flatband전압 V_{FB}은 고주파 C-V 곡선을 측정하여 구하였으며, 이때 게이트 인가전압에 따른 커패시턴스 값은 주파수 및 크기가 각각 1MHz, 15mV_{rms}인 ac 소신호(small signal) 발생기가 내장된 커패시턴스 미터(Boonton, model-72BD)를 사용하여 측정하였다. 측정하고자 하는 C-V 곡선은 X-Y 기록기(Rikadenki, model NP-0362)의 X축에 램프발생기(ramp generator)의 출력율, Y축에 커패시턴스 미터의 출력을 연결하여 자동적으로 기록되도록 하였다. 비휘발성 MONOS 기억소자의 프로그래밍을 위해서는 펄스발생기(Kikusui, model 458A)와 정전원공급 장치(regulated DC power supply : Hanil, model 303B)를 사용하였다. 정전원공급 장치는 기준전압 준위를 설정하는데 사용하였고 펄스발생기는 프로그래밍 전압을 인가하기 위한 것으로 출력단자를 소자의 게이트에 연결하여 펄스 폭과 크기를 변화시킨다. 프로그래밍 펄스는 오실로스코프(Hung-Chang, model 5502)를 통하여 관찰하였다. 소자의 측정 초기상태

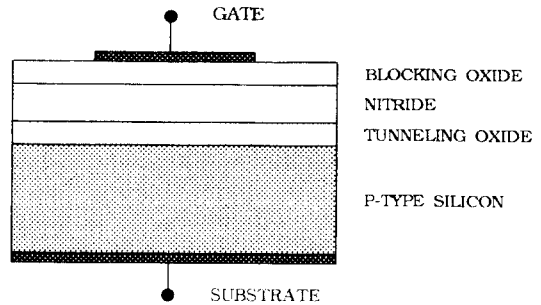


그림 2. MONOS 기억소자의 단면도.

Fig. 2. Cross-section of MONOS memory device.

표 1. 본 실험에서 사용한 비휘발성 MONOS 기억소자.

Table 1. Nonvolatile MONOS memory devices used in the experiment.

sample	#1	#2	#3	#4	#5	#6
X _{OT} (Å)	19					23
X _{NI} (Å)	69	141	244	571	612	69
X _N (Å)	57	129	232	559	600	41
X _{OB} (Å)	20					47
X _{ON} (Å)	12					28
α (X _{OB} /X _{ON})	1.67					
γ (X _{ON} /X _{NI})	0.17	0.09	0.05	0.02	0.02	0.41

조정은 프로그래머블 전압원(Programmable Voltage Source : Keithley, model 230)의 출력전압을 게이트에 인가하는 방법으로 수행하였다.

4. 결과 및 고찰

4-1. 스위칭 특성

질화막두께가 X_N=57Å이고, 터널링산화막 및 블로킹산화막의 두께가 각각 X_{OT}=19Å, X_{OB}=20Å인 비휘발성 MONOS 반도체 기억소자에서 프로그래밍 시간을 각각 달리하여 프로그래밍 전압의 크기에 따른 flatband전압 V_{FB}를 측정하므로써 스위칭특성을 조사하였으며, 그 결과는 그림 3과 같다. 프로그래밍 전압을 인가하기 전에는 항상 flatband전압이 최대한 양(+)의 방향으로 이동한

소거상태, 즉 $V_{FB} = V_{FB, \text{str}}$ 가 되도록 적절한 크기와 폭을 갖는 양의 펄스전압을 게이트에 인가하여 측정초기 상태를 조절한다.

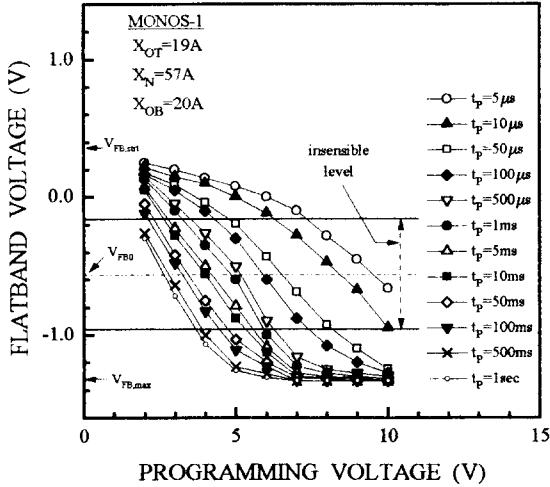


그림 3. 19Å의 터널링산화막, 57Å의 질화막, 20Å의 블로킹산화막을 갖는 MONOS 기억소자의 스위칭 특성.

Fig. 3. Switching characteristics for MONOS memory device with a 19Å tunneling oxide, 57Å nitride and 20Å blocking oxide.

그림 3에서 표시한 감지불능 준위(insensible level)는 EEPROM으로 실제 응용할 때, 기억상태를 판독(read-out)하기 위한 감지증폭기(sensing amplifier)가 기록(write) 및 소거(erase)상태를 정확하게 구별할 수 없는 영역으로서 일반적으로 다이오드의 built-in 전압인 0.8V를 취했다.⁵⁾ 특히, 본 연구에서는 감지불능 준위의 기준을 전기적 스트레스를 전혀 가한 적이 없는 소자의 flatband 전압 $V_{FB,0}$ 으로 하였다. 이는 기억유지 특성을 조사한 결과, 기록 및 소거상태의 기억유지 특성곡선들이 거의 동일한 시각에서 $V_{FB,0}$ 에 수렴하였기 때문에 오랜 기억유지 시간을 얻기 위함이다. 또한, 프로그래밍 시간이 증가함에 따라 flatband 전압은 음(-)의 방향으로 증가하다가 포화하는 데, 이때의 flatband 전압이 최대 flatband 전압 $V_{FB, \text{max}}$ 이다.

터널링산화막 및 블로킹산화막의 두께는 각각 $X_{OT} = 19\text{Å}$, $X_{OB} = 20\text{Å}$ 으로 모두 동일하나, 질화막 두께가 $X_N = 559\text{Å}$, $X_N = 232\text{Å}$, $X_N = 129\text{Å}$ 으로 각각 다른 MONOS 기억소자들에 대해서도 그림 3과 같은 방법으로 스위칭 특성을 조사하였으며, 이

로부터 질화막두께의 scaling-down에 따른 스위칭특성을 요약하면 표 2와 같다.

표 2. 스위칭 특성으로 부터 얻은 프로그래밍 조건

Table 2. Programming conditions obtained from the switching characteristics.

X_N	PROGRAMMING VOLTAGE FOR			PROGRAMMING TIME FOR 5V
	50μs	100μs	1ms	
559 Å	24V	22V	17V	impossible
232 Å	13V	12V	10V	500ms
129 Å	11V	10V	7V	100ms
57 Å	8V	7V	6V	20ms

표 2에서 알 수 있는 바와 같이 질화막 두께를 $X_N = 559\text{Å}$ 에서 $X_N = 57\text{Å}$ 까지 얇게 함에 따라 프로그래밍 전압은 낮아지고, 프로그래밍 시간은 빨라진다. Nozaki등⁹⁾은 $t_p = 100\mu\text{s}$ 의 프로그래밍 시간에 대해 9V-프로그래머블 SONOS 기억소자를, French등⁶⁾은 $t_p = 100\text{ms}$ 의 프로그래밍 시간에 대해 5V-프로그래머블 SONOS 기억소자를 보고한 바 있다. 그림 3 및 표 2에서 보는 바와 같이 질화막 두께가 $X_N = 57\text{Å}$ 이고, 터널링산화막 및 블로킹산화막 두께가 각각 $X_{OT} = 19\text{Å}$, $X_{OB} = 20\text{Å}$ 인 비휘발성 MONOS 기억소자는 프로그래밍 시간이 $t_p = 50\mu\text{s}$ 일 때 $V_p = 8\text{V}$ 의 프로그래밍 전압으로, $t_p = 100\mu\text{s}$ 일 때 $V_p = 7\text{V}$ 의 프로그래밍 전압으로, 그리고 $t_p = 20\text{ms}$ 일 때 $V_p = 5\text{V}$ 의 프로그래밍 전압으로 기억상태를 소거상태에서 기록상태로 스위칭시킬 수 있음을 알 수 있다.

4-2. 기억트랩 특성

터널링산화막 및 블로킹산화막의 두께가 각각 $X_{OT} = 19\text{Å}$, $X_{OB} = 20\text{Å}$ 으로 동일하고, 질화막두께가 600Å, 559Å, 232Å, 129Å, 그리고 57Å으로 다른 각각의 MONOS 기억소자에 대해서 조사한 스위칭 특성으로 부터 각 소자의 최대 flatband 전압 $V_{FB, \text{max}}$ 을 구한다. 이렇게 구한 값과 측정초기 상태의 flatband 전압과의 차이 $|V_{FB, \text{str}} - V_{FB, \text{max}}|$ 를 구하여 최대 flatband 전압 이동량 $\Delta V_{FB, \text{max}}$ 을 결정하면 질화막 두께에 따른 최대 flatband 전압 이동량의 관계를 얻을 수 있으며, 그 결과는 그림 4와 같다.

그림에서 점선은 질화막두께가 600Å, 559Å, 232Å인 소자에서 측정된 값들을 가지고 최소자승법으로 구한 직선이다. 그림에서 보는 바와 같이 질화막 두께가 129Å, 57Å인 경우, 측정값이 점선으로 나타낸 직선으로 부터 더 큰 값을 가지며 벗어나 있음을 알 수 있는데, 이는 질화막벌크 트랩이 외에도 상당히 큰 밀도의 블로킹산화막-질화막계면 트랩이 기억특성에 기여하여 기억전하의 분포가 바뀌었기 때문이다.¹⁰⁾

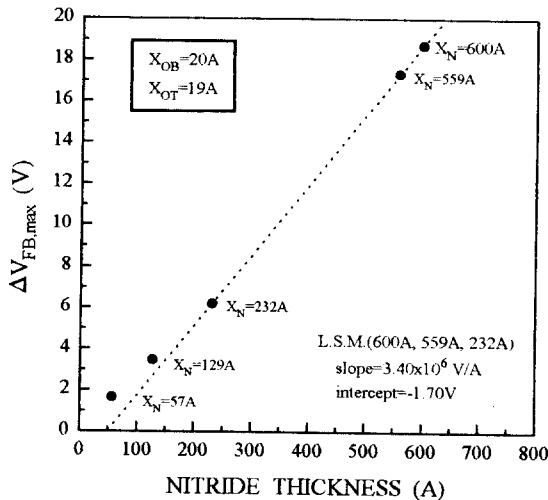


그림 4. 질화막 두께에 따른 최대 flatband 전압 이동량.

Fig. 4. Maximum flatband voltage shift with nitride thickness

터널링산화막 및 블로킹산화막 두께가 각각 $X_{OT} = 19\text{\AA}$, $X_{OB} = 20\text{\AA}$ 으로 동일하고, 질화막 두께가 $X_N = 129\text{\AA}$, $X_N = 57\text{\AA}$ 으로 각각 다른 MONOS-1 및 MONOS-2 소자와 $X_{OT} = 23\text{\AA}$, $X_{OB} = 47\text{\AA}$, $X_N = 41\text{\AA}$ 인 MONOS-6 소자에 대해서 $\gamma (=X_{ON}/X_{Ni})$ 에 따른 최대 flatband 전압 이동량을 나타내면 그림 5의 세점과 같다. 표 1에서 보는 바와 같이 MONOS-1 및 MONOS-6 소자의 초기 질화막 두께는 $X_{Ni} = 69\text{\AA}$ 이고, MONOS-2 소자는 $X_{Ni} = 141\text{\AA}$ 이다. X_{ON} 에 대한 X_{OB} 의 비율인 α 는 모든 소자에서 1.67이었으며, 이는 Enomoto 등⁷⁾이 구한 1.66과 거의 같음을 알 수 있다.

그림 5의 점선으로 나타낸 곡선(a)는 $X_{Ni} = 69\text{\AA}$ 일 때 실험값과 가장 잘 일치시킨 식(2)를 이용하여 계산한 이론곡선이다. 계산시 대입한 질화막벌크 트랩밀도와 블로킹산화막-질화막계면 트랩밀도는 각각 $N_T = 7.74 \times 10^{18} \text{cm}^{-3}$, $N_{ON} = 1.03 \times 10^{13} \text{cm}^{-2}$

이다. 이와 같이 결정된 N_T 와 N_{ON} 을 다시 식(2)에 대입하여 $X_{Ni} = 141\text{\AA}$ 인 경우에 대해서 계산한 이론곡선은 그림 5의 점선(b)와 같다. 점선(b)도 실험값과 잘 일치하였으며, 이것은 점선(a)로 부터 결정된 각 트랩밀도가 타당함을 의미한다.

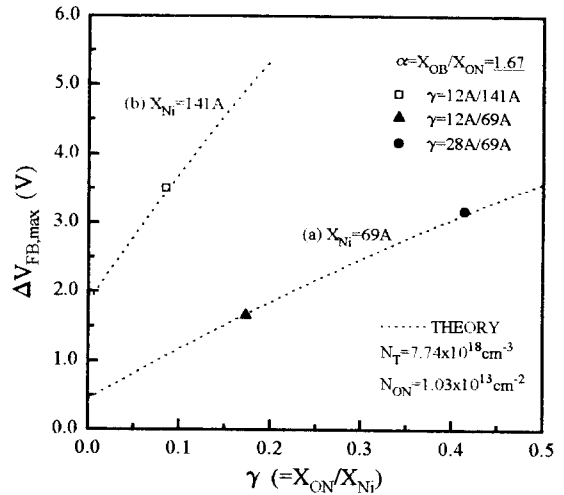


그림 5. 초기 질화막 두께에 대한 블로킹산화막으로 전환된 질화막 두께의 비율에 따른 최대 flatband 전압 이동량.

Fig. 5. Maximum flatband voltage shift with the ratio of the nitride thickness converted to the blocking oxide to the initial nitride thickness.

질화막 두께가 600Å, 559Å, 232Å, 129Å, 그리고 57Å인 각 소자에 있어서 식(1)의 광호안의 항에 질화막벌크 트랩밀도 $N_T = 7.74 \times 10^{18} \text{cm}^{-3}$ 를 대입하여 질화막벌크 트랩이 전하들로 모두 채워졌을 때의 flatband 전압 이동량 $\Delta V_{\text{bulk,max}}$ 을 계산한 결과, 그 값들은 각각 39.23V, 34.33V, 6.91V, 2.56V, 그리고 0.73V이다. 따라서, 그림 4와 비교해보면 질화막두께가 232Å 이상인 소자에서는 계산한 $\Delta V_{\text{bulk,max}}$ 가 측정된 $\Delta V_{\text{FB,max}}$ 보다 더 크나, 질화막 두께가 129Å 이하인 소자에서는 오히려 측정된 $\Delta V_{\text{FB,max}}$ 가 계산한 $\Delta V_{\text{bulk,max}}$ 보다 더 크다는 것을 알 수 있다. 이로 부터 질화막 두께가 129Å, 57Å인 소자는 블로킹산화막-질화막계면 트랩도 채워지는 반면에 질화막 두께가 600Å, 559Å, 그리고 232Å인 소자에서는 질화막벌크 트랩의 일부만이 주입된 전하들로 채워짐을 알 수 있다.

질화막 두께가 129Å, 57Å인 소자의 경우, 측정된 $\Delta V_{\text{FB,max}}$ 에서 계산한 $\Delta V_{\text{bulk,max}}$ 을 빼면 블로킹

산화막-질화막계면 트랩을 채운 전하들로 인한 flatband전압의 이동량 $\Delta V_{on,max}$ 을 구할 수 있는데 그 값들은 모두 0.9V로서 동일하다. 그러므로, 두 소자에 있어서 플로팅산화막-질화막계면 트랩은 전하들로 모두 채워진다는 것을 알 수 있다. 최대 flatband전압의 이동량에 대한 계면트랩의 전하들로 인한 flatband전압 이동량의 기여도($=\Delta V_{FB,on}/\Delta V_{FB,max}$)는 129Å인 경우에는 26%, 57Å인 경우에는 55%로서 질화막 두께가 scale-down됨에 따라 플로팅산화막-질화막계면 트랩이 기여특성에 미치는 영향은 더욱 커짐을 알 수 있다.

4-3. Scaled MONOS 기억소자의 전하전송기구

터널링산화막 두께가 $X_{OT}=19\text{Å}$, 질화막 두께가 $X_N=57\text{Å}$, 그리고 플로팅산화막 두께가 $X_{OB}=20\text{Å}$ 인 5V-프로그래머블 scaled MONOS 비휘발성 기억소자의 스위칭 특성을 조사한 그림 3으로 부터 측정초기 상태에서의 flatband전압과 프로그래밍 전압을 인가한 후에 측정한 flatband전압과의 차이 $|V_{FB,stri}-V_{FB}|$ 를 구하면, flatband전압 이동량 ΔV_{FB} 를 구할 수 있다. 이렇게 구한 flatband전압 이동량 ΔV_{FB} 를 프로그래밍 전압을 달리하여 프로그래밍 시간에 따라 나타내면 그림 6과 같다.

그림 6에서 실선은 modified Fowler-Nordheim 터널링 모델을, 점선은 trap-assisted 터널링 모델을 사용하여 각각 계산한 이론곡선이다. 계산시, 질화막벌크 트랩밀도는 그림 5에서 구한 $N_T=7.74 \times 10^{18}\text{cm}^{-3}$ 를, 트랩준위는 $\phi_T=0.65\text{eV}$ 를 대입하였다. 그림에서 보는 바와 같이 프로그래밍 전압이 $V_P=5\text{V}$ 이상인 경우에는 modified Fowler-Nordheim 터널링 곡선이, $V_P=5\text{V}$ 이하인 경우에는 trap-assisted 터널링 곡선이 실험값과 잘 일치함을 알 수 있다. 이로 부터 $V_P \geq 5\text{V}$ 인 경우에는 modified Fowler-Nordheim 터널링이고, $V_P \leq 5\text{V}$ 인 경우에는 trap-assisted 터널링이 주도적임을 알 수 있다. 특히, 프로그래밍 전압이 $V_P=5\text{V}$ 일 때의 전하전송 기구는 두 이론곡선이 거의 일치하는 것으로 보아 modified Fowler-Nordheim 터널링과 trap-assisted 터널링을 동시에 고려해야 함을 알 수 있다.

4-4. 기록/소거 반복횟수에 따른 소자의 열화 특성

터널링산화막 두께가 $X_{OT}=19\text{Å}$, 질화막 두께가 $X_N=129\text{Å}$, 그리고 플로팅산화막 두께가 $X_{OB}=20$

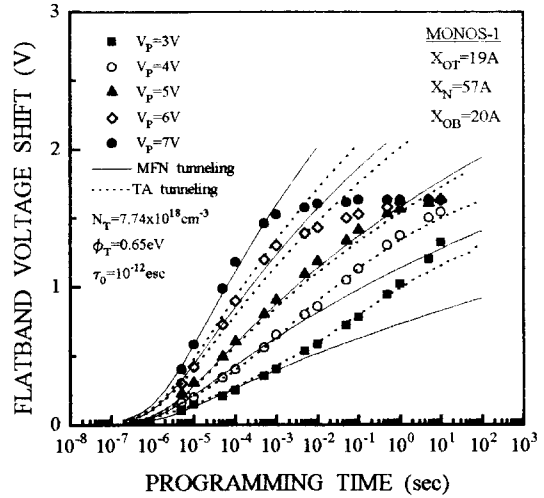


그림 6. Scaled MONOS 기억소자에 있어서 프로그래밍 전압을 달리하였을 때 프로그래밍 시간에 따른 flatband전압 이동량. (— : modified Fowler-Nordheim 터널링 모델을 이용하여 계산한 이론곡선, 그리고 ... : trap-assisted 터널링 모델을 이용하여 계산한 이론곡선)

Fig. 6. Flatband voltage shift with programming time for different programming voltages in scaled MONOS memory device. (— : theoretical curves calculated using modified Fowler-Nordheim tunneling model, and ... : theoretical curves calculated using trap-assisted tunneling model))

Å인 MONOS 비휘발성 기억소자의 게이트에 폭은 10ms로 동일하고 크기 및 극성이 +12V, -10V로 각각 다른 두종류의 구형펄스 전압을 번갈아서 연속적으로 인가하므로써 기록/소거 반복으로 인한 소자의 열화특성을 조사하였다. 이때, 두종류의 구형펄스 전압의 크기 및 폭은 $V_{FB,stri}$ 에서 $V_{FB,max}$ 로 혹은 그 반대로 기억상태를 완전히 스위칭시킬 수 있는 프로그래밍 조건이다. 기록/소거를 각각 0회, 10^6 회, 1.6×10^6 회 그리고 5×10^6 회 반복한 다음, 소자의 게이트에 20mV/sec의 변화율을 갖는 램프전압을 인가하면서 반도체 기판으로 부터의 변위전류를 측정하면 그림 7과 같은 기록/소거 반복에 따른 quasi-static C-V 곡선을 얻을 수 있다.

Quasi-static C-V 곡선은 10^3 회, 5×10^3 회, 10^4 회, 5×10^4 회일 때를 비롯하여 다수 측정하였지만

9×10^5 회까지는 어떤 변화도 관찰되지 않았다. 그림에서 각 곡선의 피크점이 서로 다른 것은 곡선간의 구별을 위해서 기억상태를 조금씩 다르게 하여 C-V 곡선을 측정하였기 때문이다. 그림에서 보는 바와 같이 기록/소거를 10^6 회 반복하였을 때 최소 캐패시턴스값은 갑자기 증가하기 시작하여 5×10^6 회일 때 포화하고, 곡선의 모양도 반복횟수가 증가함에 따라서 점점 완만해짐을 알 수 있다. 이는 실리콘-터널링산화막계면 트랩밀도가 증가하였기 때문이며,¹¹⁾ 이와 같은 계면트랩의 증가는 소자의 열화를 촉진시키는 가장 중요한 요인이다.¹²⁾ 따라서, 기록/소거를 10^6 회 반복하였을 때 소자가 열화됨을 알 수 있다.

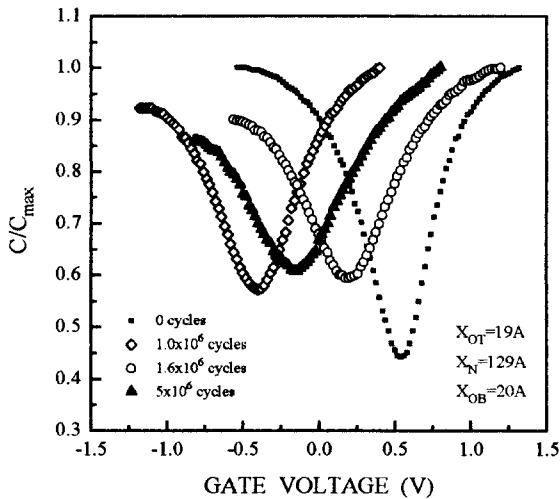


그림 7. 기록/소거 반복횟수에 따른 quasi-static C-V 곡선.

Fig. 7. Quasi-static C-V curves with write/erase cycle.

4-5. 기억유지 특성

터널링산화막 두께가 $X_{OT}=19\text{\AA}$, 질화막 두께가 $X_N=232\text{\AA}$, 그리고 블로킹산화막 두께가 $X_{OB}=20\text{\AA}$ 인 MONOS 비휘발성 기억소자를 각각 다른 조건으로 프로그래밍하여 초기 flatband전압 V_{FBi} 를 달리하여 경과시간에 따른 flatband전압을 측정하므로써 각 V_{FBi} 에 따른 기억유지 특성을 조사하였으며, 그 결과는 그림 8과 같다. 그림의 점선들은 최소자승법을 사용하여 측정값으로부터 구한 것이고, 10^4sec 이후는 이들 직선들로부터 예상되는 경향을 나타낸 것이다. 그림에서 보는 바와 같이 flatband전압의 절대값은 경과시간의 대수에 선형적으로 감소하고, V_{FBi} 가 클수록 각 곡선의 기울기

인 decay rate가 증가함을 알 수 있다. 특히, $V_{FBi}=-2.6\text{V}$ 이상인 경우 decay rate가 큼에도 불구하고 V_{FBi} 의 값이 상대적으로 크기 때문에 10년의 기억유지가 가능함을 알 수 있다.

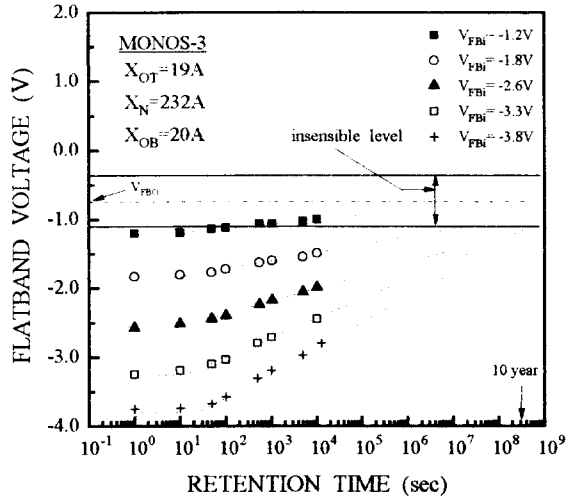


그림 8. 19Å의 터널링산화막, 232Å의 질화막, 20Å의 블로킹산화막을 갖는 MONOS 기억소자에 있어서 초기 flatband전압에 따른 기억유지 특성.

Fig. 8. Retention characteristics for different initial flatband voltages in MONOS memory device with a 19Å tunneling oxide, 232Å nitride and 20Å blocking oxide.

터널링산화막 및 블로킹산화막 두께가 각각 $X_{OT}=19\text{\AA}$, $X_{OB}=20\text{\AA}$ 로 동일하고, 질화막 두께가 559Å, 232Å, 129Å, 그리고 57Å인 MONOS 비휘발성 기억소자들에 대해서 그림 8과 동일하게 기억유지 특성을 조사하였다. 이로 부터 각 소자에 있어서 프로그래밍한 직후의 초기 flatband전압과 전기적 스트레스를 전혀 가하지 않은 상태에서의 flatband전압의 차인 $V_{FBi}-V_{FB0}$ 에 따른 decay rate를 나타내면 그림 9와 같다.

10년 이상의 기억유지 능력을 보장하기 위해서 decay rate는 다음 조건을 만족시켜야 한다.¹³⁾

$$\frac{\partial V_{FB}}{\partial \log(t)} \leq \frac{V_{FBi} - V_{FB0}}{\log(3.15 \times 10^8) - \log(10^0)} \quad (3)$$

그림 9의 점선은 최소한 10년의 기억유지를 위한 $V_{FBi}-V_{FB0}$ 에 따른 decay rate의 관계를 식(3)으로부터 계산하여 얻은 곡선이다. 점선을 경계로

하여 실험값이 하단부에 놓일 때는 10년의 기억유지가 가능하고, 상단부에 놓일 때는 그렇지 못하다. 따라서, 그림에서 보는 바와 같이 질화막 두께가 129Å과 57Å인 MONOS 기억소자들은 모든 실험값들이 상단부에 놓이는 것으로 보아 10년 이상의 기억유지 능력이 보장되지 못함을 알 수 있다. 이는 $X_{OB}=20\text{\AA}$ 인 플로킹산화막이 얇아서 게이트로 유실되는 기억전하를 충분히 막아주지 못하기 때문이라 생각된다. 즉, 소자의 질화막이 얇아짐에 따라 기억전하는 질화막별크 트랩 뿐만 아니라 질화막-플로킹산화막 계면트랩까지 트랩핑되어 게이트쪽으로 더욱 가깝게 분포하므로 게이트로의 터널링 확율은 증가한다.¹⁴⁾ 따라서, 플로킹산화막의 두께를 $X_{OB}=47\text{\AA}$ 으로 더 두껍게 하고, 터널링산화막 및 질화막 두께가 각각 $X_{OT}=23\text{\AA}$, $X_N=41\text{\AA}$ 인 MONOS 기억소자를 제작하여 소거 및 기록 상태에서의 기억유지특성을 모두 조사하였으며, 그 결과는 그림 10과 같다. 그림에서 보는 바와 같이 소거 및 기록 상태에서의 decay rate가 각각 0.12V/decade, 0.14 V/decade로 충분히 10년 이상 기억상태를 유지할 만큼 기억유지 능력이 개선됨을 알 수 있다. 그러나, 이러한 소자는 기억상태의 스위칭을 위해서 5V의 프로그래밍 전압에 대해 40ms의 프로그래밍 시간이 필요하다.

5. 결 론

5~10V의 낮은 프로그래밍 전압과 고집적의 full-featured EEPROM을 위한 scaled MONOS 구조의 커패시터형 비휘발성 기억소자를 제작하고, 스위칭 특성, 기억유지 특성, 열화 특성, 그리고 질화막별크 트랩 및 플로킹산화막-질화막계면 트랩의 특성등을 조사하였다. 기억전하의 전송기구도 밝혔으며, 질화막두께가 얇아짐에 따른 플로킹산화막-질화막계면 트랩의 기억특성에 대한 효과도 고찰하였다. 그 결과 다음과 같은 결론을 얻었다.

- (1) 터널링 산화막, 플로킹 산화막, 그리고 질화막의 두께를 각각 19Å, 20Å, 57Å으로 scale-down 하여 프로그래밍 시간이 20ms인 5V-프로그래머블 MONOS 비휘발성 기억소자를 얻었다. 그러나 이 소자는 10년의 기억유지능력을 갖지 못하였으며, 이는 플로킹 산화막이 얇기 때문이라 생각된다. 따라서, 플로킹 산화막의 두께를 $X_{OB}=47\text{\AA}$ 으로 더 두껍게 하고, 터널링 산화막 및 질화막 두께가 각각 $X_{OT}=23\text{\AA}$, $X_{ON}=41\text{\AA}$ 인 소자를 제작하므로써 기억유지능력이 상당히 개선됨을 알 수 있었

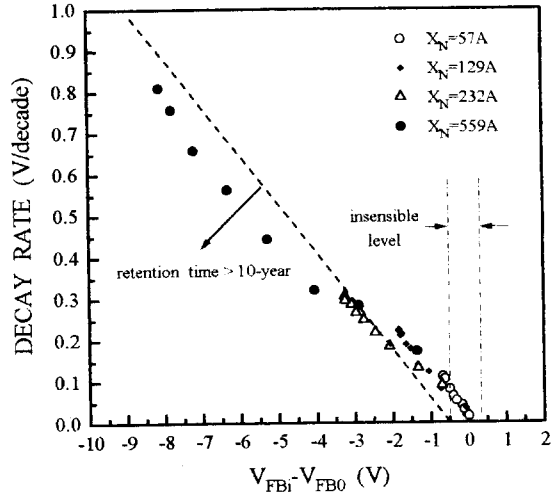


그림 9. 질화막 두께를 달리하였을 때 초기 flatband 전압 이동량에 따른 decay rate.

Fig. 9. Decay rate with initial flatband voltage shift for different nitride thicknesses.

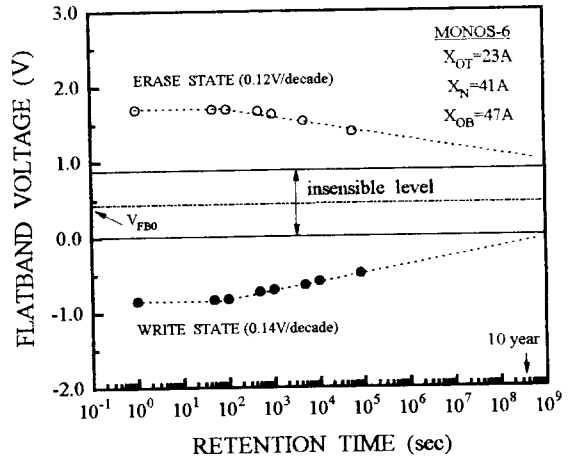


그림 10. 23Å의 터널링산화막, 41Å의 질화막, 47Å의 플로킹산화막을 갖는 MONOS 기억소자의 기억유지 특성.

Fig. 10. Retention characteristics in MONOS memory device with a 23Å tunneling oxide, 41Å nitride and 47Å blocking oxide.

다. 이러한 소자는 5V-프로그래밍 전압에 대해서 프로그래밍 시간은 40ms이다.

- (2) 질화막별크 트랩의 밀도는 $N_T=7.74 \times 10^{18} \text{cm}^{-3}$ 이고, 플로킹산화막-질화막계면 트랩의 밀도

- 는 $N_{ON}=1.03 \times 10^{13} \text{ cm}^{-2}$ 이다.
- (3) 질화막 두께가 얇아질수록 불로킹산화막-질화막 계면트랩이 기억특성에 미치는 영향은 더욱 커진다.
 - (4) 질화막이 57Å인 5V-프로그래머블 소자에 있어서 프로그래밍 전압이 5V보다 클 때에는 modified Fowler-Nordheim 터널링이, 5V보다 작을 때에는 trap-assisted 터널링이 주도적이다. 또한, 프로그래밍 전압이 5V일 때의 전하 전송 기구는 이상의 두 터널링을 동시에 고려해야 한다.
 - (5) 기록/소거를 10^6 회 반복했을 때부터 실리콘-터널링산화막계면 트랩이 증가함을 알 수 있었고, 이로 부터 소자의 열화가 진행됨을 알 수 있었다.

※ 본 연구는 서울대학교 반도체 공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 94-E-4064)에 의해 수행되었습니다.

참 고 문 헌

1. S. Aritome, R. Shirota, G. Hemink, T. Endoh and F. Masuoka, "Reliability Issues of Flash Memory Cells," Proceedings of the IEEE, Vol.81, No.5, pp.776~788, 1993.
2. Y. Yatsuda, T. Hagiwara, S. Minami, R. Kondo, K. Uchida and K. Uchiumi, "Scaling Down MNOS Nonvolatile Memory Devices," Proceedings of 13th Conference on Solid State Devices, Tokyo, 1981; Japanese Journal of Applied Physics, Vol.21, Suppliment 21-1, pp.85~90, 1982.
3. E. Suzuki, Y. Hayashi, K. Ishii and H. Hiraishi, "A Low-Voltage Alterable Metal-Oxide-Nitride-Oxide-Semiconductor Memory with Nano-Meter Thick Gate Insulators NM-MONOS)," Proceedings of 14th Conference on Solid State Devices, Tokyo, 1982 ; Japanese Journal of Applied Physics, Vol.22, Suppliment 22-1, pp.581~582, 1983.
4. J. Lin, C. Chang, H. Huang, T. Ho and K. Chen, "Transient and Steady State Carrier Transport under High Field Stresses in SONOS EEPROM Device," Japanese Journal of Applied Physics, Vol.32, part1, No.6A, pp.2748~2752, 1993.
5. S. Minami and Y. Kamigaki, "A Novel MONOS Nonvolatile Memory Device Ensuring 10-Year Data Retention after 10^7 Erase/Write Cycles," IEEE Transactions on Electron Devices, Vol.40, No.11, pp.2011~2017, 1993.
6. M. French and M.H. White, "Scaling of Multidielectric Nonvolatile SONOS Memory Structures," Solid-State Electronics, Vol.37, No.12, pp.1913~1923, 1994.
7. T. Enomoto, R. Ando, H. Morita and H. Nakayama, "Thermal Oxidation Rate of a Si_3N_4 Film and Its Masking Effect against Oxidation of Silicon," Japanese Journal of Applied Physics, Vol.17, No.6, pp.1049~1058, 1978.
8. E. Suzuki, Y. Hayashi, K. Ishii and T. Tsuchiya, "Traps Created at the Interface between the Nitride and the Oxide on the Nitride by Thermal Oxidation," Applied Physics Letters, Vol.42, No.7, pp.608~610, 1983.
9. T. Nozaki, T. Tanaka, Y. Kijiya, E. Kinoshita, T. Tsuchiya and Y. Hayashi, "A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application," IEEE Journal of Solid-State Circuits, Vol.26, No.4, pp.497~501, 1991.
10. H. Maes and R. J. Van Overstraeten, "Simple Technique for Determination of Centroid of Nitride Charge in MNOS Structures," Applied Physics Letters, Vol.27, pp.282~284, 1975.
11. L.I. Popova, P.K. Vitanov and B.Z. Antov, "Interface States in MNOS Systems," Thin Solid Films, Vol.51, pp.305~309, 1978.
12. K.O. Jeppson and C.M. Svensson, "Negative Bias Stress of MOS Devices at High Electric Fields and Degradation of MNOS Devices," Journal of Applied Physics, Vol.48, No.5, pp.2004~2014, 1977.
13. S. Minami and Y. Kamigaki, "New Scaling Guidelines for MNOS Nonvolatile Memory Devices," IEEE Transactions on Electron Devices, Vol.38, No.11, pp.2519~2526, 1991.
14. F.R. Libsch, "Physics, Technology and Electrical Aspects of Scaled MONOS/SONOS

Devices for Low Voltage Nonvolatile Semiconductor Memories(NVMS),” PhD Dissertation, Lehigh University, 1989.

저자소개

이상배



1963년 3월 28일생. 1987년 광운대학교 전자재료공학과 졸업. 1989년 동 대학원 전자재료공학과 졸업(석사). 1995년 현재 동 대학원 전자재료공학과 박사과정.

서광열



1939년 9월 27일생. 1961년 인하대학교 원자력공학과 졸업. 1969년 연세대학교 교육대학원 졸업. 1986년 경희대학교 대학원 물리학과 졸업(이박). 1995년 현재 광운대학교 전자재료공학과 교수.

이상은



1967년 11월 18일생. 1993년 광운대학교 전자재료공학과 졸업. 1995년 동 대학원 전자재료공학과 졸업(석사). 1995년 현재 삼성전자 연구원.