The Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol. 8, No. 6, pp. 708,1995.

매몰채널 pMOSFET 소자의 서브쓰레쉬홀드 특성 고찰

논 문
8-6-4

Subthreshold Characteristics of Buried-Channel pMOSFET Device

서 용 진**, 장 의 구*
(Yong-Jin Seo , Eui-Goo Chang)

Abstract

We have discussed the buried-channel(BC) behavior through the subthreshold characteristics of submicron pMOSFET device fabricated with twin-well CMOS process.

In this paper, we have guessed the initial conditions of ion implantation using process simulation, obtained the subthreshold characteristics as a function of process parameter variation such as threshold adjusting ion implant dose(D_o), channel length(L), gate oxide thickness(T_{ox}) and junction depth of source/drain(X_j) using device simulation. The buried channel behavior with these process prarameter variation were showed apparent difference. Also, the fabricated pMOSFET device having different channel length represented good S.S value and low leakage current with increasing drain voltage.

Key words(중요용어) : Buried channel behavior(매몰채널 특성), Subthreshold characteristics (서브쓰레쉬홀드 특성), Process and device simulation(공정 및 소자 시뮬레이션), S.S(Subthreshold swing), Leakage current(누설전류)

1. 서 론

최근 낮은 전력소모 특성때문에 CMOS 회로가 주요한 기술이 되었고, VLSI/ULSI를 위해 필요한 고속동작과 낮은 전력소모를 이루기 위해 서브마이크론 이하의 채널길이를 갖는 n채널과 p채널 MOSFET가 요구되고 있다[1,2]. 그러나 이러한 서브마이크론 CMOS 소자의 경우 공정시 불균일하게 도핑된 서로 다른 타입(type)의 well 농도를 가지며[3,4], n^+ 다결정 실리콘 게이트가 사용되었을 때 문턱전압 조정을 위한 역도핑(counter doping)에 의해 p채널 MOSFET가 매몰채널(buried-channel)을 형성하여 소자특성을 저하시키므로[5,6] 공정 및 소자 디자인에 well 농도 및 채널도핑 조건 등이 필히 고려되어야 한다.

VLSI 회로에 있어서 소자면적이 고집적화 되고 고속의 동작을 얻기위해 채널길이, 산화막 두께, 접합깊이는 스케일 다운 되는 반면에 채널도핑은 스케일 업 되고 있다. MOSFET 소자면적의 스케일 다운에 의해 회로성능이 향상된다는 것은 이미 잘 알려진 사실이지만, 서브마이크론 영역에서는 감소된 채널길이, 산화막 두께, 접합깊이 및 증가된 채널도핑 사이의 여러가지 디자인 트레이드 오프(trade off)가 아직까지 명백하지 못하다.

n^+형으로 도핑된 다결정 실리콘을 게이트로 사용하는 CMOS 표준 공정의 경우 게이트 물질과 기판사이의 일함수차에 의해 nMOSFET와 pMOSFET의 문턱전압이 서로 비대칭이 된다. 따라서 문턱전압을 대칭적으로 만들기 위해 nMOSFET의 p형 기판농도를 올려주고 pMOSFET의 n형 기판농도를 낮추기 위해 채널에 붕소(B)를 이온주입하는 문턱전압 조정을 위한 이온주입(V_T adjusting ion implant)이 사용되고 있다. 그러나 이러한 이온주입으로 인해 pMOSFET의 경우는 역도핑(counter doping)의 결과가 되어[1] pMOSFET 의 표면농도를 반전시키게 되어 pMOSFET의 채널이 반도체 표면 아래에 생기는 매몰채널을

* 중앙대학교 전기공학과
** 대불공과대학교 전기전자공학부
접수일자 : 1994년 11월 30일
심사완료 : 1995년 7월 8일

형성한다[3] 따라서 nMOSFET에 비해 pMOSFET의 짧은 채널 특성을 열화(degradation)시키는 원인이 되며, 소자의 크기가 서브마이크론 레벨로 스케일됨에 따라 펀치쓰루(punchthrough) 및 DIBL (Drain-Induced Barrier Lowering) 등과 같은 짧은 채널 효과가 더욱 심각하게 일어난다.

따라서 본 연구에서는 이상과 같이 MOSFET 소자의 면적이 감소함에 따라 트랜지스터의 성능과 신뢰성에 영향을 미치는 공정 파라메터(채널도핑, 채널깊이, 산화막 두께, 접합깊이)의 영향을 최소화하기 위해 well 및 채널 영역에서의 이온주입 조건 등을 공정 시뮬레이션을 통해 초기 추측(initial guess)하였고, pMOSFET의 매몰채널 특성을 고찰하기 위해 공정 시뮬레이션 결과를 MINIMOS 프로그램에 입력하여, 공정 파라메터 변화에 따른 서브쓰레쉬홀드 특성을 구하였다. 그리고 twin-well CMOS 공정에 이들 시뮬레이션 결과를 적용하여 제작된 pMOSFET 소자의 서브쓰레쉬홀드 특성과 비교 고찰 하였다.

2. 공정 시뮬레이션

공정 시뮬레이션의 주된 목적은 소자의 I-V 특성을 예측하기 위한 소자 시뮬레이션에 사용되는 실리콘 내의 불순물 프로파일을 얻기 위한 것으로 입력 프로그램에서 공정 조건을 간단히 변화시켜 봄으로서 불순물 확산 및 이온주입과 같은 실리콘 집적소자의 제작단계를 예측해 볼 수 있다.

본 SUPREM 공정 시뮬레이션의 최종 목표를 nMOSFET와 pMOSFET 소자의 대칭적인 문턱전압을 얻는데 두고 목표값에 접근시키기 위한 공정변수로 well의 이온주입량(D_w), 문턱전압 조정을 위한 채널 이온주입량(D_c)을 설정하였다. 시뮬레이션 작업을 효율적으로 수행하기 위해 중요한 단위공정으로만 구성된 간단한 테스트 프로그램을 작성한 후, 설정한 공정변수를 프로그램 내에서 반복 조정함으로써 |0.7 ± 0.1| V의 문턱전압을 얻기 위한 well 및 채널영역의 이온주입 조건 및 n^+, p^+ 소오스/드레인 영역의 접합깊이 및 면저항의 상반되는 관계를 만족시킬수 있는 이온주입 조건을 구하였다.

그림 1은 본 논문에서 고찰한 서브마이크론 twin-well CMOS 소자의 단면을 개략적으로 나타낸 것으로 5개의 영역으로 나누어 시뮬레이션 하였다.

그림 2는 p-well 및 n-well의 이온주입 조건을

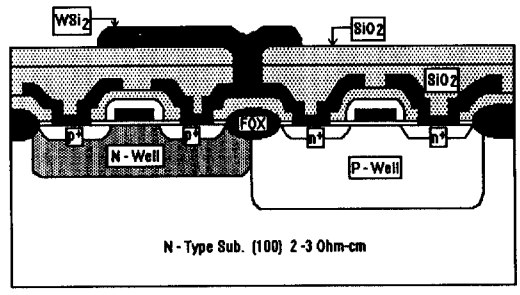

그림 1. Twin well CMOS 소자의 시뮬레이션 영역

Fig. 1. Simulation region of twin-well CMOS device.

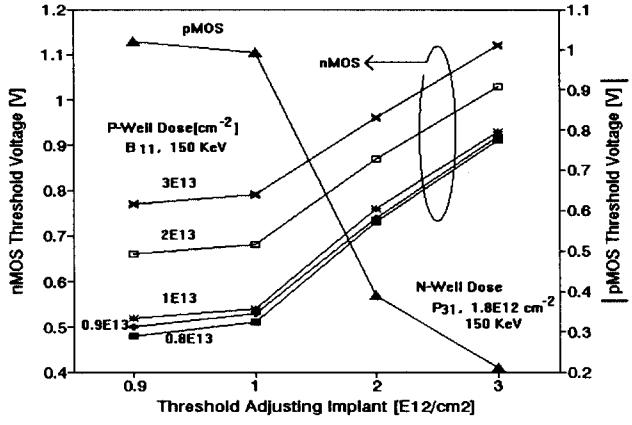

그림 2. 문턱전압 조정을 위한 얕은 붕소 이온주입 조건에 따른 pMOS와 nMOS 소자의 문턱전압 비교

Fig. 2. Comparison of threshold voltage of nMOS and pMOS device with threshold voltage adjusting shallow implant.

달리한 경우 대칭적인 문턱전압 조정을 위한 얕은 붕소 이온주입조건에 따른 pMOS와 nMOS 소자의 문턱전압을 나타낸 것이다[7].

|0.7 ± 0.1| V의 문턱전압을 만족하기 위한 이온주입량은 1.0×10^{12} cm^{-2} 에서 2.0×10^{12} cm^{-2} 가 적합함을 알 수 있다. pMOS 소자의 경우는 문턱전압 조정을 위한 붕소 이온주입은 반대형의 역도핑이 되므로 n-well 표면이 p형으로 전환되어 매몰채널이 형성될 것이므로 역도핑 깊이(Y_j)가 중요한 변수가 될 것이다. 이 역도핑 깊이는 1.3×10^{12} cm^{-2}의 붕소 이온주입을 행할 경우 약 0.2 μm으로 시뮬레이션 되었다.

3. 소자 시뮬레이션

반도체 소자의 전기적 특성은 공정 시뮬레이션에 의해 얻은 불순물 분포에 근거한 2차원 소자 시뮬레이션을 통해 MOSFET 소자를 직접 제작하지 않고도 바이어스 조건을 바꾸면서 소자의 동작 특성 변화를 예측할 수 있다. MOSFET 소자의 서브쓰레쉬홀드 영역은 트랜지스터가 턴 오프(turn off)된 상태를 나타내며, 이 영역에서는 드레인 전류가 게이트 전압에 지수함수적으로 의존하며 서브쓰레쉬홀드 스윙(subthreshold swing ; S.S)과 게이트 전압이 0V 일때의 누설전류(leakage current ; I_L)가 중요한 소자 파라메터로 작용한다. S.S는 V_{GS}에 대한 log I_{DS}의 곡선에서 선형부분 기울기의 역수로 계산되며 게이트 전압에 따라 드레인 전류가 얼마나 빨리 턴 오프 되는가를 알아보는 척도로 사용한다. 따라서 S.S값이 작을수록 작은 게이트 전압의 변화(sweep)에서도 전류가 오프 될 수 있어 게이트 전압에 따른 드레인 전류 특성 즉, 출력특성의 제어가 용이하게 이루어 진다는 결과로서 트랜스컨덕턴스의 증대를 가져와 활성동작 영역에 있을때 더 높은 성능을 얻을 수 있다. 또한 S.S는 동일한 문턱전압의 경우에 드레인 누설전류(I_L)를 결정하는 인자(factor)도 된다.

본 절에서는 2 절의 공정 시뮬레이션을 통해 얻은 결과를 MINIMOS 프로그램에 입력으로 사용하여 공정 파라메터 변화에 따른 서브쓰레쉬홀드 특성의 trade off를 고찰하였다.

3.1. V_T 이온주입의 영향

그림 3은 문턱전압 조정을 위한 붕소 이온주입량 변화에 따른 pMOS 소자의 서브쓰레쉬홀드 특성을 나타낸 것이다. V_T 이온주입량이 9×10^{11} cm^{-2}, 1×10^{12} cm^{-2} 일 때 S.S 값은 102 mV/decade, 100 mV/decade 이고, 오프 상태 누설전류는 각각 -1.82×10^{-14} A, -2.19×10^{-13} A 로서 양호한 서브쓰레쉬홀드 특성을 보였으나 이온주입량이 2×10^{12} cm^{-2}로 증가할 경우 S.S 값은 1200 mV/decade, 누설전류는 -2.73×10^{-4} A 로서 상당히 높아 온/오프의 구별이 없는 래치업 특성을 보였는데 이는 매몰채널을 갖는 pMOS 소자는 증가된 도핑 불순물(붕소)에 의해 전하 공핍층이 넓어져 드레인 전압에 의한 전계가 소오스와 기판쪽으로 더욱 확장되고 드레인 전압 증가에 따라 소오스쪽의 전위장벽이 낮아져서 낮아진 전위장벽을 통해 캐리어가 소오스로 부터 주입되는 DIBL 효과에

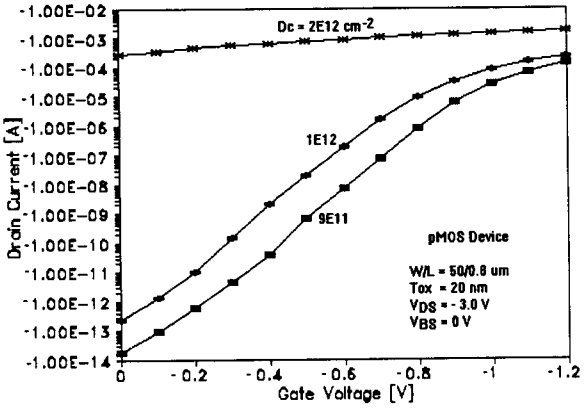

그림 3. 문턱전압 조정을 위한 붕소 이온주입량에 따른 서브쓰레쉬홀드 특성

Fig. 3. Subthreshold characteristis as a function of threshold adjusting boron implant.

의해 펀치쓰루가 증가하여 누설전류 특성이 나빠진 것으로 생각된다. 또한 드레인 전류가 1 μA 일때의 게이트 전압을 문턱전압으로 정의할 경우 이온주입량이 9×10^{11} cm^{-2} 에서 1×10^{12} cm^{-2} 으로 증가할 경우 -0.8 V 에서 -0.65 V로 0.15 V 정도 평행이동하였다. 이처럼 pMOS 소자의 문턱전압 변위가 큰 것은 붕소 역도핑으로 인해 매몰채널이 형성된 관계로 채널이 표면으로 부터 떨어져 있으므로 게이트 전압에 의해 효율적으로 제어될 수 없기 때문으로 생각된다. 한편 이온주입량 변화에 따른 매몰채널 깊이(Yj)는 각각 0.14 μm, 0.2 μm, 0.25 μm 이었다.

3.2. 채널길이의 영향

그림 4는 채널길이 감소에 따른 pMOS 소자의 서브쓰레쉬홀드 특성을 나타낸 것이다. 채널길이가 2.0 μm에서 0.8 μm로 감소함에 따라 S.S 값은 107 mV/decade에서 114 mV/decade로 약간의 증가를 보였고, 서브쓰레쉬홀드 누설전류는 1.08×10^{-11} A에서 -7.44×10^{-10} A까지 약간 증가를 하여 비교적 양호한 특성을 보였다. 그러나 채널길이가 0.5 μm까지 감소한 경우에는 S.S 값은 714 mV/decade, 누설전류는 -8.72×10^{-5} A로 상당히 높아 온/오프의 구별이 없는 래치업 특성을 나타내었다. 이는 0.5 μm의 채널길이를 갖는 pMOS 소자의 경우 채널이 표면으로 부터 떨어져 있어 채널전류를 조절하는데 더 높은 게이트 전압(gate voltage swing)이 필요하기 때문에 S.S 값이 매우 크고, 채널길이 감소에 따라 벌크 펀치쓰루의 경로(bulk

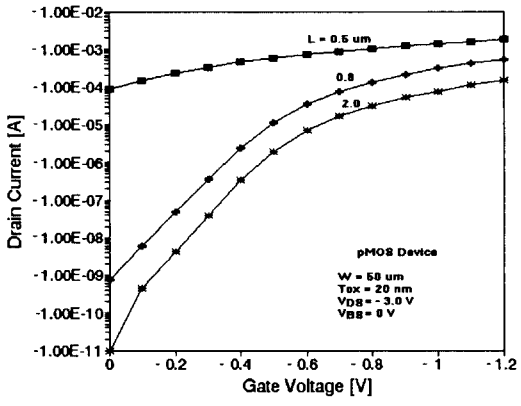

그림 4. 채널길이에 따른 서브쓰레쉬홀드 특성
Fig. 4. Subthreshold characteristics as a function of channel length.

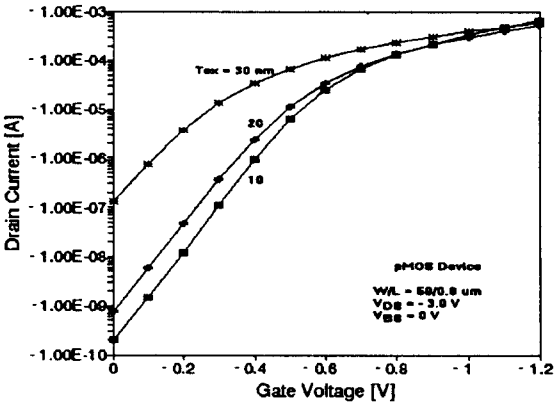

그림 5. 게이트 산화막 두께에 따른 서브쓰레쉬홀드 특성
Fig. 5. Subthreshold characteristics as a function of gate oxide thickness.

punchthrough path)가 더욱 가까워지므로 펀치쓰루 성분이 더욱 지배적이 되어 서브쓰레쉬홀드 누설전류가 증가를 한 것으로 생각된다.

3.3 게이트 산화막 두께의 영향

그림 5는 pMOS 소자의 서브쓰레쉬홀드 특성을 게이트 산화막의 두께에 대해 보인 것이다. 산화막 두께가 감소함에 따라 S.S 값은 133 mV/decade에서 111 mV/decade로 감소하였고, 오프 상태 누설전류는 -1.33×10^{-7} A에서 -1.94×10^{-10} A로 감소하였다. 산화막 두께가 두꺼울수록 채널전류를 조절하는데 높은 게이트 전압이 요구되기 때문에 S.S 값은 더 높게 나타났다. 10 nm의 얇은 산화막 두께를 갖는 경우 S.S 값이 매우 낮아 양호한 스위칭 특성을 보였으나 누설전류가 다소 높게 나타났는데 채널 퍼텐셜위의 게이트 제어를 약하게 하기 때문에 펀치쓰루에 의한 누설전류 성분이 증가된 것으로 생각된다.

3.4. 소오스/드레인 접합깊이의 영향

그림 6은 접합깊이 변화에 따른 pMOS 소자의 서브쓰레쉬홀드 특성으로 접합깊이가 감소함에 따라 S.S 값은 111 mV/decade에서 120 mV/decade로 약간 증가하였고, 오프 상태의 누설전류는 -5.21×10^{-10} A에서 -3.83×10^{-9} A로 증가를 하였다. 이처럼 접합깊이가 얇을수록 누설전류가 증가를 하였는데 이는 pMOS 소자가 0.2 μm의 매몰채널 깊이를 갖게되므로 소오스/드레인의 접합깊이가 매몰채널 깊이보다 더 얇아질 경우 짧은 채널 효과가 증강되기 때문으로 생각된다.

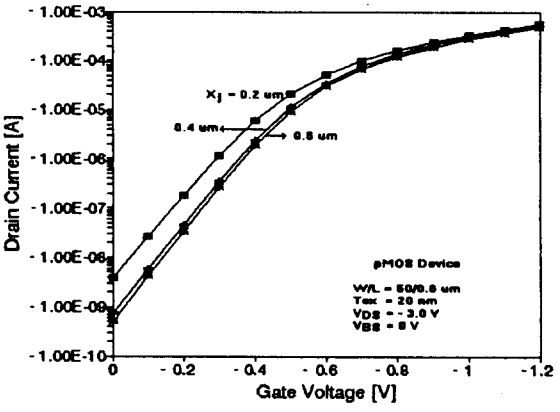

그림 6. 소오스/드레인 접합깊이에 따른 서브쓰레쉬홀드 특성
Fig. 6. Subthreshold characteristics as a function of source/drain junction depth.

4. 소자 제작 및 실험

비저항이 2~3 Ω cm이고 인(phosphorus)이 도핑된 (100) n형 Si 웨이퍼위를 사용하였다. Twin well 공정을 행한 후, p-well 영역에만 채널정지 및 펀치쓰루 방지를 위해 각각 BF_2^+, 1.5×10^{13} cm^{-2}, 100 KeV 와 B_{11}^+, 2.5×10^{12} cm^{-2}, 120 KeV 의 값을 이온주입을 하였다. nMOS 및 pMOS 소자의 문턱전압을 대칭적으로 조정하기 위해 B_{11}^+ 이온을 1.3×10^{12} cm^{-2}, 20 KeV로 얇은 이온주입을 하였다. 200 Å의 게이트 산화막을 성장시킨 후,

1500±150 Å의 다결정 실리콘을 LPCVD로 도포(deposition) 하였고 $POCl_3$을 도핑하여 n^+ 다결정 실리콘 게이트를 형성하였다. n^+, p^+ 소오스/드레인은 As_{75}와 BF_2^+ 이온을 각각 6.0×10^{15} cm^{-2}, 60 KeV와 3.0×10^{15} cm^{-2}, 70 KeV로 이온주입한 후, 900 ℃에서 20분 동안 어닐링하였다. 웨이퍼의 전체 표면에 LTO SiO_2 막을 형성하고나서 접촉구를 열기 위해 에칭하였다. LPCVD로 첫번째 텅스텐 실리사이드(WSi_2)를 증착한 후, 내부연결선을 형성하기 위해 패턴하였고 거친 웨이퍼의 표면을 평탄화 시키기 위해 LTO 산화막으로 도포한 후, 두번째 WSi_2를 형성하였다. 마지막으로 BPSG로 보호막을 입힌 후, 전극을 형성하고 얼로이 하였다. 제작된 소자면적은 각각 50/1.0 μm, 50/0.9 μm, 50/0.8 μm 이었고, 그림 1에 소자의 단면을 개략적으로 나타내었다. 제작된 pMOS 소자의 서브쓰레쉬홀드 I_D-V_G 특성을 고찰하기 위해 드레인 전압(V_D)이 각각 -5, -3, -1 V 일 때, 게이트 전압(V_G) 변화에 따른 드레인 전류(I_D)를 반도체 파라메터 분석기인 HP 4145B를 사용하여 측정하였다.

5. 측정결과 및 고찰

그림 7, 8, 9는 각각 50/1.0 μm, 50/0.9 μm, 50/0.8 μm의 소자면적을 갖는 pMOS 소자의 드레인 전압 변화에 따른 서브쓰레쉬홀드 특성을 보인것이다. 소자의 문턱전압을 드레인 전류가 1 μA인 경우의 게이트 전압으로 정의할 때, 드레인 전압이 1 V에서 5 V로 증가할 때 채널길이가 1.0 μm에서 0.9 μm로 감소함에 따라 0.17 V에서 0.35 V로 변위가 증가하였고, 0.8 μm의 채널길이를 갖는 경우는 3 V이상의 드레인 전압에서 상당히 높은 드레인 전류를 보여 온/오프의 구별이 없는 심각한 래치업 특성을 나타내었다. 이는 채널길이가 짧아짐에 따라 드레인 전압이 소오스쪽의 전위장벽에 영향을 주게되어 문턱전압 감소로 인해 드레인 전류가 급격히 증가하는 DIBL에 의한 영향인 것으로 생각된다. 이 DIBL은 MOS 소자의 스위칭 특성을 열화시키는 가장 중요한 제한요소로서 서브쓰레쉬홀드 특성곡선의 기울기의 역수(S.S)로서 평가될 수 있다. 그림 7, 8, 9에서 알수 있듯이 pMOS 소자의 경우는 채널길이가 1.0 μm일 때 드레인 전압 증가에 따라 S.S 값이 80 mV/decade에서 110 mV/decade로 증가를 하였고, 0.9 μm의 채널길이를 갖는 경우에는 100 mV/decade에서 145 mV/decade로 증가하여 채널길이가 짧아짐에 따라 S.S 값은 증가를 하였지만 비교적 양호하였다. 그러나

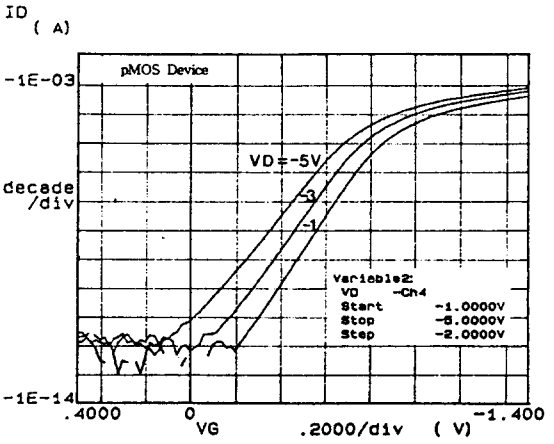

그림 7. 50/1.0 μm의 소자면적을 갖는 pMOS 소자의 드레인 전압 변화에 따른 서브쓰레쉬홀드 특성

Fig. 7. Subthreshold characteristics with drain voltage variation of pMOS device with device dimension of 50/1.0 μm.

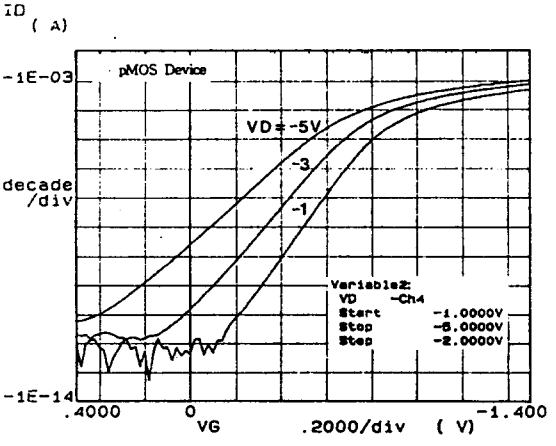

그림 8. 50/0.9 μm의 소자면적을 갖는 pMOS 소자의 드레인 전압 변화에 따른 서브쓰레쉬홀드 특성

Fig. 8. Subthreshold characteristics with drain voltage variation of pMOS device with device dimension of 50/0.9 μm.

0.8 μm의 채널길이를 갖는 pMOS 소자의 S.S 값은 -0.1 V의 드레인 전압에서는 양호한 126 mV/decade 이었으나 -5.0 V에서 1800 mV/decade로 상당히 증가되어 실제로 로직(logic)회로에는 적용할 수 없음을 알수 있다. 이렇게 드레인 전압의 증가에 따라 게이트 스윙이 크게 변하는 것은

드레인 전압에 의한 소오스쪽의 전위장벽의 저하 현상이 매몰채널을 갖는 pMOS 소자에서 더 심하게 일어남을 보여주는 것으로 3절의 소자 시뮬레이션에 의해 예측했던 결과와 일치함을 알수 있다.

한편 게이트 전압이 0 V 일때인 오프 상태의 누설전류는 드레인 전압이 -1.0 V일 때, 채널길이 감소에 따라 pMOS 소자는 ~ pA에서 ~ 10 nA로 증가를 하였다. 그러나 드레인 전압이 -5.0 V로 증가함에 따라 pMOS 소자는 ~ mA까지 누설전류가 급격히 증가를 하였다. 이러한 결과는 pMOS 소자의 채널이 표면으로 부터 떨어져 있으므로 게이트 전압에 의해 효율적으로 제어될수 없기 때문으로 생각된다.

그림 10은 그림 9에 보인 50/0.8 μm의 소자면적을 갖는 pMOS 소자의 실험결과와 비교를 위해 동일한 조건으로 시뮬레이션된 서브쓰레쉬홀드 특성으로서 그림 9에 보인 50/0.8 μm 소자보다는 그림 8에 보인 50/0.9 μm 소자의 실험결과에 더 잘 들어맞음을 알 수 있다. 이는 시뮬레이션에서는 소오스/드레인의 접촉저항을 고려하지 않은 반면에 실제 50/0.8 μm의 소자 제작에서는 텅스텐 실리사이드(WSi_2)가 형성된 소오스/드레인의 표면이 적절히 패시베이션(passivation)되지 않아 이러한 차이를 보인것으로 생각된다.

6. 결 론

Twin well CMOS 공정으로 제작된 서브마이크론 pMOSFET의 서브쓰레쉬홀드 특성분석을 통해 매몰채널 효과를 고찰하였다.

공정 시뮬레이션을 통해 well 및 채널영역에서의 이온주입 조건을 초기추측하여 소자제작에 적용하였고, 서브쓰레쉬홀드 특성을 시뮬레이션한 결과 채널 이온주입량이 2×10^{12} cm^{-2} 이상, 채널길이가 0.5 μm 이하, 산화막 두께가 30 nm 이상, 소오스/드레인의 접합깊이가 0.2 μm 이하에서 현저한 변화를 보였는데 이는 pMOSFET의 매몰채널 특성에 의한 영향으로 생각되므로 소자 디자인에 적절히 고려되어야 할 것이다. 또한 공정 및 소자 시뮬레이션 결과를 twin well CMOS 공정에 적용하여 제작된 소자는 매우 양호한 서브쓰레쉬홀드 특성을 나타내었다. 하지만 50/0.8 μm의 소자면적을 갖는 pMOSFET의 경우 드레인 전압이 -5 V로 증가함에 따라 상당히 높은 S.S 값 및 누설전류를 나타내었는데 이는 pMOSFET 소자의 채널이 표면으로 부터 떨어져 있어 게이트 전압에 의해 효율적으로 제어될수 없기 때문으로 생각된다.

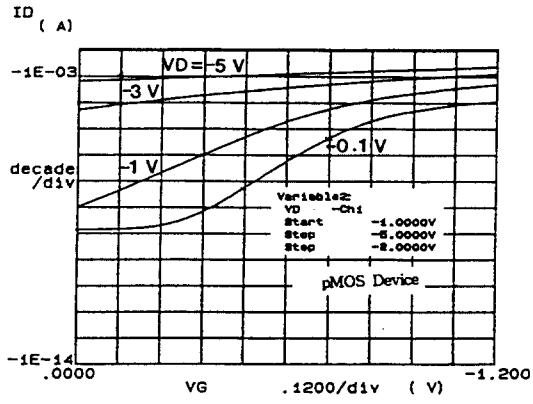

그림 9 50/0.8 μm의 소자면적을 갖는 pMOS 소자의 드레인 전압 변화에 따른 서브쓰레쉬홀드 특성

Fig. 9. Subthreshold characteristics with drain voltage variation of pMOS with device dimension of 50/0.8 μm.

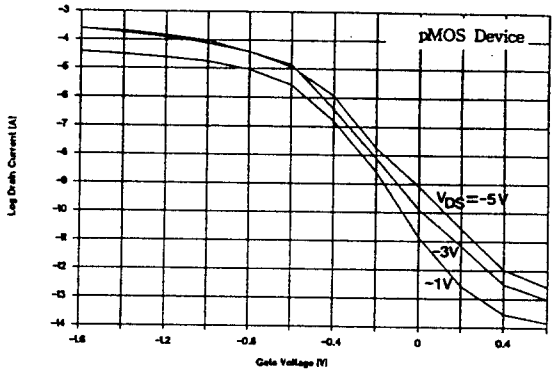

그림 10. 50/0.8 μm의 소자면적을 갖는 pMOS 소자의 시뮬레이션된 서브쓰레쉬홀드 특성

Fig. 10. Simulated subthreshold characteristics of pMOS device

참 고 문 헌

1. K. M. Cham and S. Y. Chiang, " Device Design for the Submicrometer p-Channel FET with n+ Polysilicon Gate," IEEE Trans. Electron Dev., Vol. ED-31, No. 7, pp. 964-968, 1984.
2. 장의구, 서용진, 김창일, 김태형, 최현식, 김상용, " Twin tub CMOS 공정으로 제작된 서브마이크로미터 n채널 및 p채널 MOSFET의 특

성," 한국전기전자재료학회 논문지, Vol. 5, No. 3, pp. 320-328, 1992.
3. A. E. Schmitz and J. Y. Chen, "Design, Modeling and Fabrication of Subhalf-Micrometer CMOS Transistors," IEEE Trans. Electron Dev., Vol. ED-33, No. 1, pp. 148-153, 1986.
4. U. Schwabe, H. Herbst, E. P. Jacobs and D. Takacs, " N- and P- Well Optimization for High Speed N-Epitaxy CMOS Circuits," IEEE Trans. Electron Dev., Vol. ED-30, No. 10, pp. 1339-1344, 1983.
5. G. Hu and R. Bruce, " Design Tradeoffs between Surface and Buried Channel FET's, " IEEE Trans. Electron Dev., Vol. ED-32, No. 3, pp. 584-588, 1985.
6. M. P. Brassington and R. R. Razouk, " The Relationship between Gate Bias and Hot-Carrier Induced Instability in Buried and Surface Channel pMOSFET, " IEEE Trans. Electron Dev., Vol. ED-35, No. 3, pp. 320-324, 1988.
7. 장의구, 김태형, 서용진, 이철인, 신희갑, "컴퓨터 시뮬레이션에 의한 서브마이크론pMOSFET의 Subthreshold 특성 고찰, "한국전기전자재료학회, 추계학술대회논문집, pp.210-215,1994.

저자소개

장의구

1943년 3월 9일생. 1972년 중앙대학교 전기공학과 졸업. 1975년 2월 중앙대학교 전기공학과 석사. 1983년 2월 동 대학교 전기공학과 공학박사. 1987년 1월-88년 1월 Arizona 주립대 연구교수. 1995년 현재 중앙대학교 전기공학과 교수.

서용진

1964년 3월 13일생. 1987년 중앙대학교 전기공학과 졸업. 1989년 동 대학교 전기공학과 석사. 1994년 2월 동 대학교 전기공학과 공학박사. 1995년 현재 대불공과대학교 전기전자공학부 전임강사.