

BiCMOS 버퍼의 설계를 위한 새로운 Size Plane 및 CMOS와의 비교

논문
8-2-12

A New Size Plane for Design of BiCMOS Buffers and Comparison with CMOS

김진태*, 정덕진*
(Jintae Kim, Duckjin Chung)

Abstract

The characteristics of the internal circuits and the load capacitance should be included to optimize the size of BiCMOS buffer. In order to get the optimum size and delay time of the BiCMOS buffer, new size plane is suggested. By using the size plane, the optimum characteristics of CMOS buffer according to the number of stages can be obtained. From this method, delaytime, τ_D , is obtained 2.39 nsec with $V_{cc}=5V$, $C_L=5pF$, $W=30\mu m$ and $A_c=135\mu m^2$.

Key Words(중요용어) : BiCMOS Buffer(BiCMOS 버퍼), Internal Circuits(내부회로), Size Plane (면적도), Method of Size Optimization(면적 최적화방법).

I 서 론

현재 BiCMOS 회로는 일반화 되고 있으며 많은 응용 분야에서 사용되고 있다. BiCMOS회로의 장점으로는 출력구동소자로 BJT를 사용함으로써 큰 부하용량에 대한 적은 지연시간을 가지며, 입력 노드에서는 CMOS를 사용하여 낮은 전력소비를 갖고 동시에 높은 입력 임피던스를 갖는다. BiCMOS 버퍼는 CMOS버퍼와 비교할때 출력 부하에 대한 지연시간의 특성 곡선에서 BiCMOS회로가 CMOS 회로에 비해서 월등히 좋은 특성을 갖고 있음을 알 수 있다.^{1,4)}

현재까지의 BiCMOS회로에 대한 연구는 다음의 그림 1과 같은 방법에 의해서 이루어져 왔다.¹⁾

이 그림은 지금까지 BiCMOS회로에 대한 연구의 방향을 모두 나타내고 있다. 첫번째 방법 (A)는 BiCMOS회로와 같은 크기의 입력 임피던스를 갖는 CMOS회로와의 비교로 같은 임피던스에 대한 지연시간의 연구가 행해졌으며 이러한 연구에서는 면적조건에 대한 연구보다는 동일한 입력조건하에서 큰 부하를 구동시킬 수 있는 BiCMOS 회

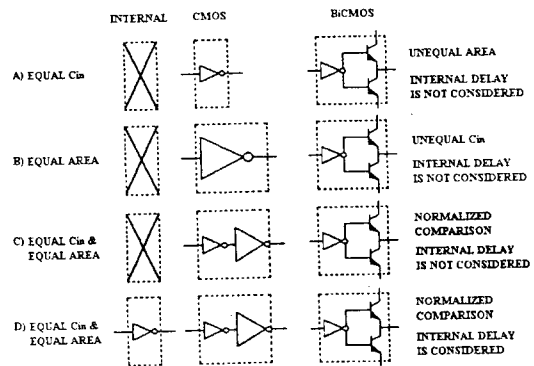


그림 1. BiCMOS버퍼와 CMOS게이트간의 비교 방법에 대한 도식화

Fig. 1. Schematic Representation of Comparisons of BiCMOS Buffers and CMOS Gates.

로의 능력을 규명하는데 그 목적이 있었다. 따라서 이러한 기준으로 수행된 연구에서는 자체 회로에 대한 면적조건이 포함되지 않았다.^{2,3,4)} 두번째 방법 (B)에서는 (A)에서와는 달리 입력 임피던스를 일치시키지 않고 Buffer회로의 전체 면적을 중요시한 결과로 CMOS 버퍼회로와 같은 면적을 갖는 조건으로 연구가 수행되었다.^{1,5)} 이들 두 조건 (A), (B)의 기본적인 차이점은 각각의 경우가 CMOS 게이트와의 지연시간의 비교를 위해 BiCMOS 버

* : 인하대학교 전자재료공학과
접수일자 : 1994년 7월 19일
심사완료 : 1994년 11월 26일

위의 표현식에서 W_{MNn} 은 n 번째 단의 NMOSFET의 채널폭을 나타낸다(W_{MPn} 은 PMOSFET), 비 R 은 내부회로의 PMOS 및 NMOS와 버퍼회로의 압력비에 의해 주어지게 된다. 이러한 CSP는 BSP와 같은 2차원 직교 좌표계로 구현되며 이때의 기준이 되는 축으로는 MOS의 크기에 의한 C_{in} 과 각 CMOS 게이트의 단의 수 및 면적에 의한 전체 면적축으로 구성된다(단의 수와 전체 면적축을 같이 사용). CSP상의 n 개의 단을 갖는 CMOS게이트의 면적은 R 값을 사용하여 다음과 같이 표현된다.¹⁾

$$\text{Area}_c(Q) = M(C_{in}, R) = c_0 + c_1 C_{in} + c_2 R C_{in} + c_3 R^2 C_{in} \dots + c_n R^{n-1} C_{in} \quad (5)$$

위의 수식에서 c_0, c_1, \dots, c_n 은 BiCMOS의 경우와 마찬가지로 상수이며 각각의 값들은 디자인 형태에 의해서 결정된다.

이들 BSP와 CSP를 입력 캐패시턴스 C_{in} 을 공통축으로 하여 그림으로 나타내면 다음의 그림 3과 같으며 점 P와 Q는 각각 BiCMOS와 CMOS의 Size Plane상의 위치를 나타낸다.

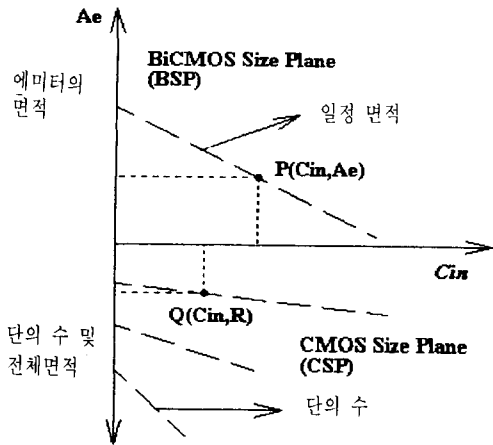


그림 3. C_{in} 을 공통축으로 하는 BSP와 CSP의 결합좌표

Fig. 3. The combined sizing plane formed from the BSP and the CSP sharing a common C_{in} axis.

위와 같은 형태의 Size Plane상에서 CMOS와 BiCMOS간의 비교 방법은 같은 입력 캐패시턴스나 또는 같은 지연시간을 갖는 위치에서 각 경우마다 어떤 회로를 사용하는 것이 유리한가를 바로 알아볼 수 있을 뿐 아니라 버퍼회로와 출력 부하에 의한 가장 지연 시간이 적은 회로의 각 구성

소자의 크기와 지연시간의 대략적인 범위를 임의적으로 예측할 수 있도록 해준다.

위와 같은 Size Plane상에서의 BiCMOS회로의 일정면적 및 CMOS 게이트의 단수에 의한 면적의 변화를 표현하기 위한 곡선은 BiCMOS회로의 경우 에미터의 면적과 MOS소자의 넓이에 의하여 결정이 되는데 에미터 면적의 변화가 MOS소자의 넓이의 변화보다 더 크게 나타나기 때문에 일정면적의 곡선의 형태는 기울어지게 된다. 이에 반하여 CMOS회로의 단의 수에 대한 면적의 변화는 각각의 단의 채널폭의 증가비, R 에 의해서 결정되어지며 단수에 따라 증가비 R 이 변화하게 되면 전체면적은 R 에 대해 2단까지는 선형적으로 증가하게 된다.

2. 내부회로를 고려한 회로의 구성과 조건

그림 4는 내부회로를 포함시킨 경우의 회로도이며, 이때 내부회로 PMOSFET와 NMOSFET의 채널폭은 각각 $12\mu\text{m}$ 와 $6\mu\text{m}$ 로 정의하였으며 채널의 길이는 $2\mu\text{m}$ 를 사용하였다.⁶⁾ 전체회로의 모의실험을 위한 SPICE 파라미터는 참고문헌 [6]의 논문에 나타나 있는 값을 사용하였다.

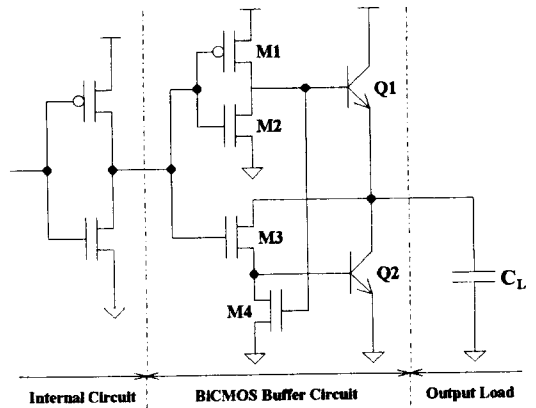


그림 4. 내부회로를 고려한 경우의 전체 회로도
Fig. 4. Schematic of BiCMOS Buffer with A Internal Circuit.

III. 모의실험 결과

1. BiCMOS의 부하의 변화에 의한 지연시간과 면적의 변화

그림 4의 회로를 SPICE를 사용하여 모의실험하였으며 다음의 그림 5는 각 부하에 대해 BiCMOS 버퍼회로의 입력 PMOS의 채널폭의 변화에

의한 입력 캐패시턴스의 변화와 BJT의 에미터의 넓이의 변화에 따른 지연 시간의 변화를 BSP상에 등고선의 형태로 나타낸 것으로 각 등고선은 같은 지연 시간을 나타내고 있다.

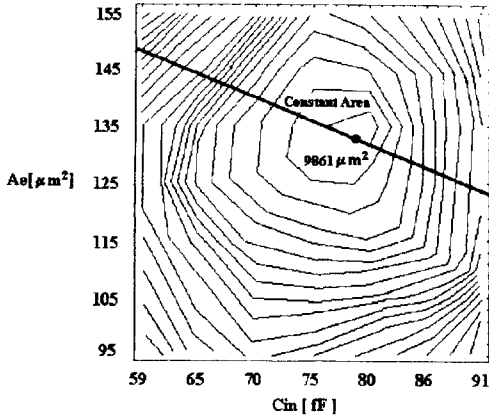


그림 5. $C_L=5pF$ 일 때의 BiCMOS버퍼 회로의 지연 시간 곡선($V_{CC}=5V, C_L=5pF$)

Fig. 5. The Delay Time Contour of BiCMOS Buffer Circuit with $C_L=5pF(V_{CC}=5V, C_L=5pF)$

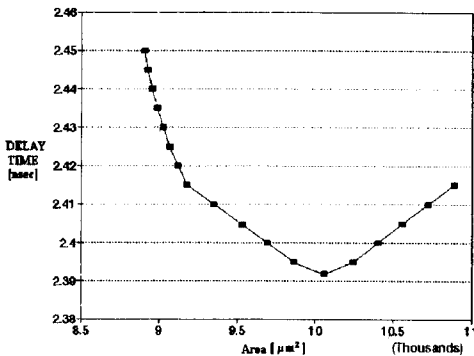


그림 6. $C_L=5pF$ 인 경우의 BiCMOS 버퍼의 면적과 지연시간의 분포($V_{CC}=5V$)

Fig. 6. The Size vs. Delay time of BiCMOS Buffer with $C_L=5pF(V_{CC}=5V)$

그림 5는 출력 부하로 5pF가 걸렸을 때의 지연 시간의 분포형태이다. 출력 부하로 1pF가 걸렸을 때의 최소 지연 시간은 PMOS의 채널폭 $W=14\mu m$ ($C_{in}=43fF$), BJT의 에미터의 면적 $A_e=35\mu m^2$ 인 경우에 약 $\tau_D=1.66$ nsec정도의 지연시간이 나타났으며 각각 3pF, 5pF인 경우에는 $W=26\mu m, A_e=95\mu m^2$ 일때 $\tau_D=2.11nsec$ 와 $W=30\mu m, A_e=135\mu m^2$ 일때 $\tau_D=2.39nsec$ 의 최소 지연시간을 나타냈다. 위의 그림

5에 나타난 직선은 지연시간이 2.395nsec인 경우의 일정면적의 분포직선으로 면적이 $9861\mu m^2$ 임을 나타내고 있다.

그림 6은 BiCMOS회로의 $V_{CC}=5V$ 에 대한 면적과 지연 시간과의 관계를 출력부하 $C_L=5pF$ 인 경우에 대해 알아본 결과이다. 이 그림에서 볼 수 있듯이 내부 회로의 영향을 고려한 그림 6의 경우에는 내부 회로와 버퍼 회로간의 입력 캐패시턴스에 의한 지연 시간의 영향으로 전체적인 지연 시간의 분포가 그릇 모양의 형태로 나타남을 볼 수 있다.

2. CMOS회로의 단수와 지연시간의 변화

위의 그림 7은 CMOS 버퍼회로를 단수와 내부 회로와의 증가비를 동시에 변화시키면서 지연시간을 모의실험한 결과이다. 이 그림에서 직선으로 나

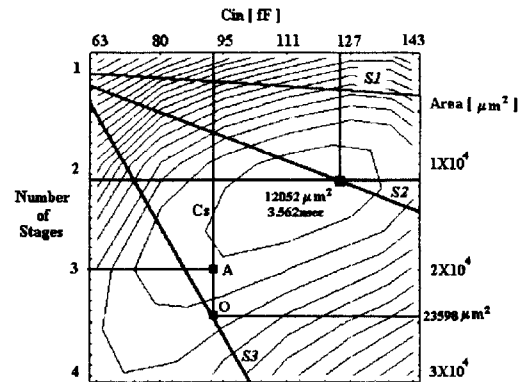


그림 7. CMOS회로의 지연시간 및 면적과의 관계 ($V_{CC}=5V, C_L=5pF$)

Fig. 7. The Size vs. Delay Time Contour of CMOS Gates($V_{CC}=5V, C_L=5pF$).

타낸 것은 각각의 경우에 해당하는 CMOS 버퍼회로의 전체 면적으로 S1은 단의 수가 1개인 경우이며, S2는 2개, S3는 3개인 경우의 면적을 나타낸다. 각각의 단의 수와 입력 캐패시턴스에 의한 면적의 분포는 각 입력 캐패시턴스에 대한 일정 수직 직선(C_s)와 단의 수에 의한 면적직선(S_i)이 만나는 지점에서의 면적좌표를 읽음으로써 얻을 수 있다. 예를 들면 단의 수가 3개인 경우 최소 지연시간이 일어나는 지점은 A이며 이때의 지연시간은 3.675nsec이다. 이때 3단중 첫번째단의 입력 캐패시턴스가 90fF이고 C_s 직선과 S3직선이 만나는 0점의 면적축의 좌표인 $23598\mu m^2$ 가 면적이 된다. 위의 경우 최소 지연시간은 단수는 2개, 입력 캐패시턴스는 125fF의 경우에서 3.562nsec로 나타났으

며 각각의 단의 수에 따른 면적과 지연시간의 관계를 알아보면 단의 수가 3개와 4개인 경우 각각 90fF, 3.675nsec, 23598 μm^2 와 80fF, 3.931nsec, 37685 μm^2 의 결과를 나타냈다.

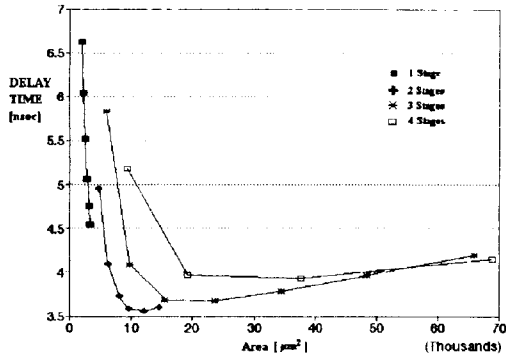


그림 8. CMOS 게이트의 면적과 지연시간 분포 ($C_L=5\text{pF}$)
 Fig. 8. CMOS Gate Size vs. Delay Time ($C_L=5\text{pF}$).

위의 그림 8과 같은 방법으로 부터 CMOS 게이트의 단의 수를 변화시키면서 각각의 부하에 대한 지연 시간을 조사한 결과는 5pF에 대해서는 단의 수가 2개일 때에 가장 작은 지연 시간으로 $\tau_{D\text{ MOS}}=3.73\text{nsec}$ 을 갖는 것으로 나타났으며 1pF, 3pF에 대해서는, 각각 $\tau_{D\text{ MOS}}=2.28\text{nsec}$ 와 $\tau_{D\text{ MOS}}=3.17\text{nsec}$ 의 지연 시간을 갖으며 이때의 단의 수는 1개와 2개로 각각 나타났다. 그리고 이때 각각의 출력 부하에 대한 CMOS회로의 면적은 1pF의 경우 $A_{\text{CMOS}}=2806\mu\text{m}^2$ 이며 3pF와 5pF의 경우는 각각 $A_{\text{CMOS}}=9706\mu\text{m}^2$ 과 $A_{\text{CMOS}}=12052\mu\text{m}^2$ 로 나타났다.

3. BiCMOS회로와 CMOS회로의 특성 비교

BiCMOS와 CMOS버퍼회로의 출력부하에 대한 최소 지연시간의 결과를 서로 비교하면 다음의 그림 9와 같다.

이러한 결과로 부터 BiCMOS 버퍼회로는 CMOS회로에 비해 출력 부하의 용량에 대한 지연시간 특성이 우수하다는 것을 알 수 있으며, 부하가 클수록 지연시간의 차이가 크게 나타나는 것으로 부터 CMOS회로보다 팬아웃이 크다는 것을 알 수 있다.

BiCMOS의 지연시간과 면적에 있어 어느 쪽에 비중을 두는 가 하는 것에 따라 다음과 같은 표현으로 회로의 수행능력을 비교한다.

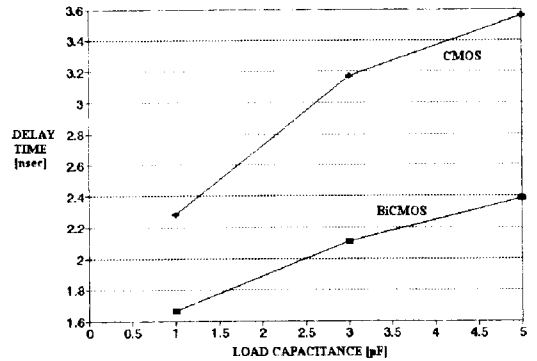


그림 9. BiCMOS와 CMOS의 부하에 의한 지연시간의 분포($V_{CC}=5\text{V}$)
 Fig. 9. Load vs. Delay Time Curve of BiCMOS and CMOS Gates ($V_{CC}=5\text{V}$)

표 1. 각 부하에 대한 BiCMOS와 CMOS회로의 면적 및 최소 지연시간

Table. 1. Area and Delay Time of BiCMOS and CMOS Gates.

	1pF	3pF	5pF
CMOS	$\tau_{D\text{ MOS}} = 2.28 \text{ nsec}$ $A_{\text{CMOS}} = 2806 \mu\text{m}^2$	$\tau_{D\text{ MOS}} = 3.154 \text{ nsec}$ $A_{\text{CMOS}} = 9706 \mu\text{m}^2$	$\tau_{D\text{ MOS}} = 3.562 \text{ nsec}$ $A_{\text{CMOS}} = 12052 \mu\text{m}^2$
BiCMOS	$\tau_{D\text{ BiCMOS}} = 1.65 \text{ nsec}$ $A_{\text{BiCMOS}} = 5434 \mu\text{m}^2$	$\tau_{D\text{ BiCMOS}} = 2.11 \text{ nsec}$ $A_{\text{BiCMOS}} = 8322 \mu\text{m}^2$	$\tau_{D\text{ BiCMOS}} = 2.38 \text{ nsec}$ $A_{\text{BiCMOS}} = 10146 \mu\text{m}^2$

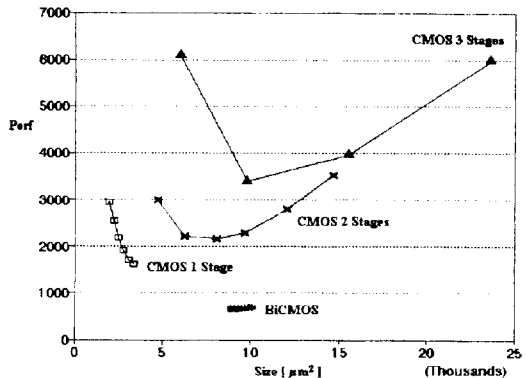


그림 10. BiCMOS와 CMOS회로의 $k=3$ 에서의 Perf의 변화($C_L=5\text{pF}$)
 Fig. 10. The Perf of BiCMOS and CMOS with Variable $k=3$ ($C_L=5\text{pF}$).

$$\text{BiCMOS Performance} = \text{Perf} = \left(\frac{A}{A_0} \right) \left(\frac{\tau}{\tau_0} \right)^k$$

($k=1, 2, 3$)

이러한 비교의 기준은⁷⁾ BiCMOS회로를 사용하

는 사용자에 따라 가장 적합한 회로를 구현할 수 있도록 하기위한 것으로 k 값에 의해서 BiCMOS 회로의 면적이나 지연시간에 비중을 달리 줄 수 있도록 하였다.

위의 k 값에 의한 BiCMOS 회로의 수행능력 비교 그림을 부하가 5pF인 경우에 대해 살펴보면 다음의 그림 10과 같이 나타나며 k 값에 의해 곡선이 최저점을 갖는 부분이 Perf의 값이 가장 작아 지는 지점으로 면적이나 지연시간의 차이가 임의의 k에 대해 전체적으로 가장 적게 나타나는 부분이기 때문에 가장 일반적으로 사용될 수 있는 설계기준이 되는 지점이다.

위의 그림은 $V_{CC}=5V$, $C_L=5pF$ 인 경우 $k=3$ 에 대한 CMOS 버퍼의 갯수에 대한 수행능력과 BiCMOS 회로의 수행능력간의 비교를 나타낸 것이다. 이 그림에서 볼 수 있듯이 부하가 큰 경우 일수록 BiCMOS 회로를 사용하는 것이 훨씬 유리하다는 것을 볼 수 있다.

4. 인가전압에 의한 지연시간의 변화

그림 11과 그림 12는 BiCMOS 버퍼회로의 인가전압의 감소에 의한 지연시간의 변화를 알아 보기 위하여 동일한 최소 MOS의 채널길이($L=2\mu m$)에 대해서 인가 전압을 3V로 감소시키고 이에 따른 CMOS의 채널폭의 변화와 BJT의 에미터 넓이의 변화 및 지연 시간의 변화에 대한 관계를 알아 보았다.

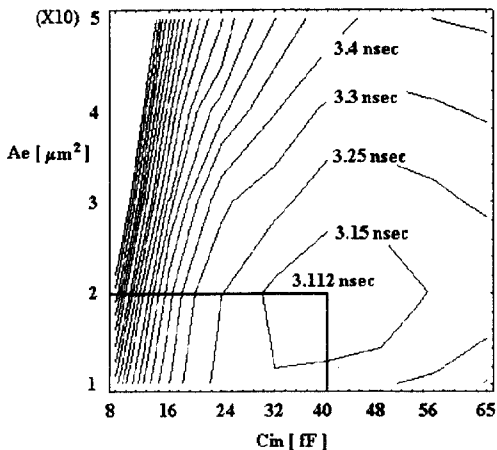


그림 11. BiCMOS 회로의 지연시간의 분포($V_{CC}=3V$, $C_L=1pF$)

Fig. 11 The Delay Time Contour of BiCMOS Buffer Circuit($V_{CC}=3V$, $C_L=1pF$).

위의 그림에서 볼 수 있듯이 그림 11의 $V_{CC}=3V$,

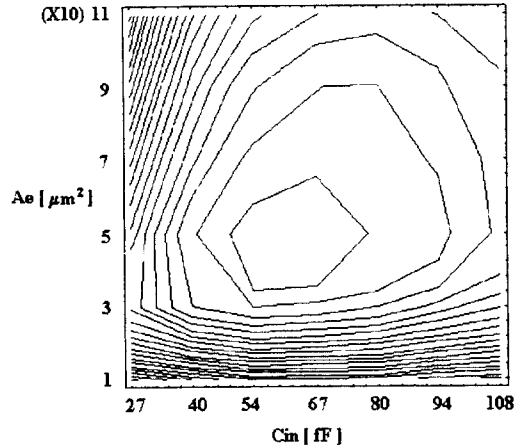


그림 12. BiCMOS 회로의 지연시간의 분포($V_{CC}=3V$, $C_L=5pF$)

Fig. 12. The Delay Time Contour of BiCMOS Buffer Circuit($V_{CC}=3V$, $C_L=5pF$).

표 2. BiCMOS 버퍼의 CMOS의 넓이, 에미터 면적 및 지연시간의 변화

Table 2. Width of CMOS, Emitter Area and Delay Time of BiCMOS.

인가전압	부하	CMOS 채널폭	에미터 면적	지연 시간
5V	1pF	$W = 14 \mu m$	$A_e = 35 \mu m^2$	$\tau_D = 1.66 \text{ nsec}$
	3pF	$W = 26 \mu m$	$A_e = 95 \mu m^2$	$\tau_D = 2.11 \text{ nsec}$
	5pF	$W = 30 \mu m$	$A_e = 135 \mu m^2$	$\tau_D = 2.39 \text{ nsec}$
4V	1pF	$W = 16 \mu m$	$A_e = 30 \mu m^2$	$\tau_D = 2.205 \text{ nsec}$
	3pF	$W = 24 \mu m$	$A_e = 70 \mu m^2$	$\tau_D = 2.77 \text{ nsec}$
	5pF	$W = 26 \mu m$	$A_e = 110 \mu m^2$	$\tau_D = 3.084 \text{ nsec}$
3V	1pF	$W = 15 \mu m$	$A_e = 20 \mu m^2$	$\tau_D = 3.112 \text{ nsec}$
	3pF	$W = 20 \mu m$	$A_e = 30 \mu m^2$	$\tau_D = 3.86 \text{ nsec}$
	5pF	$W = 25 \mu m$	$A_e = 70 \mu m^2$	$\tau_D = 4.289 \text{ nsec}$

$C_L=1pF$ 의 경우에는 PMOS의 채널폭 $W=15\mu m$ ($C_{in}=40fF$), 에미터 넓이 $A_e=20\mu m^2$ 인 경우에 $\tau_D=3.112$ nsec의 지연 시간을 갖는 것으로 나타났으며 이를 $V_{CC}=5V$ 및 $V_{CC}=4V$ 인 경우에 대해서도 모두 적용하여 표로 나타내면 다음의 표 2와 같다.

위의 표 2에서 볼 수 있듯이 출력부하의 크기가 증가할 수록 CMOS의 넓이와 BJT의 에미터의 면적이 증가함을 볼 수 있으며 또한 지연시간도 따라서 증가한다. 그러나 공급전압의 감소에 대한 각각의 값들의 변화는 CMOS의 넓이 값과 에미터의 면적은 감소하면서 지연시간은 증가하는 것을 볼 수 있다. 이러한 이유로는 고정된 넓이에서 인가전압이 감소할 경우 상대적으로 소자내에서의 저항 값이 증가하여 소자내로 유입되는 전류의 양이 작아지기 때문에 이의 보상을 위하여 전체적으로 소

자의 크기가 작아지는 것으로 생각된다.

IV. 결 론

현재까지의 BiCMOS 회로의 최적화 방법은 CMOS 버퍼 회로와의 단순한 면적과 지연시간에 대한 비교에만 치중하여 실제 회로설계에 응용하기에는 미흡하였다. 그러나 본 연구에서 제안한 방법을 사용할 경우에는 주어진 내부회로에 의한 지연시간의 영향을 고려하기 때문에 현재까지의 해석과는 달리 CMOS와 BiCMOS의 전체적인 지연시간과 CMOS의 단의 수에 대한 면적과의 결과비교가 가능해진다. 이 결과 버퍼회로의 입력 캐패시턴스의 값의 변화에 의해서 전체적인 지연시간의 형태가 중심원의 모양을 나타냄으로써 가장 적은 지연시간을 갖는 지점을 파악할 수 있을 뿐 아니라 적절한 면적과 지연시간을 갖는 조건에서 버퍼회로의 수행능력을 판단할 수 있었다.

따라서 이러한 Size Plane을 이용한 BiCMOS 회로의 해석 방법은 기존의 방법에 비해 실제 회로를 설계하는 경우 설계자가 원하는 면적이나 지연시간의 관점에서 어떤 회로를 선택하는 것이 주어진 내부회로에 대해 가장 적합한 특성을 나타내는지를 알려줌으로써 내부회로와 부하의 특성에 대한 버퍼회로의 적절한 설계방향을 제시할 수 있는 것이다.

※ 본 연구는 1993년도 학술연구조성비의 지원을 받았음.

V. 참 고 문 헌

[1] Prasad A. Raje, Krishna C. Saraswat, and Kit M. Cham, "A New Methodology for

Design of BiCMOS Gates and Comparison with CMOS," IEEE Trans. Electron Devices, vol.39, no.2, pp.339-346, Feb. 1992.

[2] Prasad A. Raje, Krishna C. Saraswar, and Kit M. Cham, "Accurate Delay Models for Digital BiCMOS," IEEE Trans. Electron Devices, vol.39, no.6, pp.1456-1464, June 1992.

[3] Geert P. Rosseel and Robert W. Dutton, "Influence of Device Parameters on the Switching Speed of BiCMOS Buffers," IEEE J. Solid State Circuits, vol.24, no.1, pp.90-99, Feb. 1989.

[4] S. H. K. Embabi, A. Bellaouar, and M. I. Elmasry, "Analysis and Optimization of BiCMOS Digital Circuit Structures," IEEE J. Solid State Circuits, vol.26, no.4 pp.676-679, April 1991.

[5] Edwin W. Greeneich and Kevin L. McLaughlin, "Analysis and Characterization of BiCMOS for High Speed Digital Logic," IEEE J. Solid State Circuits, vol.23, no.2, pp.558-565, April 1988.

[6] Wen Fang, Arthur Brunnschweiler, and Peter Ashdum, "An Accurate Analytical BiCMOS Delay Expression and its Application to Optimizing High Speed BiCMOS Circuits," IEEE J. Solid State Circuits, vol.27, no.2, pp.191-202, Feb. 1992.

[7] C. Lin and L. W. Linholm, "An Optimized Output Stage for MOS Integrated Circuits," IEEE J. Solid State Circuits, vol.SC-10, pp.106-109, Apr. 1975.

저자소개



김진태
1970년 2월 1일생. 1992년 인하대학교 응용물리학과 졸업. 1995년 인하대학교 전자재료공학과 졸업(석사). 1995년 현재 인하대학교 전자재료공학과 박사과정.



정덕진
1948년 2월 8일생. 1970년 서울대 공대 전기공학과 졸업. 1984년 미국 UTAH 주립대학교 전기공학과 졸업(석사). 1988년 미국 UTAH대학교 전기공학과 졸업(박사). 1995년 현재 인하대학교 전자재료공학과 부교수.