

Ti/Au, Ti/Pd/Au 쇼트키 접촉의 열처리에 따른

논문

8-1-9

GaAs MESFET의 전기적 특성

Electrical Characteristics of GaAs MESFET according to the Heat Treatment of Ti/Au and Ti/Pd/Au Schottky Contacts

남 춘 우

(Choon-Woo Nahm)

Abstract

MESFETs of the Ti/Au and Ti/Pd/Au gate were fabricated on n-type GaAs. Interdiffusion at Schottky interfaces, Schottky contact properties, and MESFET characteristics with heat treatment were investigated. Ti of Ti/Au contact and Pd of Ti/Pd/Au contact acted as a barrier metal against interdiffusion of Au at 220°C. Pd of Ti/Pd/Au contact acted as a barrier metal even at 360°C, however, Ti of Ti/Au contact promoted interdiffusion of Au instead of role of barrier metal. As the heat treatment temperature increases, in the case of both contact, saturated drain current and pinch off voltage decreased, open channel resistance increased, and degree of parameter variation in Ti/Au gate was higher than in Ti/Pd/Au gate at 360°C. Schottky barrier height of Ti/Au and Ti/Pd/Au contacts was 0.69eV and 0.68eV in the as-deposited state, respectively, and Fermi level was pinned in the vicinity of $1/2E_g$. As the heat treatment temperature increases, barrier height of Ti/Pd/Au contact increased, however, decreased at 360°C in the case of Ti/Au contact. Ideality factor of Ti/Pd/Au contact was nearly constant regardless of heat treatment, however, increased at 360°C in the case of Ti/Au contact. From the results above, Ti/Pd/Au was stable gate metal than Ti/Au.

Key Words(중요용어) : Interdiffusion(상호확산), Schottky Interface(쇼트키 계면), Barrier Metal(장벽금속), As-deposited State(증착 직후 상태), Barrier Height(장벽높이), Ideality Factor(이상계수).

1. 서 론

GaAs 반도체의 우수한 전자물성 특성 때문에^{1,2)} 초고속, 초고주파, 저 잡음, 고출력과 같은 특성을 필요로 하는 시스템에 GaAs 소자가 응용되며, 이러한 전자물성을 효과적으로 이용하기 위해서는 소자 제조시 안정되고, 신뢰성 있는 전극접촉 형성이 유지되어야만 한다. 모든 반도체 소자는 외부 회로와 상호연결함에 있어서 계면을 요구하기 때문에 금속/GaAs 접촉계면은 GaAs 소자에서 중요

한 부분이며, 개별소자나 집적회로에 있어서 고속 및 광전자 응용을 위해서는 오용성 접촉 뿐만 아니라 쇼트키 접촉특성의 개선이 필수적이다.³⁾ 특히 MESFET의 쇼트키 접촉은 수 많은 전기적 스트레스, 대전류 사이클 및 높은 온도에 직면하기 때문에 안정된 계면상태가 요구된다.

지금까지 계면상태에 관한 연구는 실제와는 다른, 계면산화층 혹은 불순물과 같은 불필요한 변수를 제거하기 위해 주로 초고진공 상태에서 (110)방향으로 벽개된 면에 수 Å의 아주 얇은 단층의 금속을 증착시킨 이상적인 금속/GaAs 접촉을 중심으로 쇼트키 접촉의 페르미 준위의 피닝현상과 전기적, 화학적, 물리적 현상에 대한 연구가 진행되어 왔다.^{4,5)}

* : 동의대 전기공학과

접수일자 : 1994년 7월 11일

심사완료 : 1994년 9월 30일

그러나 실제적으로 금속/GaAs 접촉계면은 그와 같이 이상적일 수 없고, 많은 변수를 가지고서 상호작용이 복합적으로 일어나기 때문에 계면해석이 쉽지가 않다.

이미 저자는 Al, Au와 같은 단층금속의 쇼트키 접촉에 대해 연구한 바가 있다.⁶⁾ Al과 Au의 GaAs와의 반응성 차이로 인해 Au가 Al보다 상호확산 정도가 커서 쇼트키 접촉금속으로서 Al이 보다 열적으로 안정하나 표면금속으로서 Au가 Al보다 전도성이 좋고, 열 적으로 안정하기 때문에 쇼트키 접촉금속이 아닌 표면금속으로 사용하기 위해서 GaAs와 Au사이의 쇼트키 및 장벽금속에 대해 연구할 필요가 있다. 따라서 본 논문에서는 다층금속 Ti/Au, Ti/Pd/Au 게이트 MESFET를 제작하여 열처리에 따른 계면에서의 상호확산 상태 및 그에 따른 쇼트키 접촉특성과 MESFET의 전기적 특성을 조사하여 비교, 고찰하였다.

2. 실험

2-1. 소자의 제작

본 연구에 사용된 웨이퍼는 두께가 410 μm 이고, 비저항이 $1 \times 10^7 \Omega\text{cm}$ 이상이며, (100) 결정면을 갖는 반전연성 기판상에 두께가 3 μm 이고, 자연 불순물 농도가 $1 \times 10^{11} \text{cm}^{-3}$ 이하인 버퍼층, 두께가 0.35 μm 이고, 도핑 불순물 S의 농도가 $2.5 \times 10^{17} \text{cm}^{-3}$ 인 활성층, 두께가 0.23 μm 이고, 도핑 불순물 Si의 농도가 $1.67 \times 10^{18} \text{cm}^{-3}$ 인 접촉층 순으로 차례로 기상 에피택시된 GaAs 웨이퍼이다.

초기세척은 트리클로로에틸렌, 아세톤, 메탄올에 연속적으로 초음파 세척기로 세척한 후, 접촉층의 자연 산화막을 인산계 용액- $3\text{H}_3\text{PO}_4:1\text{H}_2\text{O}_2:50\text{H}_2\text{O}$ 으로 2분간 식각하였다[그림 1(a)]. 다음으로 AZ 5214 포토레지스트를 도포하고, 연화건조 과정을 거쳐 메사 마스크 정렬과 노광 후, $5\text{H}_2\text{O}:1\text{AZ351}$ 용액에 현상하였다. 현상된 웨이퍼를 경화건조한 다음, 소자간에 전기적으로 절연을 위해 버퍼층 일부까지 위 인산계 용액으로 메사 식각하였다[그림 1(b)]. 그 다음, AZ5214 포토레지스트와 오염성 마스크를 사용하여 메사 식각공정과 동일하게 포토리소그래피로 리프트 오프 기술을 이용해서 오염성 접촉 감광막 패턴을 형성한 후, 접촉부위를 $10\text{H}_2\text{O}:1\text{NH}_4\text{OH}$ 용액으로 잔류 산화막을 제거한 다음, 진공증착기로 $1 \times 10^{-6} \text{torr}$ 진공도에서 AuGe (1200 \AA)/Ni(400 \AA)/Au(5000 \AA)를 차례로 증착한 후, 430 $^\circ\text{C}$ 에서 3분간 질소 분위기로 열로이하여 오염성 접촉인 소오스와 드레인을 형성하였다[그림

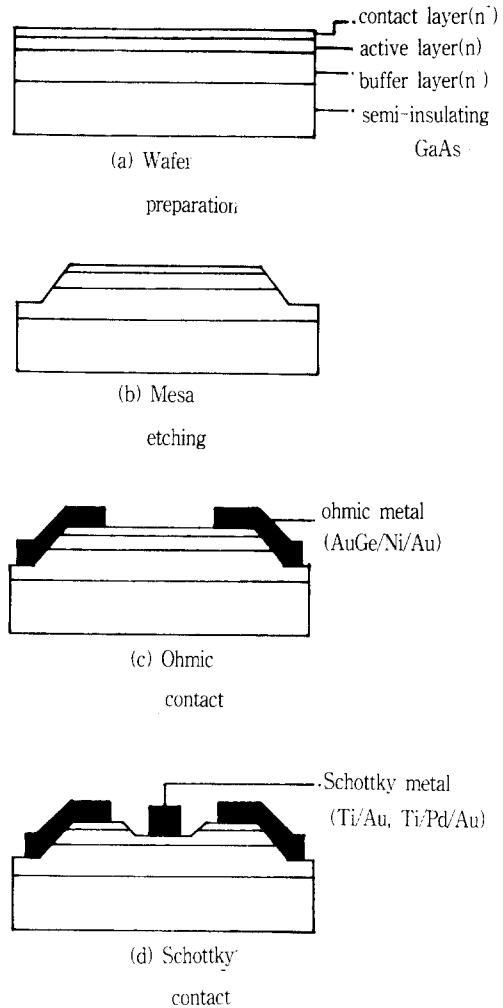


그림 1. GaAs MESFET의 제작 공정도
Fig. 1. Fabrication process flow of GaAs MESFET.

1(c)] 다음으로 게이트 마스크를 사용하여 메사 식각과 동일하게 포토리소그래피로 게이트 부위에 슬롯을 만드는 리세스식각을 하여 $10\text{H}_2\text{O}:1\text{NH}_4\text{OH}$ 용액으로 리세스 부위의 잔류 산화막을 제거한 후, 게이트 금속 Ti(400 \AA)/Au(2000 \AA)과 Ti(400 \AA)/Pd(500 \AA)/Au(2000 \AA)를 증착하여 게이트 전극을 형성하였다[그림 1(d)]. 이렇게 해서 제작된 소자는 질소 분위기에서 표 1과 같은 소자 구성으로 열처리하여 질소 분위기에서 냉각시켰다.

2-2. 측 정

열처리에 따른 게이트 전극과 GaAs 사이의 상

표 1. GaAs MESFET의 구성

Table 1. Configuration of GaAs MESFET.

Devices No.	Schottky metal (Gate)	Thickness (Å)	Heat treatment condition	Ohmic metal (Source) (Drain)
#C	Ti/Au	400/2000	as-deposited state	AuGe/Ni/Au
			220°C (30 min.)	
			220°C (30 min.) + 360°C (30 min.)	
#D	Ti/Pd/Au	400/500/2000	as-deposited state	
			220°C (30 min.)	
			220°C (30 min.) + 360°C (30 min.)	

호화산 상태를 조사하기 위해 AES(PHI 4300)분석을 행하였다. 모든 시편에 대해 표면을 30초간 Ar⁺으로 스퍼터링 에칭 후에 AES depth profile을 관찰하였으며, AES 전자빔 에너지는 3KeV였다.

소자의 전기적 파라미터 측정에 있어서, 포화드레인 전류와 핀치오프 전압은 반도체 파라미터 분석기(HP4145B)를 사용하여 바로 구하였으며, 개방 채널 저항은 핀치오프 전압과 내부전압을 구한 후, MESFET의 전류-전압 관계식⁷⁾으로부터 구하였다. 소오스-게이트간 쇼트키 접착의 장벽높이 (ϕ_B)와 이상계수(n)는 열전자 방출 모델의 전류 전압 관계식⁸⁾으로부터 다음 관계식에서 구하였다.

$$\phi_B = \frac{kT}{q} \ln \left\{ \frac{AA^{**}T^2}{I_s} \right\}$$

$$n = \frac{q}{kT} \frac{\partial V}{\partial (\ln I)}$$

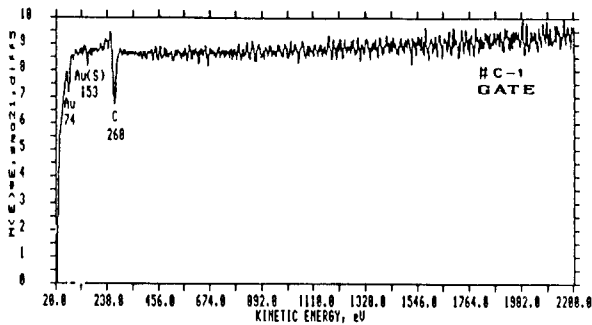
여기에서 q는 전자 전하량, k는 볼츠만 상수, T는 절대온도, A는 쇼트키 접촉면적, A^{**}는 리차드슨 상수(8.1A/cm² K²:(n)GaAs), I_s는 역포화 전류, I와 V는 각각 순방향 전류, 전압이다.

3. 결과 및 고찰

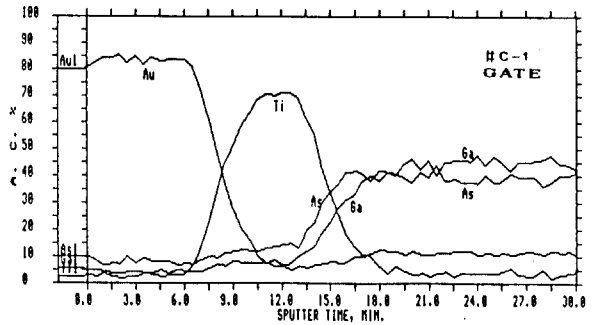
3-1. 쇼트키 계면의 상호확산 상태

그림 2는 열처리에 따른 Au/Ti/GaAs 쇼트키 접착의 AES 스펙트럼과 AES depth profile을 나타낸 것으로 그림 2(a), 2(c), 2(e)는 시편을 30초간

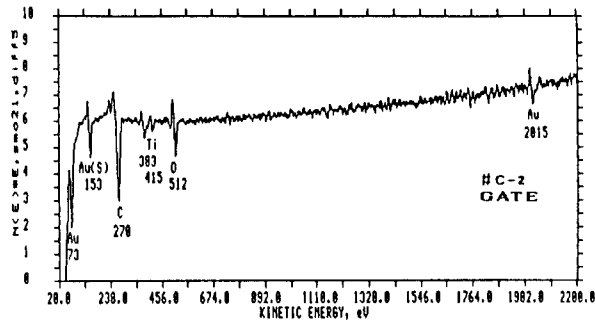
Ar⁺으로 스퍼터링 에칭 후의 표면에 존재하는 원소를 나타낸 AES 스펙트럼이며, 그림 2(b), 2(d), 2(f)는 깊이에 따라 원소분포를 나타내는 AES depth profile을 나타낸 것이다. 그림 2(a)의 AES 스펙트럼으로부터 as-deposited 상태에서는 Au 표면에 Ti 피크가 나타나지 않았으나 열처리 온도가 증가함에 따라 그림 2(c), 2(e)에서 나타나듯이 Ti 원소가 뚜렷이 외부확산 하였음을 볼 수 있으며, 그에 따라 표면에서 Ti 원소의 산화로 인하여 산소피크의 크기가 점점 증가하고 있음을 알 수 있다. 그림 2(b), 2(d), 2(f)로부터 접촉계면에서의 상호확산 상태를 보면 220°C에서 열처리 한 후의 상호확산 정도는 as-deposited 상태와 다를바 없을 정도로 상호확산 정도는 낮으나 360°C에서 열처리 한 후에는 상당한 상호확산 및 그로 인한 상호반응이 일어났음을 알 수 있다. Au가 Ti 층을 통과하여 GaAs속으로 상당한 외부확산이 일어났으며, 특히 Ti 층을 통과하여 Au 층 속으로 상대적으로 As가 Ga보다 더 많이 외부확산했음을 알 수 있다. 저자가 이미 밝힌 Au/GaAs 접촉⁶⁾과 Au/Ti/GaAs 접촉의 상호확산 상태를 비교할 때 220°C에서 열처리 후에도 Au 접촉이 Ti/Au 접촉보다 Au의 내부확산 정도가 크나 360°C에서는 오히려 Ti/Au 접촉이 Au 접촉보다 Au의 내부확산 정도가 훨씬 큼을 알 수 있었다. 이것으로부터 Ti는 220°C 부근의 열처리 온도에서는 Au 내부확산에 대한 장벽 급속의 역할을 할 수 있으나 열처리 온도가 증가함에 따라 장벽역할보다는 오히려 Au의 내부확산을 촉진시켜 줄을 알 수 있다.



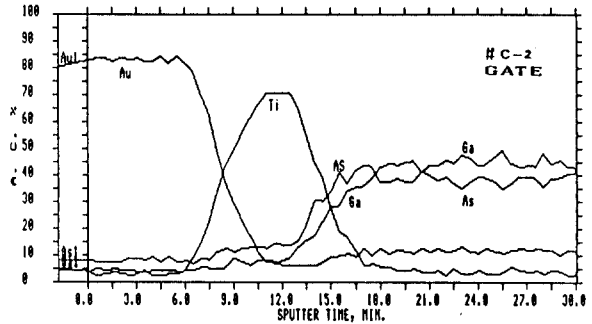
(a)# C-1 AES spectrum



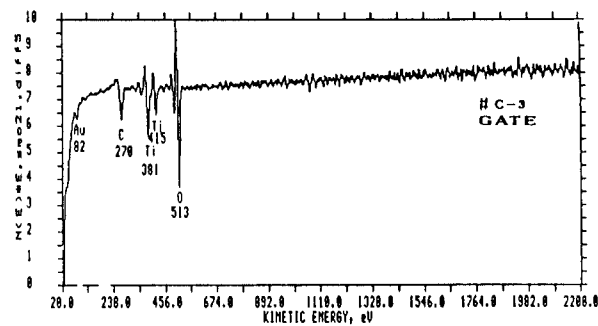
(b)#C-1 AES depth profile



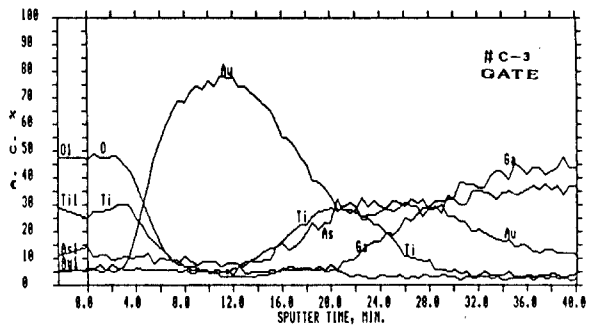
(c)#C-2 AES spectrum



(d)#C-2 AES depth profile



(e)#C-3 AES spectrum



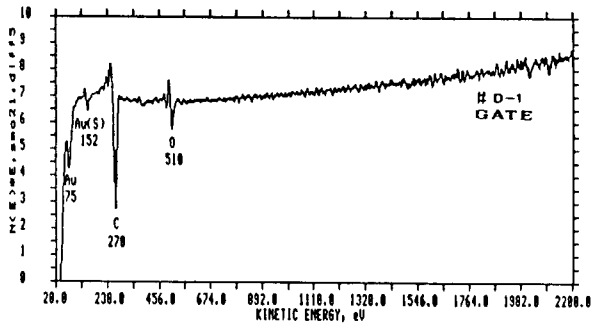
(f)#C-3 AES depth profile

그림 2. Ti/Au 쇼트키 접촉의 열처리에 따른 AES 스펙트럼과 AES depth profiles

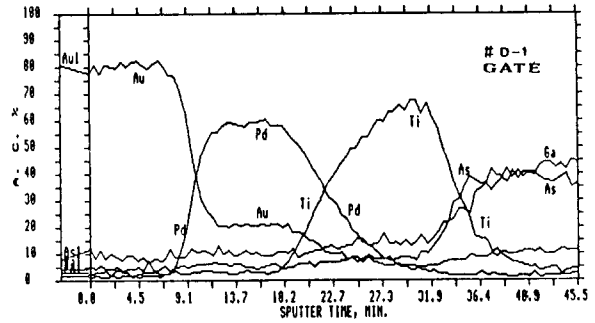
Fig. 2. AES spectrums and AES depth profiles according to the heat treatment in Ti/Au Schottky contacts.

그림 3은 열처리에 따른 Au/Pd/Ti/GaAs 쇼트키 접촉의 AES 스펙트럼과 AES depth profile을 나타낸 것으로 그림 3(a), 3(c), 3(e)로부터 220°C에서 열처리 한 후에 Pd이 Au 층 표면에 존재함을 알 수 있고, 다른 원소들은 360°C에서 열처리 한 후에도 나타나지 않았다.

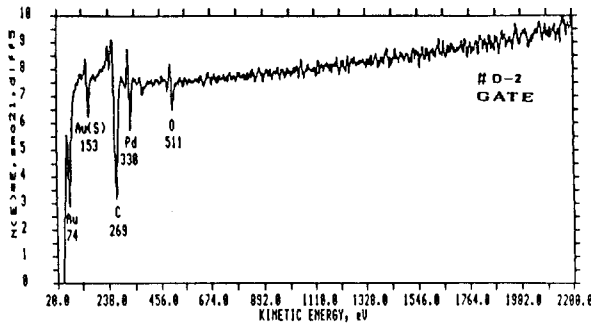
그림 3(b), 3(d), 3(f)로부터 열처리 온도가 증가함에 따라 Pd이 Au 층 표면으로 외부확산, Pd 층으로 Au의 내부확산과 Ti의 외부확산 그리고 Ti 층으로 Pd의 외부확산과 Ga, As의 외부확산 현상이 뚜렷하게 나타났으나 접촉면에 Au, Pd의 내부확산이 극미하고, Ga, As의 외부확산은 Ti 층내



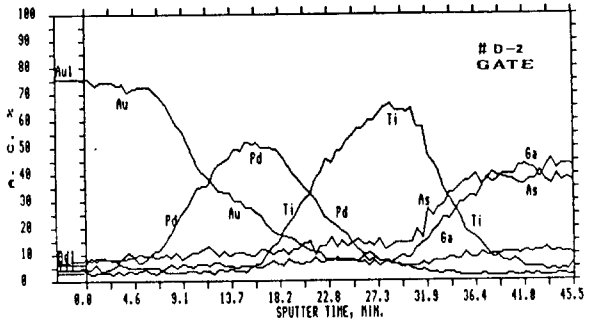
(a)#D-1 AES spectrum



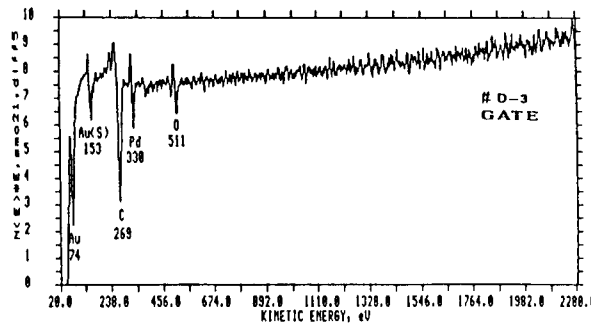
(b)#D-1 AES depth profile



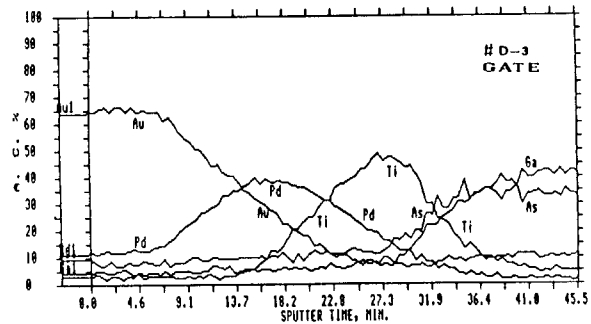
(c)=D-2 AES spectrum



(d)#D-2 AES depth profile



(e)#D-3 AES spectrum



(f)=D-3 AES depth profile

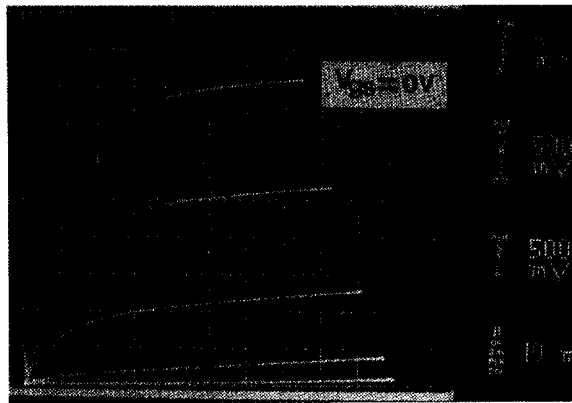
그림 3. Ti/Pd/Au 쇼트키 접촉에 열처리에 따른 AES 스펙트럼과 AES depth profiles

Fig. 3. AES spectrums and AES depth profiles according to the heat treatment in Ti/Pd/Au Schottky contacts.

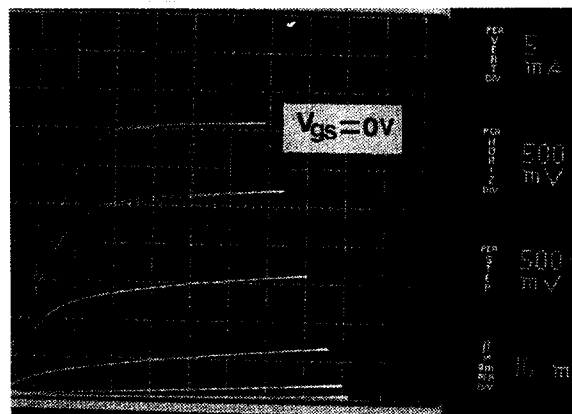
에 확산되어 있음을 알 수 있다. 따라서 Au/Ti/GaAs 접촉과 비교시 Pd 층은 비교적 Au, Ti, Ga, As 상호간의 확산을 막는 장벽금속 역할을 할 수 있다.

3-2. 전기적 특성

그림 4(a)는 Ti/Au 게이트, 그림 4(b)는 Ti/Pd/Au 게이트 MESFET의 as-deposited 상태에서 I-V 특성을 나타낸 것으로 제조 프로세스에서 오는 채널길이 차이로 포화드레인 전류, 피치오프 전압, 개방채널 저항이 서로 다르기 때문에 열처리에 따른 파라미터의 변화정도를 상대적으로 비교, 고



(a)#C-1(Ti/Au gate)



(b)#D-1(Ti/Pd/Au gate)

그림 4. As-deposited 상태의 MESFET I-V 특성; (a)#C-1(Ti/Au gate), (b)#D-1(Ti/Pd/Au gate)

Fig. 4. MESFET I V characteristics of the as-deposited state;(a)#C-1(Ti/Au gate), (b)#D-1(Ti/Pd/Au gate)

찰 하였다. 그림 5는 열처리에 따른 Ti/Au 및 Ti/Pd/Au 게이트의 파라미터 변화를 나타낸 것으로 변화의 정도는 다르나 공통적으로 포화드레인 전류와 핀치오프 전압은 감소현상을, 개방채널 저항은 증가현상을 보이고 있다. 열처리 온도가 증가함에 따라 오염성 접촉특성의 변화없이 파라미터가 변한다는 것은 쇼트키 접촉특성이 변한다는 것으로, 이는 게이트 금속과 GaAs가 상호반응함을 의미한다. 이미 앞에서 논한 AES depth profile에서 나타난 바와 같이 게이트 금속이 GaAs의 채널 내부로 확산하여 도너밀도를 감소시키고, 그로 인하여 유효 쇼트키 장벽폭이 증가함으로써 채널폭

이 좁아졌기 때문에 상기 파라미터의 증감현상이 나타난 것으로 사료된다. 특히 360°C 열처리 한 후에 파라미터 변화폭이 Ti/Au 게이트가 Ti/Pd/Au 게이트보다 큰 것은 Ti/Au 접촉의 Au의 상당한 내부확산 때문인 것으로 생각된다.

이것은 Au/GaAs 접촉에서도 비슷한 현상이 나타나며 Ti/Au 접촉의 경우 Ti의 Au 내부확산 촉진으로 변화가 보다 더 큼을 알 수 있다.

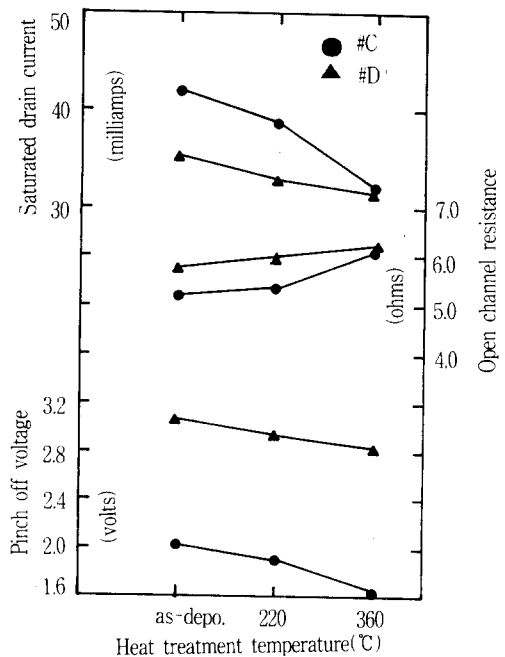


그림 5. MESFET의 열처리에 따른 포화드레인 전류, 핀치오프 전압, 개방채널 저항

Fig. 5. Saturated drain current, pinch off voltage, and open channel resistance with heat treatment in MESFET.

그림 6은 열처리에 따른 Ti/Au 접촉과 Ti/Pd/Au 접촉의 I-V 특성으로부터 장벽높이와 이상계수를 나타낸 것으로 두 접촉에 있어서 모두 220°C에서 열처리 한 후에 장벽높이의 증가는 계면에 Ti-As 층이 형성되었기 때문으로 판단되며, 360°C에서 열처리 한 후에는 Ti/Au의 장벽높이의 감소는 Au의 상당한 내부확산으로 인한 GaAs와 낮은 접촉장벽을 나타낸 것으로 알려진 Au-Ga 층^{4,5,9)}이 Ti-As 층보다 접촉계면에 형성분포가 크기 때문인 것으로 판단된다. as-deposited 상태에서 Ti/Au, Ti/Pd/Au의 장벽높이는 각각 0.69eV, 0.68eV로 페르미 준위가 대략 1/2Eg에 피닝되었음을 나

타낸 것으로 이것은 장벽높이가 금속의 일함수와 무관하고 GaAs 표면상태에 좌우된다는 유일결함 모델로 설명된다.¹⁰⁾ 이상계수의 변화는 표면상태 및 장벽높이 변화에 따른 전류전송 메카니즘과 밀접한 관계가 있는데, 본 연구에서 장벽높이가 다소 낮고, 이상계수가 다소 높은 것은 GaAs 표면의 진성표면결함과 GaAs 표면에 게이트 금속 증착시 금속원자의 응축열로 인하여 표면에 V_{As} , V_{Ga} 와 같은 공공 그리고 As_{Ga} , Ga_{As} 와 같은 상호치환형 격자결함 등의 외인성 표면결함, 자연 산화막 그리고 기타 불순물로 인해 재결함 전류가 증가하였기 때문이다.

표면상태에 의한 포획과 자연 산화막에 의한 포획은 재결함 중심으로 작용하는데, 전류전송에 있어서 재결함 중심으로 인한 재결함 전류가 열전자 방출 전류에 함해짐으로 쇼트키 특성이 나빠지게 된다.

360°C에서 열처리 한 후, Ti/Au의 이상계수의 감소는 장벽높이의 저하 및 표면상태 밀도의 증가로 인해 열전자-전계 방출 전류가 우세하기 때문이며, Ti/Pd/Au 접촉의 경우 이상계수가 온도에 무관하게 거의 일정한 것은 표면상태의 안정화로 열전자 방출 전류가 지속되기 때문인 것으로 사료된다.

5. 결 론

본 연구에서는 Ti/Au와 Ti/Pd/Au 게이트 금속을 갖는 MESFET를 제작하여 열처리에 따른 쇼트키 개면상태와 전기적 특성을 조사, 비교하여 다음과 같은 결론을 얻었다.

1. Ti/Au 접촉의 Ti와 Ti/Pd/Au의 Pd는 220°C 열처리 온도에서 Au의 내부화산에 대한 장벽금속으로 작용하였으며, 360°C에서도 Ti/Pd/Au 접촉의 Pd는 장벽금속 역할을 하였으나, Ti/Au접촉의 Ti는 장벽금속대신 오히려 Au의 내부화산을 촉진시켰다.
2. Ti/Au 및 Ti/Pd/Au 게이트에 있어서 열처리 온도 증가에 따라 개면에서 상호화산으로 인해 포화드레인 전류와 핀치오프 전압은 감소하였고, 개방채널저항은 증가하였다. 파라미터의 변화정도는 360°C에서 Ti/Au 게이트가 Ti/Pd/Au 게이트보다 현저히 컸다.
3. Ti/Au 및 Ti/Pd/Au 접촉의 장벽높이는 as-deposited 상태에서 각각 0.69eV, 0.68eV로 페르미 준위는 $1/2E_g$ 근처에 피닝되었다. 열처리 온도의 증가에 따라 Ti/Pd/Au 접촉의 장벽높이는 증가하였으나 Ti/Au 접촉의 경우 360°C에

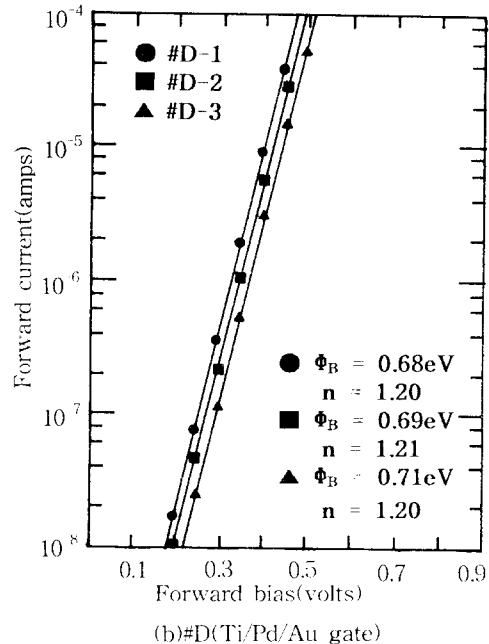
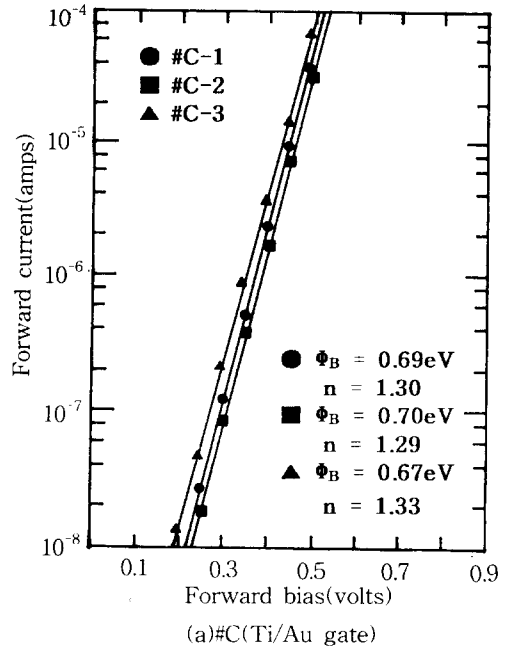


그림 6. 쇼트키 장벽 게이트의 열처리에 따른 I-V 특성: (a)#C(Ti/Au gate), (b)#D(Ti/Pd/Au gate)

Fig. 6. Forward In I-V characteristics according to the heat treatment in Schottky barrier gate: (a)#C(Ti/Au gate), (b)#D(Ti/Pd/Au gate).

서 감소하였다.

4. Ti/Pd/Au 접촉의 이상계수는 열처리에 따라 거의 변화가 없었으나 Ti/Au 접촉의 경우 360°C에서 증가하였다.

따라서 Au를 표면금속으로 사용함에 있어서 쇼트키 접촉특성이 양호하고, Au확산에 대한 장벽특성이 양호한 Ti/Pd/Au 게이트 금속이 Ti/Au 게이트 금속보다는 보다 넓은 온도영역에서 열적 및 전기적으로 안정하기 때문에 GaAs 개별소자나 집적회로에 적합할 것으로 사료된다.

참 고 문 헌

- 1) R. C. Eden, A.R. Livingston, and B.M. Welch, "Integrated circuits: the case for gallium arsenide," IEEE Spectrum, Dec., pp. 30-37, 1983.
- 2) A.G. Rode and J.G. Roper, "Gallium arsenide digital IC processing a manufacturing perspective," Solid State Technol., Feb., pp. 209-215, 1985.
- 3) T. Okumura and K.N. Tu, "Electrical characterization of Schottky contacts of Au, Al, Gd, and Pt on n-type and p-type GaAs," J. Appl. Phys., vol. 61, pp. 2955-2961, 1987.
- 4) N. Newman et al., "Annealing of intimate Ag, Al, and Au-GaAs Schottky barriers," J. Vac. Sci. Technol. A, vol. 3, pp. 996-1001, 1985.
- 5) Z. Liliental-Weber et al., "Schottky and Ohmic Au contacts on GaAs : Microscopic and electrical investigation," J. Vac. Sci. Technol. B, vol. 4, pp. 912-918, 1986.
- 6) 남춘우, 박창엽, "Al, Au 쇼트키 접촉의 열처리에 따른 GaAs MESFET의 전기적 특성," 한국전기전자재료학회 논문지, 6권 pp. 545-553, 1993.
- 7) R. Soars, J. Graffeuil, and J. Obregon, "Application of GaAs MESFETs," Artech House, Inc., pp. 34-57, 1983.
- 8) S. M. Sze, "Physics of Semiconductor Devices," J. Wiley and Sons, Inc., pp. 255-258, 1969.
- 9) N. Newman et al., "Annealing of intimate Au-GaAs Schottky barriers : Thick and ultrathin metal films," J. Appl. Phys., vol. 57, pp. 1247-1251, 1985.
- 10) W. E. Spicer et al., "Unified defect model and beyond," J. Vac. Sci. Technol., vol. 17, pp. 1019-1027, 1980.

저 자 소개



남춘우

1959년 3월 7일생. 1982년 2월 울산공대 전기공학과 졸업. 1984년 2월 연세대 대학원 전기공학과 졸업(석사). 1989년 2월 연세대 대학원 전기공학과 졸업(공학박). 1986년 4월-1990년 2월 삼성전자 반도체 연구소. 1994년 현재 동의대 공

대 전기공학과 조교수.