

전력용 IGBT의 시뮬레이션과 과도 해석

Simulation of Power IGBT and Transient Analysis

서영수*, 조문택**

Seo, Young Soo, Cho, Moon Taek

Abstract

The IGBT(Insulated Gate Bipolar Transistor) is a power semiconductor device that has gained acceptance among circuit design engineers for motor drive and power converter applications. IGBT devices(International Rectifier, proposed model etc) have the best features of both power MOSFETs and power bipolar transistors, i.e., efficient voltage gate drive requirements and high current density capability. When designing circuit and systems that utilize IGBTs or other power semiconductor devices, circuit simulations are needed to examine how the devices affect the behavior of the circuit.

The interaction of the IGBT with the load circuit can be described using the device model and the state equation of the load circuit. The voltage rise rate at turn-off for inductive loads varies significantly for IGBTs with different base life times, and this rate of rise is important in determining the voltage overshoot for a given series resistor-inductor load circuit. Excessive voltage overshoot is potentially destructive, so a snubber protection circuit may be required. The protection circuit requirements are unique for the IGBT and can be examined using the model.

The IGBT model in this paper is verified by comparing the results of the model with experimented results for various circuit operating conditions. The model performs well and describes experimented results accurately for the range of static and dynamic condition in which the device is intended to be operated

1. 서 론

전력용 MOSFET는 그 특성면에 있어서 다수캐리어 소자이므로 스위칭속도가 빠르고 커다란 베이스 전류를 필

요로 하는 바이폴라 트랜지스터와는 달리 전압을 입력으로 사용하기 때문에 구동회로가 간단하고 입력임피던스가 크다는 장점을 가지고 있으나, 현재의 설계적인 면에서는 온-저항이 크고 고내압화의 어려움이 가장 큰 문제로 대

* 명지대학교 전기공학과 교수

** 명지대학교 전기공학과 박사과정

두되기 때문에, 소수캐리어 소자로 낮은 온저항을 갖으며 전류용량과 고내압화에 용이한 바이폴라 트랜지스터의 결합으로 구성된 IGBT(Insulated Gate Bipolar Transistor)의 필요성이 대두 되었다.[1], [2]

이와같이 적용범위가 넓어지는 전력회로의 시물레이션을 할 경우에 일반적으로 이상적인 스위칭 동작만으로 특성 및 제어관계를 실행하였으나 실제로는 IGBT소자의 물리적, 전기적작용을 고려한 등가회로로 모델링을 하였고, IGBT의 모델링을 통해서 내부 파라미터의 변화가 IGBT소자의 특성과 회로동작에 어떤영향을 미치는가를 시물레이션을 통해서 알아 보고자 한다.[3], [4]

기존의 IGBT는 미시적인 방법이나 거시적인 방법들을 이용하여 모델링[5], [6] 하였으나, 본 논문에서 제안한 IGBT모델은 베이스-콜렉터전압, 게이트-소오스전압, 베이스전하의 관계를 3개의 상태방정식으로써 공식화 했으며, IGBT와 외부회로를 키르히호프의 전압과 전류법칙에 의해 유도된 회로 방정식으로 나타냈다.

또한, IGBT의 턴-온과 턴-오프시 전압, 전류특성곡선과 저항-인덕터의 부하조건에서 과도전류와 전압을 시물레이션했으며, 스너버 보호회로, 병렬로 연결된 IGBT, 피드백 회로에 대한 전압과 전류파형을 시물레이션하기 위해 부하 상태방정식을 이용했다.

이러한 회로들은 IGBT의 스위칭 동작에서 구동회로의 영향을 설명하기 위해 사용된다. $10[\Omega]$, $100[\Omega]$, $1000[\Omega]$, $2000[\Omega]$, $3000[\Omega]$ 의 저항과 $100[\mu H]$ 의 인덕터 부하에 대해, 게이트 저항을 가변했을때의 전압과 전류파형을 나타냈으며, lifetime은 $7.1[\mu s]$ 로 했을 때 소자에 미치는 영향을 고려했다. 또한 IR(International Rectifier)사의 IRGPC50U에 대한 내부 파라미터값을 이용하여 소자특성을 시물레이션 했으며, 보다 효과적인 IGBT의 모델링을 위해 내부 파라미터 값들을 변화시킴으로서 IGBT에 대한 정확한 동작특성을 시물레이션을 통해서 확인할 수 있었다.

이러한 회로들은 IGBT의 스위칭 동작에서 구동회로의 영향을 설명하기 위해 사용된다.

2. 본 론

2.1 IGBT의 모델링

IGBT의 동작특성을 해석하는데 있어서 IGBT의 입력단

을 DMOSFET, 출력단을 p-i-n 다이오드 구조로 해석하는 모델링 방법과 입력단을 DMOSFET, 출력단을 바이폴라 트랜지스터 구조로 해석하는 방법이 있는데, 본 논문에서는 후자의 모델링 방법을 사용했다. 이 방법은 DMOSFET의 전자전류와 바이폴라 트랜지스터의 전자, 정공전류를 총전류로 가정한다.[7], [8]

<그림 1(a)>는 IGBT에 대한 MOSFET와 바이폴라 트랜지스터의 등가회로이며, IGBT의 MOSFET부분은 넓게 도핑된 에피택살층의 저항이 바이폴라 트랜지스터의 전도성-변조저항 R_b 로 대체되는 것을 제외하면, VDMOSFET와 유사하게 동작한다. 그리고 드레인-소스와 게이트-드레인 공핍 캐패시턴스는 바이폴라 트랜지스터의 베이스-콜렉터 공핍 캐패시턴스와 일치한다.

또한, 에미터(e), 베이스(b), 콜렉터(c)사이 접합 부분은 바이폴라 트랜지스터와 관련이 있고, 게이트(g), 소오스(s), 드레인(d)사이에 연결된 것들은 VDMOSFET와 관련이 있다. 그리고, VDMOSFET 게이트-소오스 캐패시턴스 C_{gs} (그림 2)는 소오스 중복의 게이트 산화 캐패시턴스 C_{oxs} 와 소오스 금속 캐패시턴스 C_m 으로 구성되며, VDMOSFET 게이트-드레인, 피드백 캐패시턴스 C는 게이트-드레인 산화 캐패시턴스 C_{oxd} 와 게이트-드레인 중복 공핍캐패시턴스 C_{gdj} 의 직렬 결합으로 구성되고, VDMOSFET 드레인-소오스 캐패시턴스 C_{dsj} 는 드레인-소오스 접합의 공핍 캐패시턴스로 구성된다. 이와 같이 등가회로에서, 바이폴라 트랜지스터 베이스-콜렉터 공핍 캐패시턴스는 MOSFET의 드레인-소오스와 게이트-드레인 공핍 캐패시턴스에 의해 나타낸 것과 일치한다. 따라서, 바이폴라 트랜지스터는 전도성-변조 베이스 저항 R_b , 에미터-베이스 확산 캐패시턴스 C_{ebd} , 에미터-베이스 공핍 캐패시턴스 C_{ebj} 에 의해 콜렉터 전류를 분배한다.

그리고, <그림 1(b)>는 IGBT의 등가회로로 바이폴라 트랜지스터로써 IGBT의 동작은 MOSFET의 드레인에 의해 전류가 베이스로 공급되며, MOSFET의 소오스는 바이폴라 트랜지스터의 콜렉터와 단락된다. <그림 1의 (b)>에서 정공전류 $I_p(W)$, 전자전류 $I_n(W)$, MOSFET 채널전류 I_{mos} (그림 1(b))이라면 <그림 1(a)>에서 나타낸 IGBT 구조에 의해 식 (2-1)~식 (2-11)로 쓸 수 있으며, [7], [8] 각 변수에 대한 명칭은 부록의 <표 1>에 나타났다.

이동경계조건에 대한 중성 베이스의 콜렉터에서의 정공전류는 식 (2-1)로 쓸 수 있다. 여기서 $b = \mu_n/\mu_p$ 로 첫 번

제 항은 전자전이와 극성전이에 대한 정공사이의 결합, 두 번째 항은 고-레벨 주입에 대한 정공사이의 결합, 세 번째 항은 베이스-콜렉터 전압의 전하시간 변화율이 비례함을 나타내는 항이다.

$$I_p(W) = \frac{I_0^p I_{snc}}{b n_i^2} + \frac{qP_0 AD}{L} \left[\frac{\coth\left(\frac{W}{L}\right)}{b} + \frac{\cosh\left(\frac{W-x}{L}\right)}{\sinh\left(\frac{W}{L}\right)} \right] \quad (2-1)$$

$$= \left(\frac{1}{1+b}\right) I_T + \left(\frac{1}{1+b}\right) \frac{4D_p}{W^2} Q + \frac{C_{bcj}}{3Q} \cdot \frac{Q}{Q_B} \cdot \frac{dV_{bc}}{dt}$$

또한, 바이폴라 트랜지스터의 콜렉터 전류는 빠른 게이트 전압전이에 대한 IGBT의 턴-오프 과도를 설명하기 위해 사용된다. 여기서, MOSFET 채널전류는 급속하게 제거되고 턴-오프시 베이스 전류는 베이스-콜렉터 접합 공핍 캐패시턴스를 통해 흐르는 변위전류와 같게 된다. 따라서 중성 베이스의 콜렉터 부분에서 전자전류는 식 (2-2)와 같이 MOSFET 채널전류와 합성전류, 드레인-소오스와 게이트-드레인 캐패시턴스의 합으로 표현된다. 여기서 I_{multi} 는 IGBT의 상태변수의 향으로 주어지며, 식 (2-3)과 같이 쓸 수 있다.

$$I_n(W) = \frac{I_0^n I_{snc}}{n_i^2} + \frac{qP_0 AD}{L} \left[\coth\left(\frac{W}{L}\right) - \frac{\cosh\left(\frac{W-x}{L}\right)}{\sinh\left(\frac{W}{L}\right)} \right] \quad (2-2)$$

$$= I_{mos} + I_{multi} + (C_{dsj} + C_{gd}) \frac{dV_{ds}}{dt} - C_{gd} \frac{dV_{gs}}{dt}$$

$$I_{mos} = \begin{cases} 0 & : V_{gs} < V_T \\ \frac{K_{plin} \left[(V_{gs} - V_T) V_{ds} - \frac{K_{plin} V_{ds}^2}{2K_{psat}} \right]}{[1 + \theta(V_{gs} - V_T)]} & : V_{ds} \leq (V_{gs} - V_T) \frac{K_{psat}}{K_{plin}} \\ \frac{K_{psat} (V_{gs} - V_T)^2}{2[1 + \theta(V_{gs} - V_T)]} & : V_{ds} > (V_{gs} - V_T) \frac{K_{psat}}{K_{plin}} \end{cases} \quad (2-3)$$

<그림 1(a)>에서 전류의 합성인 I_{multi} 는 베이스-콜렉터 공핍영역에서 캐리어 증가와 열적발생을 야기시키는 콜렉

터와 베이스사이에 흐르는 성분으로 식 (2-4)에 나타냈다. 그리고, 캐리어 증가요소는 애벌런시 항복전압, 누설 전류, 동적인 애벌런시 유지전압을 결정하는 중요한 요소로 식 (2-5)에 나타냈다.

$$I_{multi} = M \cdot I_{gen} + (M-1)(I_p(W) + I_{mos}) \quad (2-4)$$

$$M = \frac{1}{\left[1 - \left(\frac{V_{cb}}{BV_{cbo}} \right)^{BV_n} \right]} \quad (2-5)$$

$$C_{dsj} = \frac{(A - A_g d) \epsilon_{si}}{W_{dsj}} \quad (2-6)$$

$$C_{gd} = \begin{cases} C_{oxd} & V_{ds} \leq V_{gs} - V_{Ts} \\ C_{oxd} C_{gdj} & V_{ds} > V_{gs} - V_{Td} \end{cases} \quad (2-7)$$

$$C_{gdj} = \frac{A_{gd} \epsilon_{si}}{W_{gdj}} \quad (2-8)$$

$$W_{dsj} = \sqrt{\frac{2\epsilon_{si}(V_{ds} + V_{bi})}{q \cdot N_{scl}}} \quad (2-9)$$

$$W_{gdj} = \sqrt{\frac{2\epsilon_{si}(V_{ds} - V_{gs} + V_{Ts})}{q \cdot N_{scl}}} \quad (2-10)$$

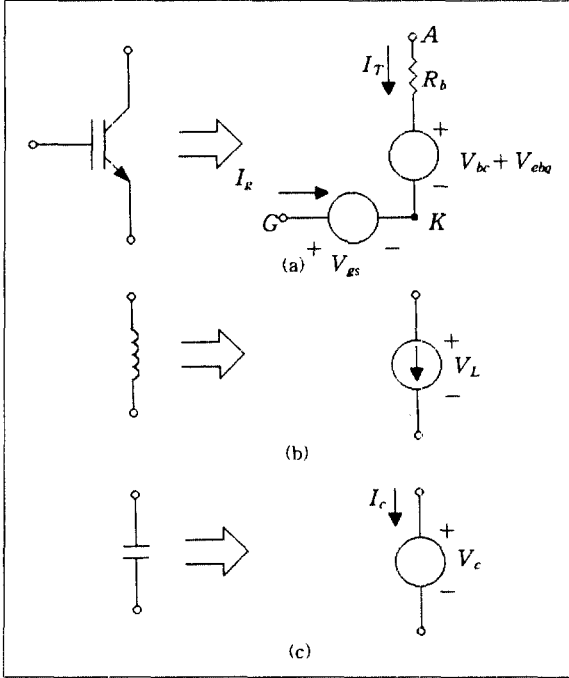
$$W_{bcj} = \sqrt{\frac{2\epsilon_{si}(V_{bc} + V_{bi})}{q N_{scl}}} \quad (2-11)$$

$$W = W_B - W_{bcj} \quad (2-12)$$

식 (2-6)~식 (2-12)는 IGBT의 물리적 모델에 대한 물리적인 표현식으로써 <그림 1(a)>의 IGBT 구조로 나타냈으며, 이 식으로 부터 IGBT를 모델링 하기 위해서는 식 (2-13)~식 (2-15)와 같이 베이스-콜렉터 전압 V_{bc} , 베이스 전하 Q , 게이트-소오스전압 V_{gs} 에 대한 3개의 상태방정식으로 유도할 수 있다.

$$\frac{dV_{gs}}{dt} = \frac{I_g}{C_{gs} + C_{gd}} + \frac{C_{gd}}{C_{gs} + C_{gd}} \cdot \frac{dV_{bc}}{dt} \quad (2-13)$$

$$\frac{dV_{bc}}{dt} = I_T - \frac{4D_p}{W^2} Q + \left(1 + \frac{1}{b}\right) \left[\frac{C_{gd}}{C_{gs} + C_{gd}} I_g - I_{mos} \right] \quad (2-14)$$



〈그림 3〉 키르히호프의 법칙으로 부터 유도된 외부회로에 대한 등가회로

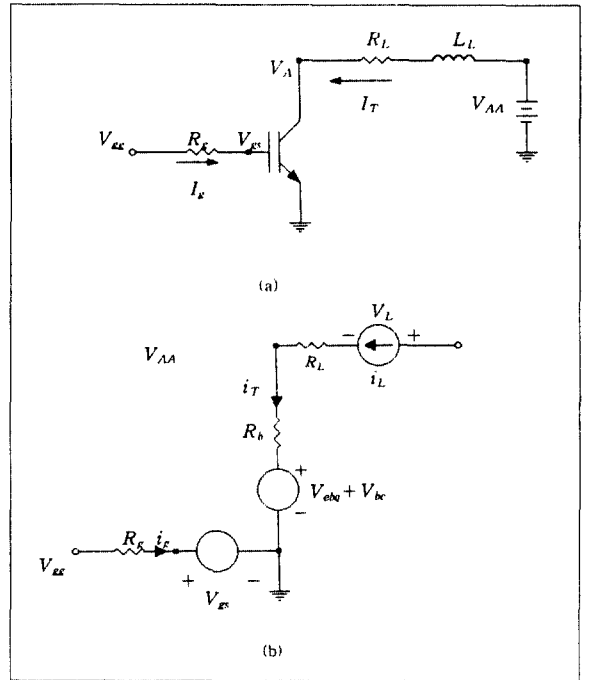
$$V_A = V_{eb} + V_{bc} + I_T R_s \tag{2-16}$$

$$V_{eb} = V_{ebq}(V_{bc}, Q) + I_T \cdot R_b(V_{bc}, Q) \tag{2-17}$$

또한 IGBT와 접속된 회로의 상태방정식은 시스템의 상태변수항에서 인덕터전압과 캐패시터 전류($dv_c/dt = I_c/c$)로 구할 수 있고, IGBT의 게이트와 애노드 전류, 인덕터 전압, 캐패시턴스 전류에 대한 표현은 시스템의 상태변수를 알고 있다면, 키르히호프의 전압과 전류 법칙을 적용하여 구할 수 있다. 이러한 과정을 간단하게 하기위해, 〈그림 3〉과 같이 등가 요소(IGBT, 인덕터, 캐패시터)를 사용하여 나타낼 수 있다. 〈그림 3〉의 (a)는 회로내의 IGBT는 게이트와 캐소드 절점사이의 既知전압원과 애노드-캐소드 절점사이의 既知저항과 직렬로 연결된 전압원으로 대체되며, V_{bc} 와 V_{gs} 의 값은 상태변수이기 때문에 알고 있다고 가정했고, R_b 와 V_{gs} 는 식 (2-13)~식 (2-15)를 사용한 IGBT상태변수항으로 계산되기 때문에 안다고 가정했다. 〈그림 3〉의 (b)는 IGBT와 연결된 인덕터로 既知전류원으로 표현할 수 있고, 〈그림 4〉의 (c)는 IGBT와 연결

된 캐패시터는 既知전압원으로 대체가 된다. 위의 결과의 유효함은 식 (2-1)~ 식 (2-15)에서표현했다. 이와같이 IGBT와 같은 소자를 등가 전압원 또는 전류원으로 나타내므로써 소자가 갖는 동특성에 따라 변환기으로써 수동 전력회로에 대해 스위칭 제어 전원특성을 갖는다는 것을 나타낼 수 있다.

2.2.1 직렬 저항-인덕터 부하회로



〈그림 4〉 직렬 저항-인덕터 부하회로와 등가회로

〈그림 4〉의 (a)는 일반적인 R-L부하시의 회로도이고 〈그림 4〉의 (b)는 〈그림 3〉의 등가회로를 〈그림 4〉의 (a)에 적용해서 등가변환시킨 회로도이다.

〈그림 4〉의 회로에 대한 부하회로의 상태방정식은 식 (2-18)로 나타낼 수 있다.

$$\frac{dI_T}{dt} = \frac{1}{L_L}(V_{AA} - R_L \cdot I_T - V_A) \tag{2-18}$$

$$I_g = \frac{V_{gg} - V_{gs}}{R_g} \tag{2-18a}$$

여기서, $I_T = I_L$ 이고 애노드 전압 V_A 와 에미터-베이스전압

V_{eb} 게이트전류 I_g 는 식 (2-19)~ 식 (2-21)으로 쓸 수 있다.

$$V_A = V_{eb} + V_{bc} + I_T \cdot R_b \tag{2-18}$$

$$V_{eb} = V_{ebq}(V_{bc}, Q) + I_T \cdot R_b(V_{bc}, Q) \tag{2-19}$$

$$I_g = \frac{V_{gg} - V_{gs}}{R_g} \tag{2-21}$$

여기서, 게이트 펄스전압은 식 (2-21a)로 주어진다.

$$V_{gg} = \begin{cases} 0 & : t \leq t_{on} \\ \frac{V_{gon}(t-t_{on})}{t_{rise}} & : t_{on} < t < t_{on} + t_{rise} \\ V_{gon} & : t_{on} + t_{rise} < t < t_{off} \\ \frac{V_{gon}(t_{off} + t_{fall} - t)}{t_{fall}} & : t_{off} < t < t_{off} + t_{fall} \\ 0 & : t \geq t_{off} + t_{fall} \end{cases} \tag{2-21a}$$

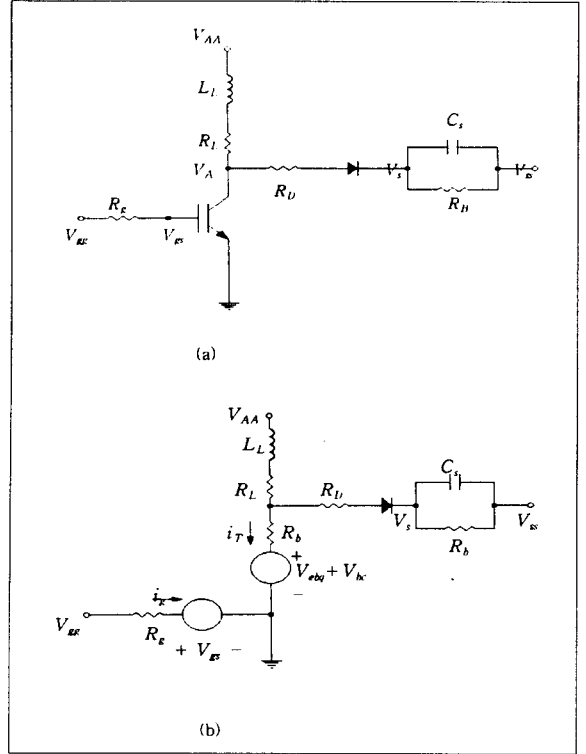
펄스발생기의 상승시간과 하강시간은 식 (2-21a)의 두 번째식과 네번째식의 경우로 설명되고, 게이트 펄스의 초기화이전의 상태변수 초기조건은 $V_{gs} = 0Q = 0V_{bc} = V_{AA}, I_L = 0$ 이다. 또한, 조건이 다른 적용에서 IGBT의 동특성을 시물레이션하기 위해서는 회로의 상태방정식만 변화시키면 된다.

2.2.2 턴-오프 스너버 회로

〈그림 5의 (a)〉는 직렬 저항-인덕터부하, 저항성 게이트구동 턴-오프 스너버 회로로 구성된 IGBT회로도이고 〈그림 5의 (b)〉는 〈그림 5의 (a)〉에 〈그림 3〉의 등가회로를 적용해서 등가변환시킨 회로도이다.

〈그림 5〉는 나타낸 보호회로를 포함하여 나타내었으므로 다음 식 (2-22)와 같은 상태방정식이 부가된다.

$$\frac{dV_s}{dt} = \begin{cases} \frac{V_s - V_{ss}}{R_b C_s} & : V_A \leq V_s + V_{bi} \\ \frac{V_A - V_s - V_{bi}}{C_s R_D} - \frac{V_s - V_{ss}}{R_b C_s} & : V_A > V_s + V_{bi} \end{cases} \tag{2-22}$$



〈그림 5〉 직렬 저항-인덕터부하, 저항성 게이트구동 턴-오프 스너버 회로로 구성된 IGBT회로도

여기서, V_{bi} 는 접합전위[V]

이러한 부하조건에 대한 애노드 전류는 상태변수 I_L, V_A, V_s 의 항에 의해 식 (2-22a)에 의해 주어지며, 애노드 전압은 식 (2-22b)로 표현된다.

$$I_T = \begin{cases} I_L & : V_A \leq V_s + V_{bi} \\ I_L - \frac{V_A - V_s - V_{bi}}{R_D} & : V_A > V_s + V_{bi} \end{cases} \tag{2-22a}$$

$$V_A = \begin{cases} V_{ebq} + V_{bc} + I_L \cdot R_b & : V_A \leq V_s + V_{bi} \\ \frac{I_L R_b R_D + (V_s + V_{bi}) R_b + (V_{ebq} + V_{bc}) R_D}{R_b + R_D} : V_A > V_s + V_{bi} \end{cases} \tag{2-22b}$$

여기서, R_b 는 직렬저항 R_s 를 포함하는 IGBT의 전도성-변조 베이스 저항이며, 다이오드는 옴셋 전압 V_{bi} 로 모델링

되기 때문에 순-바이어스 조건에 대해 미소저항 R_b 와 역-바이어스 조건에 대한 개방회로는 식 (2-21)과 식 (2-22)과 같이 두가지 다른 표현식이 필요하다.

2.2.3 피드백 스너버 회로

<그림 6>은 직렬 저항-인덕터부하, 게이트 구동저항 그리고 직렬저항-캐패시터 외부 피드백회로로 구성된 IGBT에 대한 회로도이다. <그림 6>의 (a)는 직렬 저항-인덕터부하, 게이트 구동저항, 직렬저항-캐패시터 피드백 회로로 구성된 IGBT회로도이고 <그림 6>의 (b)는 <그림 3>의 등가회로를 <그림 6>의 (a)에 적용해서 등가변환시킨 회로도이다. 이러한 보호회로에 대해, 외부 피드백 캐패시터 V_{cf} 에 걸리는 전압은 다음 상태방정식으로 표현된다.

$$\frac{dV_{cf}}{dt} = \frac{I_f}{C_f} \tag{2-23}$$

여기서, 피드백 전류는 식 (2-24)로 나타낼 수 있다.

$$I_f = \frac{V_A - V_{cf} - V_{gs}}{R_f} \tag{2-24}$$

회로에서, IGBT의 애노드 전류는 $I_T = I_L - I_f$ 로 주어지며, 애노드 전압은 다음 식으로 구할 수 있다.

$$V_A = V_{eb} + V_{bc} + I_T R_b \tag{2-25}$$

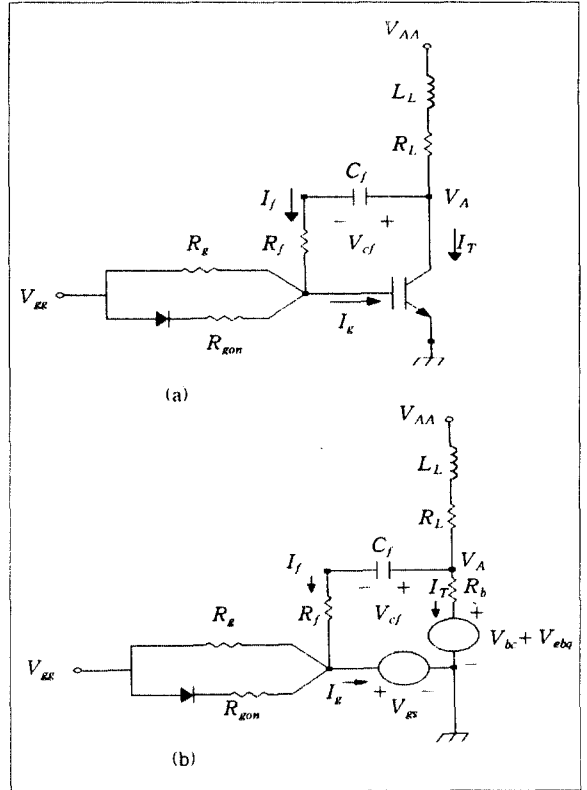
그리고 식 (2-17a)의 게이트 전류에 대한 표현식은 식 (2-26)으로 대치된다.

$$I_g = \begin{cases} I_f + \frac{(V_{gs} - V_{bi})}{R_g} & : V_{gs} < V_{gs} + V_{bi} \\ I_f + \frac{(V_{gs} - V_{gs})}{R_g} + \frac{(V_{gs} - V_{gs} - V_{bi})}{R_{gon}} & : V_{gs} \geq V_{gs} + V_{bi} \end{cases} \tag{2-26}$$

2.2.4 병렬로 연결된 IGBT회로

<그림 7의 (a)>는 병렬로 연결한 IGBT회로도이고 <그림 7의 (b)>는 <그림 7의 (a)>에 <그림 4>의 등가회로를 적용하여 등가변환시킨 회로도이다.

<그림 7>의 회로에 키르히호프의 전압과 전류법칙을 적용함으로써 2개의 IGBT에 대한 인덕터 전압과 게이트 그



<그림 6> 직렬 저항-인덕터부하, 게이트 구동저항, 직렬저항-캐패시터 피드백 회로로 구성된 IGBT회로도

리고 애노드 전류에 대한 표현식을 식 (2-44)와 같이 나타낼 수 있다.

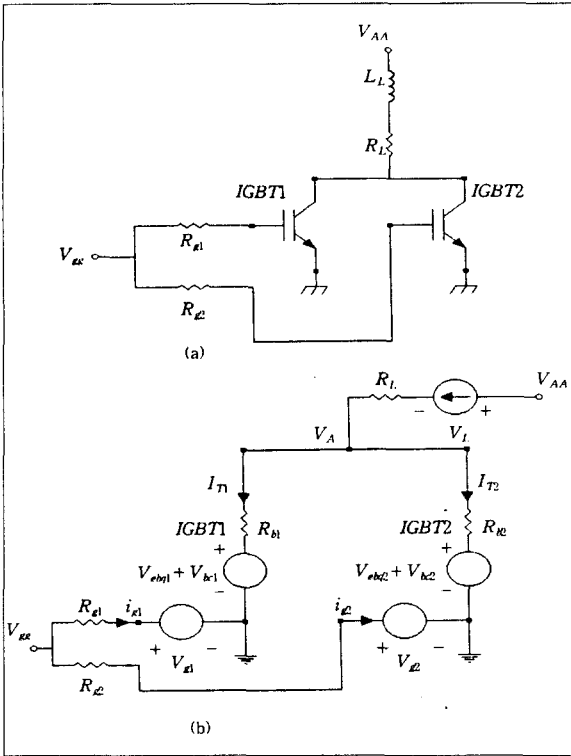
$$V_A = \left(I_L + \frac{V_{bc1} + V_{ebq1}}{R_{b1}} + \frac{V_{bc2} + V_{ebq2}}{R_{b2}} \right) \frac{R_{b1} \cdot R_{b2}}{R_{b1} + R_{b2}} \tag{2-44}$$

이러한 IGBT의 애노드 전류는 다음식으로 주어진다.

$$I_{T1} = \frac{V_A - V_{bc1} - V_{ebq1}}{R_{b1}} \tag{2-45}$$

$$I_{T2} = \frac{V_A - V_{bc2} - V_{ebq2}}{R_{b2}}$$

그리고, IGBT의 게이트전류는 식 (2-46)으로 표현된다.



(그림 7) 병렬연결한 IGBT회로

$$I_{g1} = \frac{V_{gg} - V_{gs1}}{R_{g1}} \quad (2-46)$$

$$I_{g2} = \frac{V_{gg} - V_{gs2}}{R_{g2}}$$

3. 시뮬레이션 결과 및 고찰

<표 1>에 나타낸 IGBT의 내부 파라미터 값을 기준으로 하여, 베이스의 Life-time과 물리적인 파라미터, 부하회로 조건(R_L, L_L), 게이트 구동저항(R_g), 스너버 커패시턴스(C_s), 직렬 피드백 저항(R_f)을 가변시켜서 <그림 8>의 순서도를 이용하여 IGBT에 대한 애노드 전압, 전류, 게이트 전압, 전류를 시뮬레이션 했다.

<그림 9>는 직렬 저항-인덕터부하에서 게이트 저항을 가변시켰을때의 애노드전압(a), 애노드전류(b), 게이트전압(c), 게이트전류(d)의 시뮬레이션 파형으로 여기서 사용된 IGBT모델은 본 논문에서 제안된 파라미터(표 1)에 의한 모델로 회로의 입력 값은 <표 2>에 나타냈다. <그림

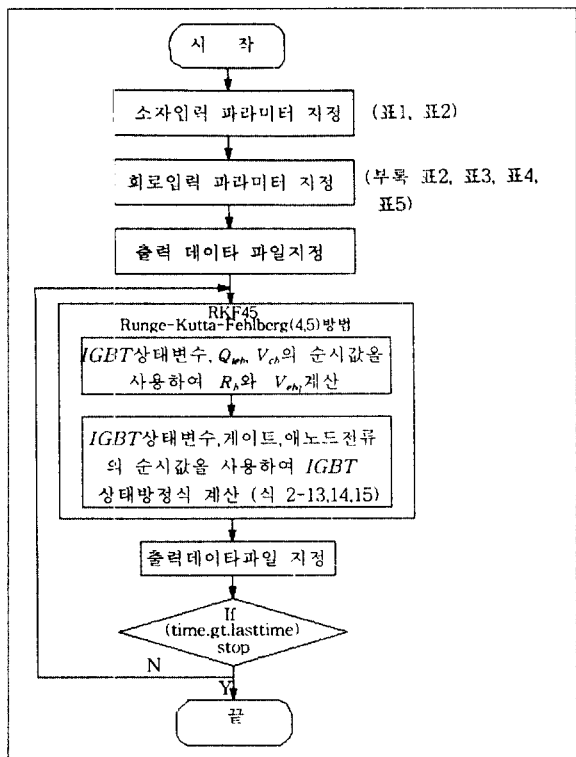
<표 1> 제안된 IGBT 내부 파라미터

| 명칭 | 단 위 | 지 정 값 | 모 델 파 라 미 터 |
|-------------|---------------------------|---------|-------------------------------------|
| τ_{HL} | [s] | 7.1e-6 | base high-level lifetime |
| W_B | [cm] | 0.0093 | metallurgical base width |
| N_B | [cm ⁻³ · E-10] | 2.0e-4 | base doping concentration |
| A | [cm ²] | 0.1 | device active area |
| I_{sne} | [A] | 6.5e-14 | emitter electron saturation current |
| V_t | [V] | 4.7 | MOSFET channel threshold |
| K_{psat} | [A/V ²] | 0.38 | MOSFET saturation transconductance |
| K_{plin} | [A/V ²] | 0.7 | MOSFET linear transconductance |
| R_s | [Ω] | 0.02 | series anode resistance |
| theta | [V] | 0.01 | transverse field mobility reduction |
| C_{gs} | [F] | 0.62e-9 | gate-source capacitance |
| A_{gd} | [cm ²] | 0.05 | gate-drain overlap area |
| C_{oxd} | [F] | 1.75e-9 | gate-drain oxide capacitance |
| V_{td} | [V] | 0.0 | gate-drain depletion threshold |
| BV_n | | 4.0 | avalanch multiplication exponent |
| ccsflg | | -1.0 | carrier-carrier scattering |
| scflg | | -1.0 | velocity saturation flag |

<표 2> IGBT에 접속된 직렬 저항-인덕터 회로의 입력파라미터

| 파 라 미 터 | 값 |
|---------|----------------------------|
| RL | 30.0 |
| LL | 100.e-6 |
| Vaa | 300.0 |
| Rg | 10 , 100, 1000, 2000, 3000 |
| Vggon | 15.0 |
| ton | 5.0e-6 |
| toff | 40.0e-6 |
| trise | 0.1e-6 |
| tfinal | 80.e-6 |
| tplot | 0.0e-6 |

10>은 International Rectifier사에서 제작한 IGBT모델 (IRGPC50U-600[V], 55[A])로 <부록. 표 2>에 파라미터를 제시하였으며, <그림 4>의 회로에 적용시켜(부록. 표



〈그림 8〉 순서도

3) 시뮬레이션한 것으로 제안된 모델에 비해 애노드 전압 파형의 오버슈트 전압이 매우 크고, 정상상태 전압에 도달하기 까지 뎀핑이 매우 심한 것을 알 수 있었다. 따라서 제안된 모델로 소자를 제작하면 이러한 단점들을 극복할 수 있을 것이라 사료된다. 또한 각 파형에서 볼 수 있듯이 게이트 저항의 값이 상승할수록 파형의 지연시간이 증가하며, 소자파괴의 원인이 되므로 데드타임을 설정할 때 중요한 역할을 하게되며, 오버슈트 전압은 감소함을 알 수 있다. 〈그림 11〉은 〈그림 10〉에 대한 시뮬레이션 파형과 비교하기 위해 실험파형(LeCroy사의 오실로스코프(LS140)를 이용하여 PCX를 저장한 파형)을 나타냈다. 그 결과 두 결과파형이 거의 일치하므로써 정확한 모델링이 이루어 졌음을 알 수 있다.

〈그림 12〉는 IRGPC50U를 사용해서 턴-오프 스너버 회로에서 스너버 캐패시턴스 C_s 의 값을 가변시켰을때의 애노드 전압과 게이트 전압의 시뮬레이션 파형과 실험파형으로 거의 일치함을 알 수 있다. C_s 의 값이 작을때 소자

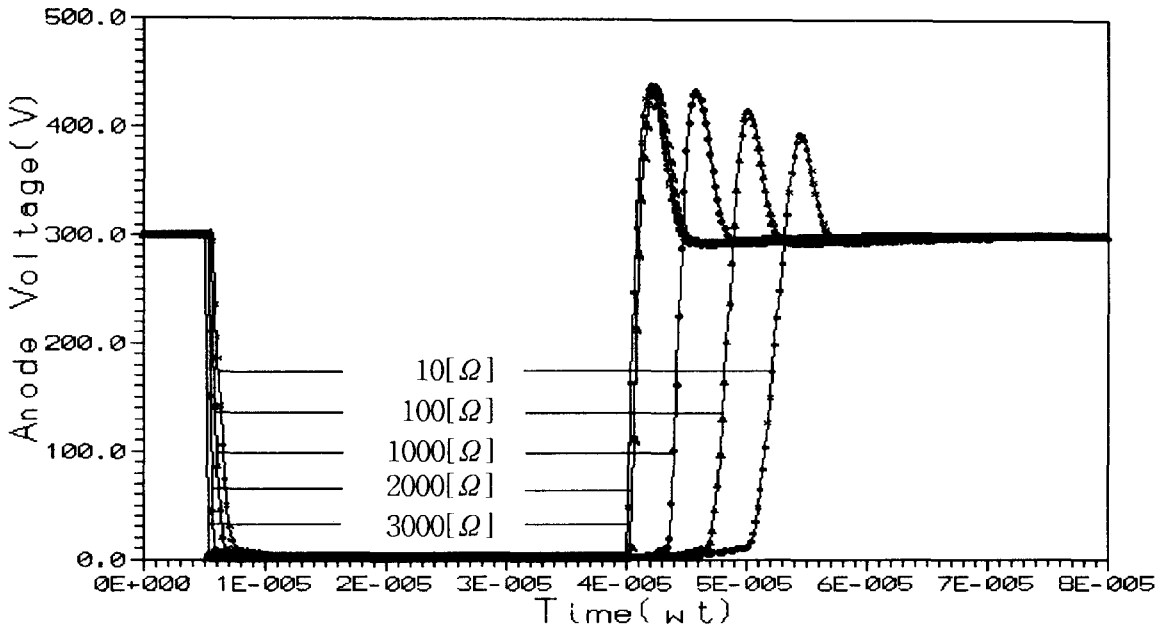
의 내압을 결정하는 오버슈트 전압이 줄어들음을 알 수 있으므로 적당한 소자의 정격을 선택하는데 중요한 역할을 한다. 이 때의 회로 입력 파라미터는 〈부록, 표 4〉에 나타났다.

〈그림 13〉은 외부파라미터에 대해서 직렬피드백 저항 R_f 의 값을 변화시켰을때 애노드전압의 시뮬레이션파형과 실험파형이다. 두 파형이 거의 일치함을 알 수 있다. 회로에 대한 입력 파라미터는 〈표 7〉에 나타났다.

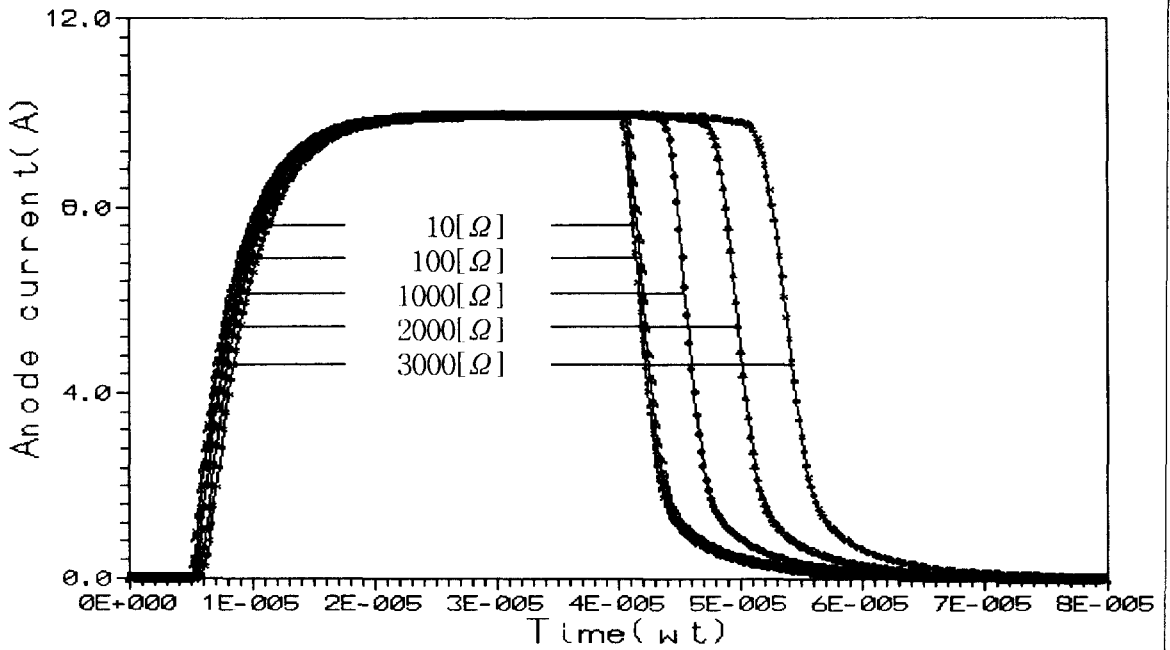
〈그림 14〉는 3상 브리지 인버터의 주회로이며, 〈그림 15〉는 3상 브리지 인버터에 대한 시뮬레이션 파형으로 입력전압 $V_{in}=100[V]$, 출력주파수 $f_0=1[KHz]$, 부하저항 $R_L=30[\Omega]$, 부하 리액턴스 $L_L=100[\mu H]$ 로 하고 게이트 저항 $R_g=680[\Omega]$, $1000[\Omega]$, $1500[\Omega]$ 으로 가변하였을 때의 게이트 전압(그림 15(a)), A상 전압(그림 15(b)), A상 전류(그림 15(c)), A-B간의 전압파형(그림 15(d))을 나타냈다. 또한 〈그림 16〉은 이에 대한 실험파형으로 시뮬레이션 결과와 거의 유사함을 알 수 있다. 그 결과 인버터의 용량에 따라 데드타임을 결정하는데 있어서 게이트의 저항 값에 따라 약간의 변화가 있음을 알 수 있었다. 즉, 게이트 저항이 클수록 데드타임을 작게두면 회로의 단락이 일어나 소자가 파괴해버리는 경우가 발생하게 된다. 따라서 데드타임을 결정하기 위해서는 소자자체의 문제도 있지만 게이트 저항에 많은 영향을 받는다는 것을 알 수 있다.

4. 결론

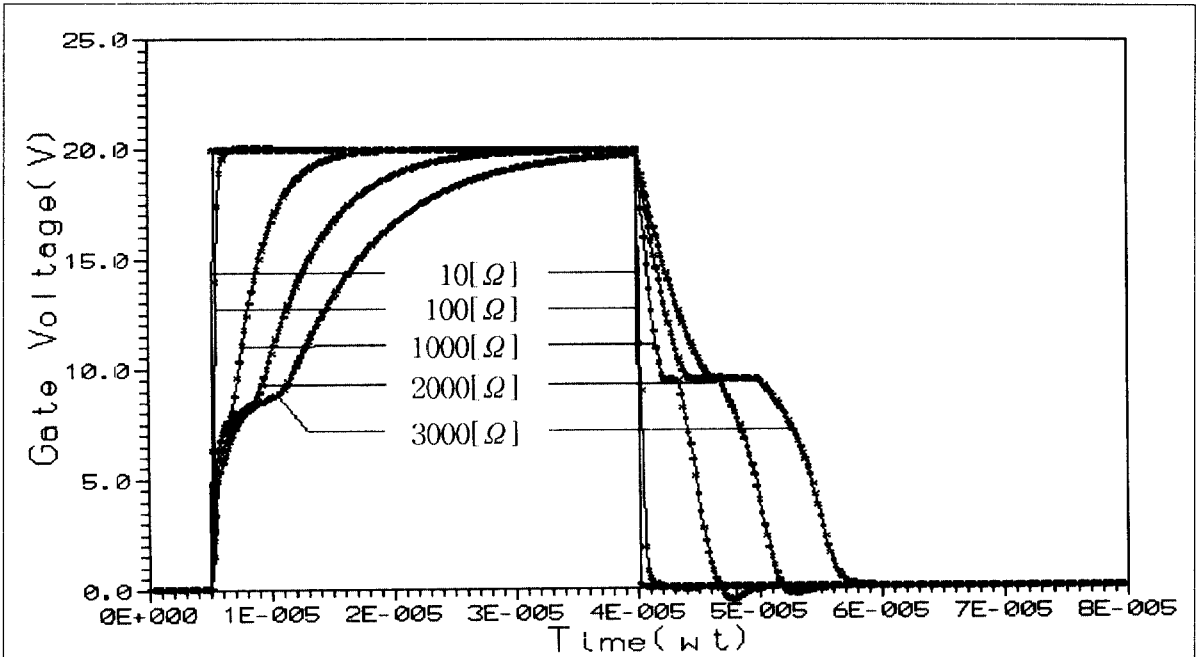
기존의 전력변환 회로에서의 시뮬레이션은 온-오프 기능만을 가지는 단순화 모델을 가지고 시스템을 해석하였기 때문에 소자의 정확한 현상을 파악하지 못했다. 따라서, 본 논문에서는 실제적인 IGBT뿐만 아니라 이상적인 IGBT소자의 모델링을 이용하여 일반적인 외부 구동회로, 부하회로, 피드백회로에 대한 턴-온과 턴-오프시 게이트 전압, 전류파형과 애노드 전압, 전류파형을 시뮬레이션 했다. 이 모델은 베이스-콜렉터 전압 V_{bc} , 게이트-소오스 전압 V_{gs} 와 베이스 전하 Q 를 상태 방정식으로 공식화 하였다. 또한, IGBT와 외부 회로를 키르히호프의 전압과 전류 법칙에 의해 유도된 외부회로 상태방정식에 대한 간단한 절차를 설명했으며, 그 결과를 실험결과와 비교하여 모델링을 정확성을 입증하였다.



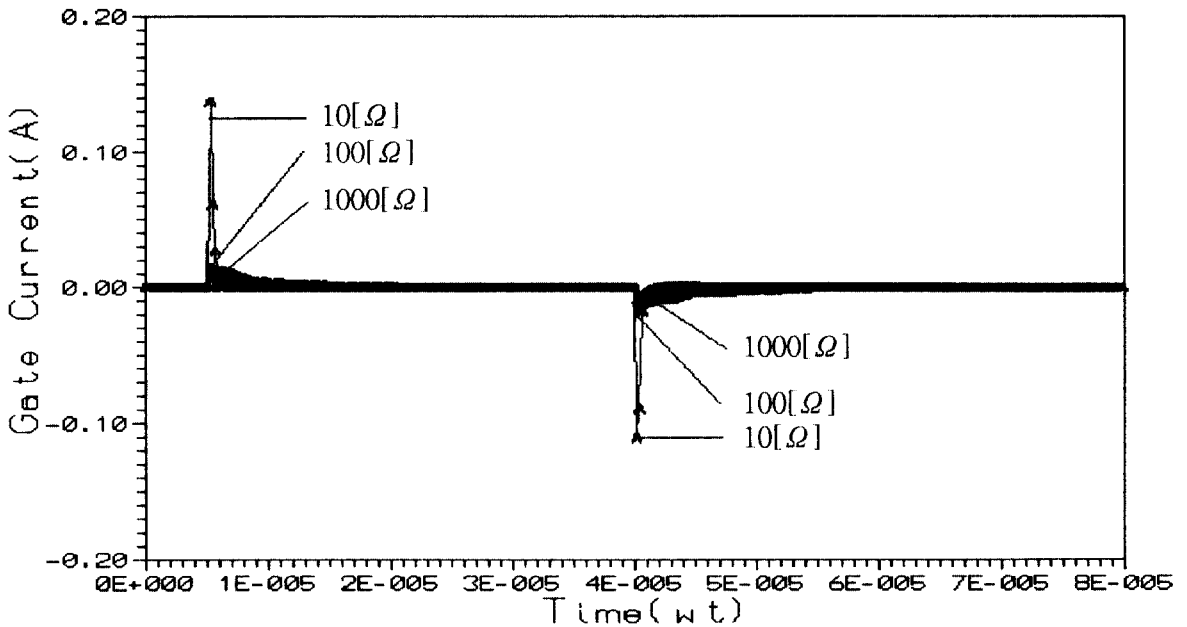
(a)



(b)



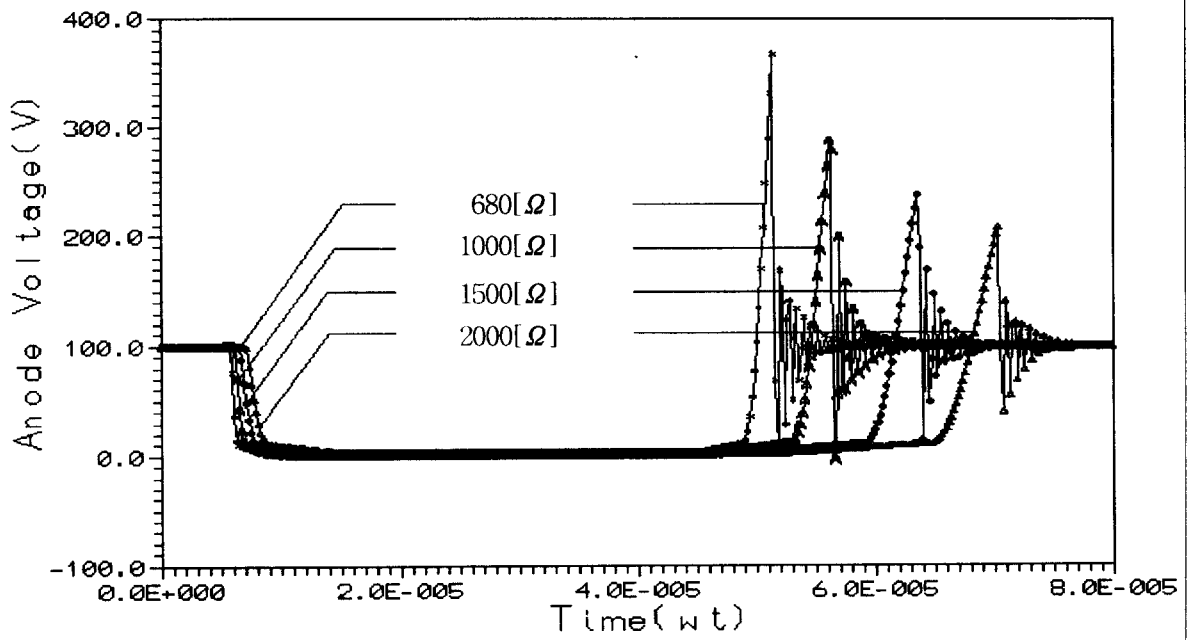
(c)



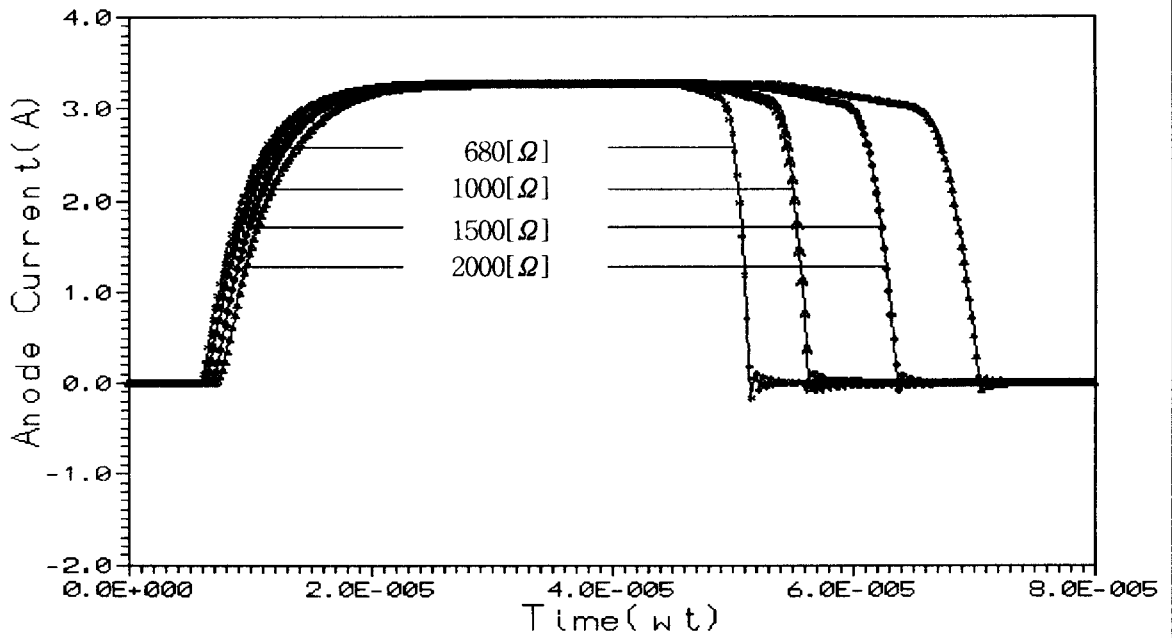
(d)

〈그림 9〉 게이트 저항 변화시 시뮬레이션 파형(그림 4의 회로 적용시(제한된 IGBT))

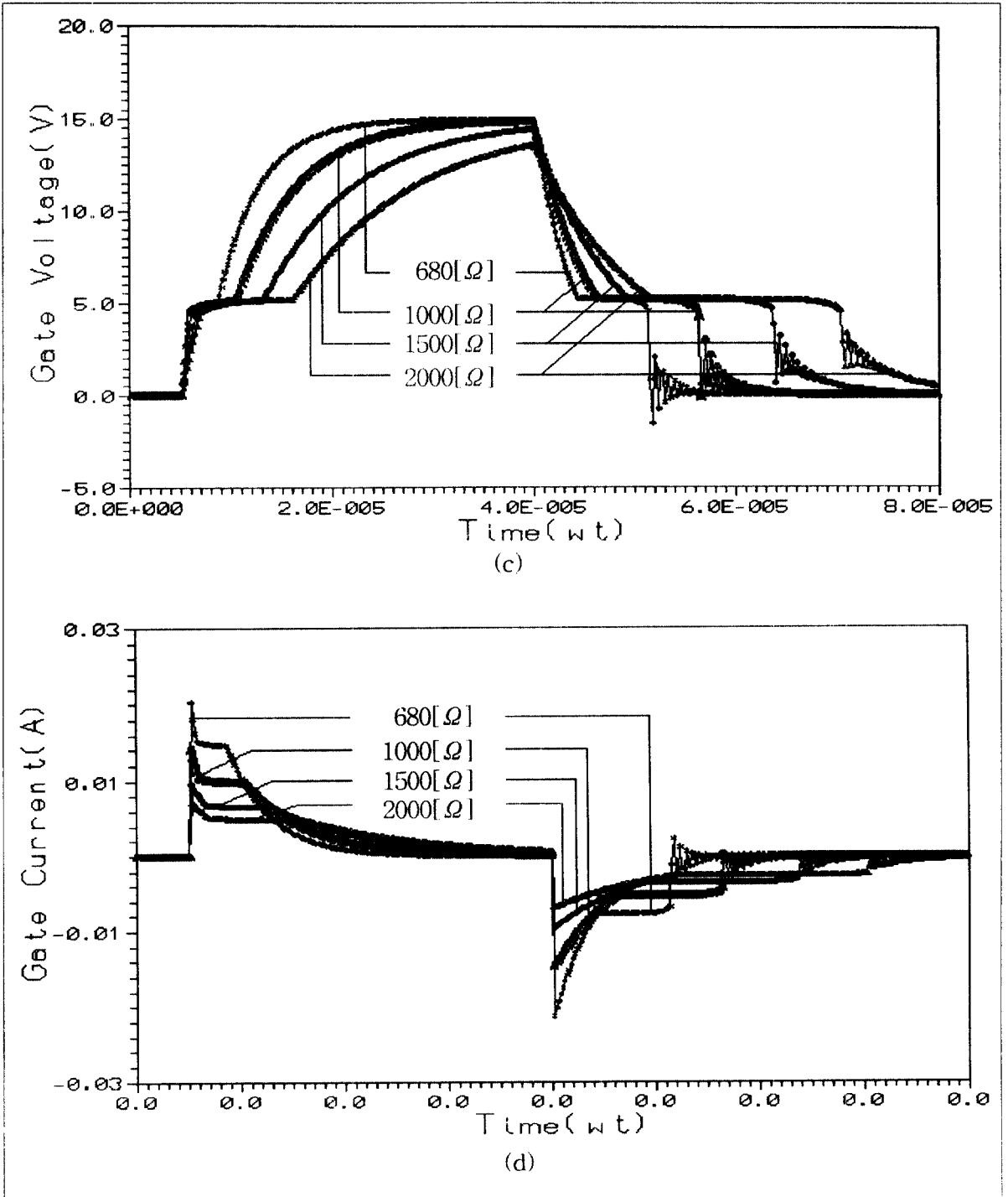
(a) 애노드 전압 (b) 애노드 전류 (c) 게이트 전압 (d) 게이트 전류



(a)

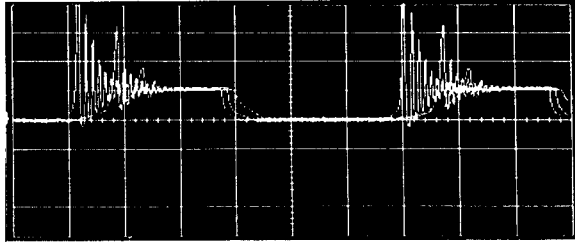


(b)

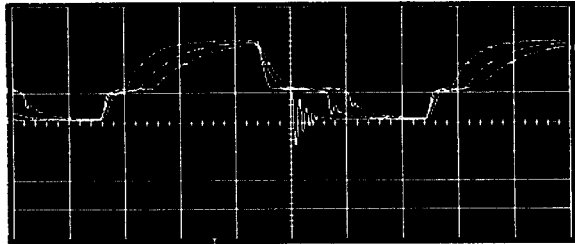


〈그림 10〉 게이트 저항 변화시 시뮬레이션 파형(그림 4의 회로 적용시(IRGPC50U))

(a) 애노드 전압 (b) 애노드 전류 (c) 게이트 전압 (d) 게이트 전류



100V/div , 20µs/div (a)



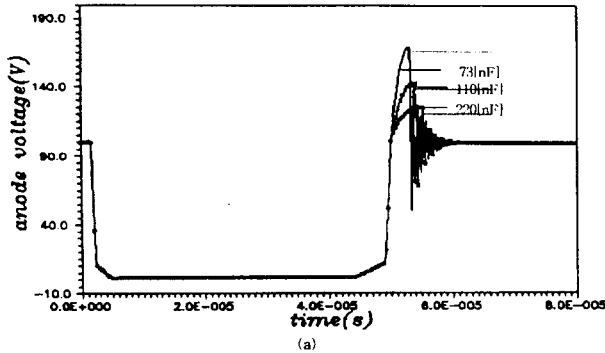
5V/div , 20µs/div (b)

(그림 11) 게이트 저항 변화시 실험 파형(그림 4의 회로 적용시(IRGPC50U))

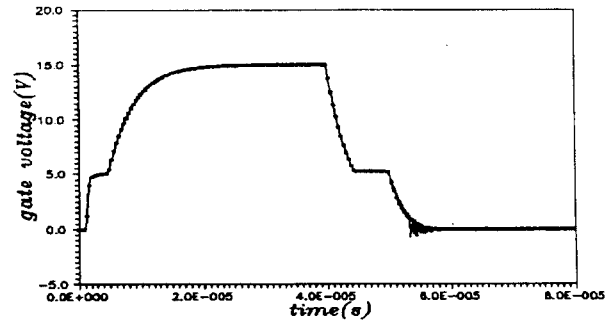
(a) 애노드 전압 (b) 게이트 전압

그리고 International Rectifier사의 데이터시트를 이용하여 IRGPC50U에 적용한 결과 IGBT의 상호작용은 소자 모델과 부하회로의 상태방정식을 이용하여 설명할 수 있었고, IGBT의 Lifetime을 가변했을 때, 턴-오프시 전압상승율은 오버슈트 전압을 결정하는데 중요한 역할을 하며, 이러한 오버슈트 전압으로 부터 회로를 보호하기 위한 스너버 보호회로에 대한 파라미터들을 시뮬레이션을 통해 결정할 수 있었다. 그 결과 제안한 IGBT의 모델에 의한 시뮬레이션 결과들은 실험을 통한 결과들과 거의 일치함을 보임으로써 정확한 모델링이 이루어 졌음을 알 수 있었다. 또한 제안한 스너버 보호회로와 IGBT 모델링을 3상-인버터에 적용시켜 스너버 파라미터(R_g)의 가변에 따른 파형들을 시뮬레이션함으로써 용량에 따라 파라미터 값을 선정 할 수 있음을 제안했다.

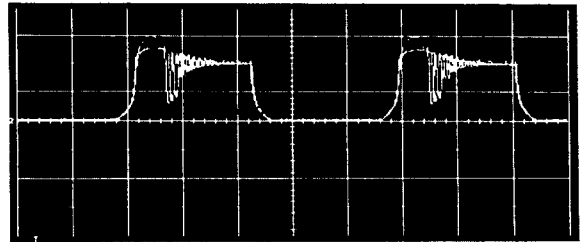
앞으로의 과제는 시뮬레이션 결과가 대용량에서 실험결과와 일치하는지 확인하는 것과 제안한 IGBT 전력변환기와 제어계를 구성한 제어대상을 시뮬레이션과 일치하는가를 알아보는 것이 앞으로의 과제라고 사료된다.



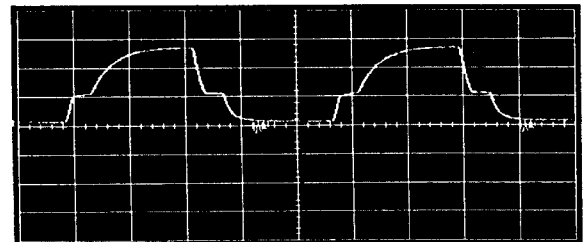
(a)



(b)



(c)



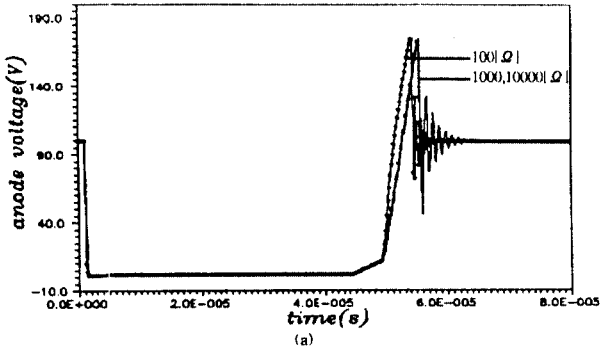
5V/div , 20µs/div

(d)

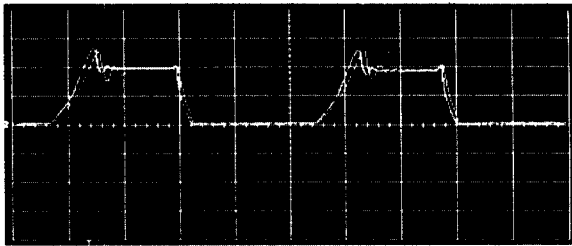
(그림 12) 턴-오프 스너버회로의 시뮬레이션 파형 및 실험파형(그림 5의 회로)

(a) 애노드 전압의 시뮬레이션 파형 (b) 게이트 전압 시뮬레이션 파형

(c) 애노드 전압 실험 파형 (d) 게이트 전압실험 파형



(a)

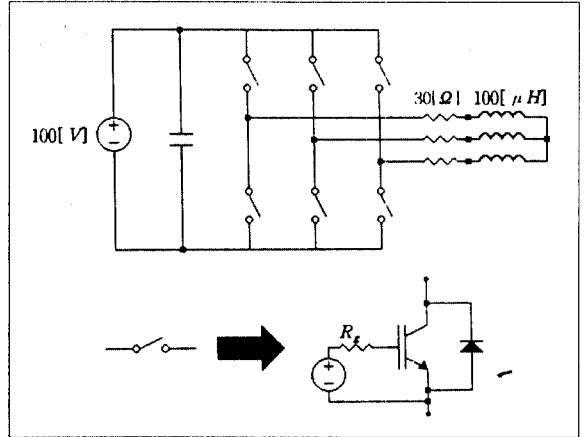


50[V]/div, 20[μs]/div

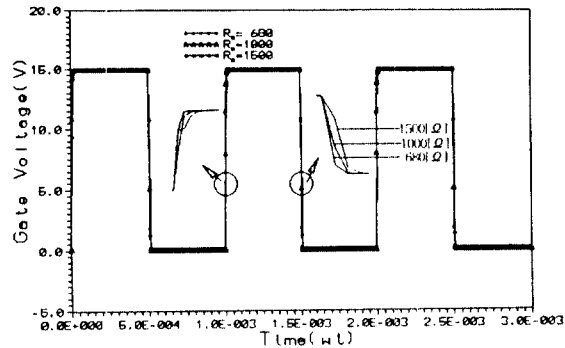
(b)

(그림 13) 피드백 캐패턴스의 값을 변화 시켰을때 시뮬레이션과 실험 파형(그림 6의 회로)

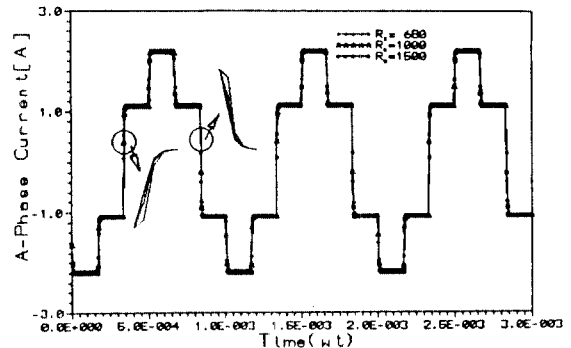
(a) 애노드전압의 시뮬레이션파형 (b) 애노드전압의 실험파형



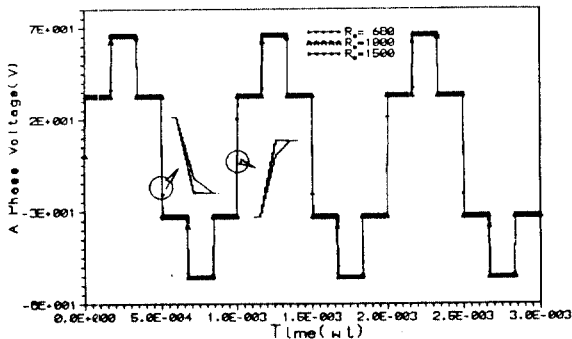
(그림 14) 3상 브리지 인버터 주회로



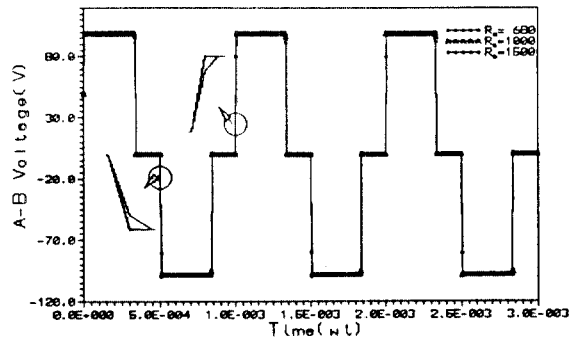
(a) 게이트 전압 파형



(c) 인버터 A상 전류

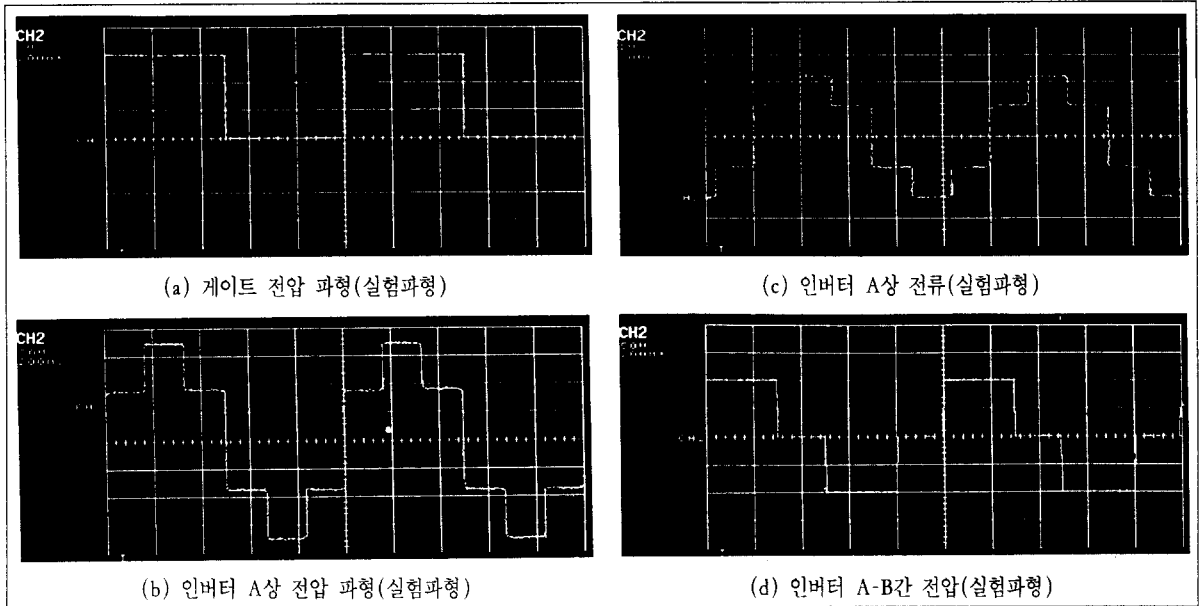


(b) 인버터 A상 전압 파형



(d) 인버터 A-B간 전압

(그림 15) 인버터의 파형(시뮬레이션)



〈그림 16〉 인버터의 파형(실험파형)

참고문헌

- [1] Michael S.Adler, "A comparison between BIMOS device types," IEEE Trans. Electron Devices, vol.ED-33, pp. 286~293, Feb., 1986
- [2] S.Kal and N.B chakrabarti, "Technology compatibility and circuit complementarity of BIMOS," Int.J.Elec., vol. 68, No.5, pp.675~692, 1990
- [3] Michsel S.Adler, "The evolution of power device technology", IEEE Trans. Electron Devices, vol.ED-31, pp.1570~1591, Nov., 1984
- [4] Toshiba GTR module(IGBT) Application
- [5] F.F.Protiwa, O.Apeldoorn, N.Groos, "New IGBT Model for PSPICE", The European Power Electronics Association, pp.226~pp.223, 1993
- [6] Franc Mihalic, Karel Jezernik, Klaus Krischan, Manfred Rentmeister, "IGBT Spice Model", IEEE Trans. Industrial Electronics, vol.42, No.1, February, 1995.
- [7] M.Ines Castro Simas, Moises simoes Piedade, J. costa Freire, "Experimental Characterization of power VDMOS Transistors in Commutation and a Derived Model for computer-Aided Design", IEEE Trans. Power Electronics, vol.4, No.3, pp. 371 ~ 378, July, 1989
- [8] Allen R. Hefner, "An investigation of the drive circuit requirements for the power insulated gate bipolar transistor(IGBT)", IEEE Trans.power electronics, vol. PE - 6 , pp.208~219, April, 1991
- [9] Crawford, "MOSFET in circuit Design", McGraw-Hill, Verleg, New York, pp.121~1701967
- [10] Remo Letor, "Static and Dynamic Behavior of Paralleled IGBT's", IEEE Trans. on IA, vol.28, No.2, March/April, pp.395~402, 1992
- [11] W.Soppa and J.Hanseler, "A Process Oriented VDMOS-FET Model for Circuit Simulation", ISPSD'92, Tpkyo, May, pp.184~187, 1992
- [12] K.Heumannn, "Evaluation of Turn-off Semiconductor Device and Future Trends", ISPE'92, April, pp.36~45, 1992
- [13] A Merterns, "Design of a 20KVA Resonant DC link IGBT inverter on the base of experimental device evaluation", EPE-MADEP Conf.Rec., pp.172~177, 1991

부 록

〈표 1〉 IGBT 내부 파라미터

| 명칭 | 단 위 | 모 델 파 라 미 터 |
|----------------|--------------------|------------------------------|
| P_t | $[cm^{-3}]$ | 베이스-에미터의 과도캐리어 |
| I_{sne} | $[A]$ | 에미터 전자 포화 전류 |
| b | $[cm^2/V \cdot s]$ | 이동율 |
| μ_p, μ_n | $[cm^2/V \cdot s]$ | 전공과 전자의 이동율 |
| A | $[cm^2]$ | 소자활성영역 |
| A_{gd} | $[cm^2]$ | 게이트-드레인 중첩 면적 |
| η_i | $[cm^{-3}]$ | 고유 캐리어 집중 |
| D_p, D_n | $[cm^2/s]$ | 전공과 전자의 확산율 |
| ϵ_s | $[F/cm]$ | 실리콘 정수 |
| q | $[C]$ | 전하 (1.6×10^{-19}) |
| Q | $[C]$ | 순시 과도 캐리어 베이스 전하 |
| Q_B | $[C]$ | 베이스 캐리어 전하 |
| D | $[cm^2/s]$ | 확산 |
| L | $[cm]$ | 확산 길이 |
| W | $[cm]$ | 베이스 폭 |
| W_{dsj} | $[cm]$ | 드레인-소오스 공핍폭 |
| W_{bcj} | $[cm]$ | 베이스-콜렉터 공핍폭 |
| W_{gdj} | $[cm]$ | 게이트-드레인 공핍폭 |
| x | $[cm]$ | 에미터-베이스간 거리 |
| I_T | $[A]$ | IGBT 애너드 전류 |
| V_{bc} | $[V]$ | 베이스-콜렉터간 전압 |
| V_{ds} | $[V]$ | 드레인-소오스간 전압 |
| V_{gs} | $[V]$ | 게이트-소오스간 전압 |
| V_T | $[V]$ | MOSFET 채널 한계전압 |
| C_{bcj} | $[F]$ | 베이스-콜렉터간 공핍 캐패시턴스 |
| C_{dsj} | $[F]$ | 드레인-소오스간 공핍 캐패시턴스 |
| C_{gd} | $[F]$ | 게이트-드레인간 공핍 캐패시턴스 |
| C_{cxd} | $[F]$ | 게이트-드레인 중첩 산화 캐패시턴스 |

〈표 2〉 IRGPC50U의 IGBT 내부 파라미터

| 명칭 | 단 위 | 지 정 값 | 모 델 파 라 미 터 |
|-------------|--------------------------|----------|-------------------------------------|
| τ_{HL} | [s] | 0.1e-6 | base high-level lifetime |
| W_B | [cm] | 0.008 | metallurgical base width |
| N_B | [cm ³ · E-10] | 1.2e-4 | base doping concentration |
| A | [cm ²] | 0.3 | device active area |
| I_{sne} | [A] | 11.0e-14 | emitter electron saturation current |
| V_t | [V] | 4.55 | MOSFET channel threshold |
| K_{psat} | [A/V ²] | 10.6 | MOSFET saturation transconductance |
| K_{plin} | [A/V ²] | 21 | MOSFET linear transconductance |
| R_s | [Ω] | 0.01 | series anode resistance |
| theta | [V] | 0.01 | transverse field mobility reduction |
| C_{gs} | [F] | 2.6e-9 | gate-source capacitance |
| A_{gd} | [cm ²] | 0.15 | gate-drain overlap area |
| C_{oxd} | [F] | 3.4e-9 | gate-drain oxide capacitance |
| V_{td} | [V] | -5.0 | gate-drain depletion threshold |
| BV_n | | 4.0 | avalanch multiplication exponent |
| ccsflg | | -1.0 | carrier-carrier scattering |
| sclflg | | -1.0 | velocity saturation flag |

〈표 3〉 IGBT(IRGPC50U)에 접속된 직렬 저항-인덕터 회로의 입력파라미터

| 기 호 | 명 칭 | 단 위 | 지 정 값 |
|-------------|-------|-------|---------------|
| R_L | 부하저항 | [Ω] | 30 |
| L_L | 인 덕 터 | [μH] | 100 |
| V_{aa} | 입력전압 | [V] | 100 |
| R_g | 게이트저항 | [Ω] | 10 1K 1.5K 2K |
| V_{gon} | 게이트전압 | [s] | 15.0 |
| t_{on} | 온-시간 | [s] | 1.0e-6 |
| t_{off} | 오프-시간 | [s] | 40.0e-6 |
| t_{rise} | 상승시간 | [s] | 0.1e-6 |
| t_{final} | 종료시간 | [s] | 80.0e-6 |
| t_{plot} | 시작시간 | [s] | 0.0e-6 |

〈표 4〉 턴-오프 스너버 회로에 대한 입력파라미터

| 기 호 | 명 칭 | 단 위 | 지 정 값 |
|-------------|----------|--------------|---------|
| R_L | 부하저항 | [Ω] | 30 |
| LL | 인 덕 터 | [μH] | 100 |
| V_{aa} | 입력전압 | [V] | 100 |
| V_{ss} | 스너버공급전압 | [V] | 100 |
| R_b | 스너버블리더저항 | [Ω] | 1.0e3 |
| C_s | 스너버캐패시턴스 | [F] | 55.0e-9 |
| R_d | 다이오드 저항 | [Ω] | 1.0 |
| R_G | 게이트 저항 | [Ω] | 1000 |
| V_{ggon} | 게이트 전압 | [V] | 15.0 |
| t_{on} | 온-시간 | [s] | 1.0e-6 |
| t_{off} | 오프-시간 | [s] | 40.0e-6 |
| t_{rise} | 상승시간 | [s] | 0.1e-6 |
| t_{final} | 종료시간 | [s] | 90.0e-6 |
| t_{plot} | 시작시간 | [s] | 0.0e-6 |

〈표 5〉 피드백 회로에 대한 입력파라미터

| 기 호 | 명 칭 | 단 위 | 지 정 값 |
|-------------|-----------------|--------------|------------------|
| R_L | 부하저항 | [Ω] | 30 |
| LL | 인 덕 터 | [μH] | 100 |
| V_{aa} | 입력전압 | [V] | 100 |
| R_G | 게이트저항 | [Ω] | 680 |
| V_{ggon} | 게이트전압 | [V] | 15.0 |
| t_{on} | 온-시간 | [s] | 1.0e-6 |
| t_{rise} | 상승시간 | [s] | 0.02e-6 |
| C_f | 외부 피드백 캐패시턴스 | [nF] | 220 110 73 |
| R_f | 직렬 피드백저항 | [Ω] | 100 |
| R_{gon} | 턴온 게이트저항 | [Ω] | 1.0e2 |
| t_{off} | 오프-시간 | [s] | 20.0e-6 |
| t_{final} | 종료시간 | [s] | 80.0e-6 |
| t_{plot} | 시작시간 | [s] | 0.0e-6 |

● 저자소개 ●

**서영수(徐英洙)**

1941년 1월 6일 생

1963년 연세대학교 공과대학 전기공학과 졸업

1980년 명지대학교 대학원 전기공학과 졸업(석사)

1985년 연세대학교 대학원 전기공학과 졸업(공학박사)

1990년 대한전기학회 전력전자 간사장

현재 명지대학교 공과대학 전기전자공학부 교수

**조문택(曹文澤)**

1965년 2월 23일 생

1988년 명지대학교 공과대학 전기공학과 졸업

1990년 명지대학교 대학원 전기공학과 졸업(석사)

1994년 명지대학교 대학원 전기공학과 수료(박사과정)