

Study on the Electrical Properties in the Ceramic of (Sr · Ca)TiO₃ System

崔雲植* · 金容柱** · 李準雄***
(Woon-Shik Choi · Yong-Joo Kim · Joon-Ung Lee)

Abstract - The (Sr_{1-x}Ca_x)TiO₃(0.05≤x≤0.2) ceramics were fabricated to form semiconducting ceramics by sintering at about 1350[°C] in a reducing atmosphere(N₂ gas). After being fired in a reducing atmosphere, metal oxides, CuO, was painted on the both surface of the specimens to diffuse to the grain boundary. They were annealed at 1100[°C] for 2 hours. The 2nd phase formed by thermal diffusing from the surface lead to a very high apparent dielectric constant. The results of the capacitance-voltage measurements indicated that the grain boundary was composed of the continuous insulating layers. The capacitance is almost unchanged below about 20[V], but decreased slowly over 20[V]. The conduction mechanism of the specimens observed in the temperature range of 25~125[°C], and is divided into three regions having different mechanism as the current increased: the region I below 200[V/cm] shows the ohmic conduction. The region II between 200[V/cm] and 2000[V/cm] can be explained by the Poole-Frenkel emission theory, and the region III above 2000[V/cm] is dominated by the tunneling effect.

Key Words : Apparent Dielectric Constant, Capacitance-voltage, Ohmic Conduction, Poole-Frenkel Emission Theory, Tunneling Effect

1. 서론

오늘날 활발히 진행되고 있는 반도체 세라믹스의 소형, 경량화에 따라서 사용되고 있는 전자부품에도 대폭적인 소형화와 높은 신뢰성을 가지고 있는 것이 동시에 요구된다고 할 수 있다. 아울러 전자기기에서는 다기능화가 진행되고 있으며, 전자부품은 그들 전자기기의 다양한 기능을 충족시키기 위한 전기적 특성이나 물리적 특성을 충분히 충족할 것도 요구된다.

최근에는 GBL(grain boundary layer:입계층) 세라믹의 입계 특성을 제어하여 용량성 바리스타 기능을 갖는 캐패시터(복합 기능소자; Multi Functional Ceramics, MFC)도 연구·개발되었다. MFC는 정상상태에서는 캐패시터로작용하지만 회로에 정상신호 이외의 노이즈(noise)가 입력되면 순간적으로 바리스타 특성을 나타내어 회로를 보호하는 소자이다. 이 MFC는 입계의 구조적 특성을 잘 이용하여 복수의 기능을 조합한 좋은 예이며, 전기적 특성면에서 안정성이 뛰어난 SrTiO₃계의 GBL 세라믹스가 주로 이용되고 있다¹⁾. GBL 세라믹스의 전기특성은 입계에 기인하고 있기 때문에 입계에 대한 연구가 꾸준히 진행되고 있으며, Franken씨²⁾나 Fujimoto씨³⁾는 분석전자 현미경을 이용하여 입계의 구조·조성을 분석하였다. 또한, Park씨⁴⁾는 C-V 특성을 측정함으로써 입계의 전기적 모델을 고찰하고 있다.

오늘날 전자 세라믹스의 연구방향은 세라믹스의 미세구조를 보다 적극적으로 이용하여, 우수한 소자를 개발해야할 것으로 생각되며, 특히 SrTiO₃계 입계절연형 반도체 세라믹 캐패시터에서의 높은 고유전율의 발생 매커니즘등 아직 불명확한 부분

이 많으므로 이에 대한 연구가 절실히 요구된다 할 수 있다. 본 연구는 전자기기의 소형화, 고성능화에서 요구되는 높은 신뢰성을 충족시키기 위하여 유전율은 조금 낮으나 온도특성면에서 우수한 특성을 나타내는 (Sr · Ca)TiO₃계 세라믹스를 취하여 유전특성, 용량-전압 특성 및 전압-전류 특성등 전기적특성을 고찰하였다.

2. 실험

2.1 시편제작

시편제작에 사용된 주 시료는 SrCO₃, CaCO₃, TiO₂와 반도체 화제로서 미량의 Nb₂O₅를 사용하였으며, 2차 열처리시 열확산 금속 산화물로서 CuO를 사용하였다. 각 시료는 기본 조성식 (Sr_{1-x}Ca_x)TiO₃ + 0.6[mol%]Nb₂O₅(0.05≤x≤0.2)에 따라 전자천평을 사용하여 평량하였으며, 아세톤을 분산매로 하여 알루미늄 유발에서 혼합한 후 1100[°C]에서 2시간동안 하소(calcining)하였다. 하소된 혼합물을 알루미늄 유발에서 분쇄한 후 유기 바인더(P.V.A:polyvinyl alcohol)를 2[wt%]를 혼합하여 원통형 금형(∅:20[mm])에 3[g]씩 넣고 1500[kg/cm²]의 압력으로 성형하였다. 성형된 시편은 전기로에 넣어 1350[°C]에서 3시간 동안 N₂ 분위기에서 1차 소결하므로써 반도체 세라믹을 제작하였다. 1차 소결로 부터 얻은 반도체 세라믹을 약 1[mm]의 두께로 연마(polishing)하여 초음파 세척한 후 시편의 양면에 CuO를 도포하여 1100[°C]에서 2시간 동안 2차 열처리함으로써 입계를 절연화 시켰다. 2차 열처리된 시편의 양면에 은전극을 부착하여 전기적특성을 측정하였다. 그림 1에 시편의 제작공정을, 표 1에 연구에 사용된 시편의 번호를 나타내었다.

2.2 전기적 특성 측정

1차 열처리한 반도체 세라믹의 비저항은 시편의 양면에 인듐

*正會員: 光云大 大學院 電氣工學科 卒業·工博
**正會員: 光云大 工大 電氣工學科 教授 新技術研究所·工博
***正會員: 忠州産業大 電氣工學科 教授·工博
接受日字: 1995年 7月 4日
1次修正: 1995年 9月 5日

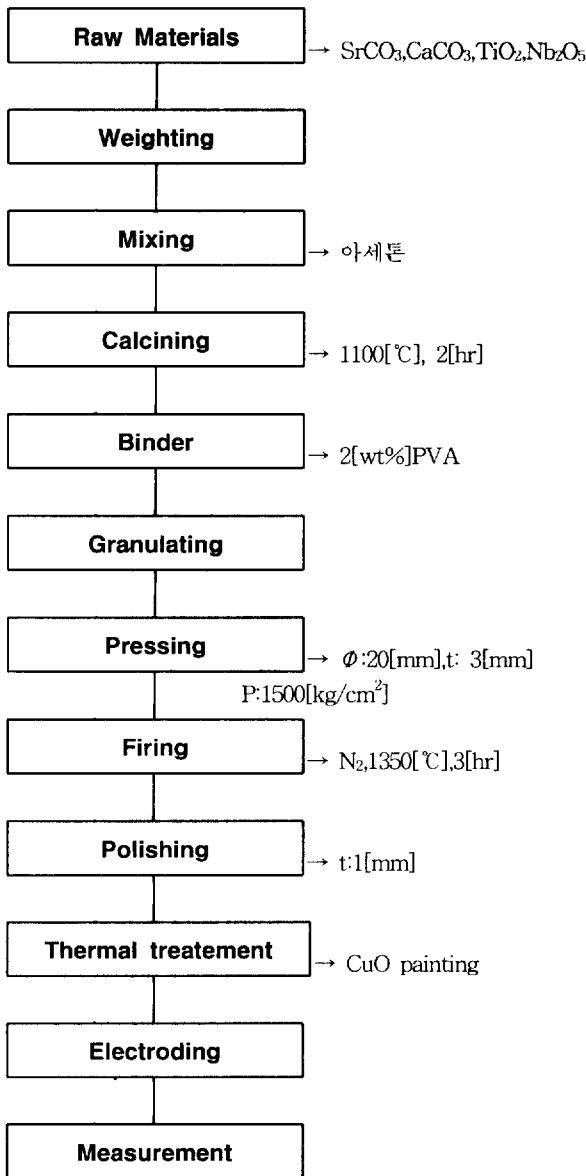


그림 1 시편의 제작과정
Fig. 1 Processing diagram of the specimen.

표 1 시편의 번호
Table 1 Number of specimens

| Sr : Ca | Sample No. |
|-----------|------------|
| 0.95:0.05 | SCTN056 |
| 0.90:0.10 | SCTN106 |
| 0.85:0.15 | SCTN156 |
| 0.80:0.20 | SCTN206 |

(In) 전극을 증착한 후 Electrometer를 사용하여 DC 2단자법으로 측정하였다. 2차 열처리 시편의 비저항은 은(silver paste) 전극을 소결 부착하여 High Resistance Meter(HP 4329A)로

50[V] 인가후 측정하였다. 반도체 시편의 비저항은 $<10^3[\Omega \text{ cm}]$, 열처리한 시편의 비저항값은 $10^9 \sim 10^{11}[\Omega \text{ cm}]$ 의 값을 나타내었다.

2차 열처리 시편의 비유전율(Relative Dielectric Constant: ϵ_r)은 LCR Meter(HP 4194A)를 이용하여 온도범위 $-150[^\circ\text{C}] \sim +210[^\circ\text{C}]$ 에서 $1[\text{kHz}]$, $1[\text{V}_{\text{rms}}]$ 의 교류전계하에서 정전용량을 측정후 식 (1)에 의하여 계산하였다.

$$\epsilon_r = \frac{Cd}{\epsilon_0 S} \tag{1}$$

여기서, ϵ_r : 절보기 비유전율, ϵ_0 : 진공중의 유전율[F/m], C: 정전용량[F], S: 전극의 면적[m²], d: 시편의 두께[m]이다.

또한, 전압인가에 따른 정전용량의 변화를 관측하기 위한 C-V특성은 직류전압(0~40V)을 인가하면서 LCR meter로 정전용량을 측정하여 알아 보았다. 열처리하여 제작된 시편의 전압-전류특성은 각 온도에서 전압 인가후 6분 경과후의 값을 정상전류로 하여 측정하였으며, 측정온도는 25~125 $^\circ\text{C}$ 였다.

3. 결과 및 고찰

3.1 유전특성

그림 2에 Ca의 치환량에 따른 소결 후 (Sr,Ca)TiO₃ 세라믹스의 유전상수의 온도특성을 나타낸다. Ca의 치환량이 증가함에 따라 15[mol%]까지는 큰 변화가 없으나 그 이상 치환되면 유전상수가 급격히 감소하는 것으로 보아 양호한 특성을 얻을 수 있는 Ca의 치환 한계는 15[mol%] 이하라고 생각된다.

본 연구에 사용된 시편이 고유전율을 나타내는 것은 열처리 시 시편의 표면으로부터 열화산된 Cu 유리상(glass phase)과 입계에 존재하는 TiO₂상과의 반응이 활발히 진행되어 입자 주위에 균일한 액상막이 형성되면서 제 2상에 의한 정전용량의 기여가 증가되어 유전상수가 커지게 되며, Ca의 치환량이 15[mol%]를 넘으면 (Sr,Ca)TiO₃ 산화층의 확산이 급격히 진행되어 유전층의 두께가 증가하면서 유전상수가 감소하게 되는 것으로 생각된다^{15, 16}.

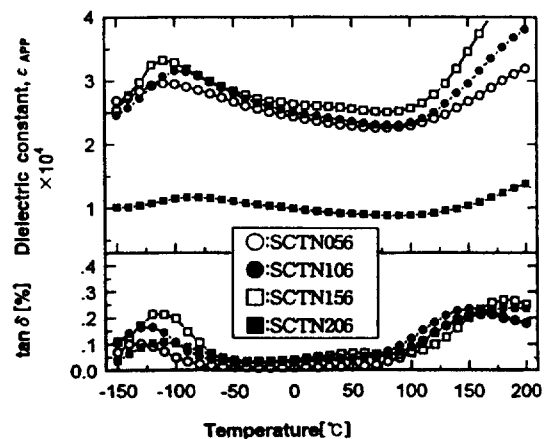


그림 2 Ca의 변화량에 따른 유전상수 및 유전 손실(tan δ)의 온도의존성

Fig. 2 Temperature dependence of dielectric constants and dielectric loss(tan δ [%]) with contents of Ca.

또한 고온측(>100°C)에서 정전용량이 급격히 증가하고 있는데 이는 (Sr·Ca)TiO₃ 확산층의 저항이 온도가 증가함에 따라 감소하고 그 결과 정전용량의 크기에 영향을 미치는 입계층의 두께가 얇아져서 전체적으로 정전용량이 증가하는 것이라 생각할 수 있다.

한편, 유전율 및 손실의 온도특성을 각 측정온도에 따라 살펴보면 크게 3 영역, 즉 큐리온도(Curie temperature)에 해당하는 -100[°C] 이하, 측정온도 증가에 따라 완만히 감소하는 -100~+90[°C] 범위 그리고 온도와 함께 급격히 증가하는 +90[°C] 이상으로 구분하여 해석할 수 있음을 볼 수 있다. 따라서 각 영역에서의 유전 완화현상에 대하여 검토하여 보면 다음과 같다.

① -100[°C] 이하

재료 특성상 상전이점에 해당되는 곳으로 위에서 기술한바와 같이 시편제작시 첨가되는 불순물이나 주격자점의 공공 및 미치환물에 의한 영향이 지배적인 것이므로 이 영역에서의 완화현상은 이들 쌍극자 분극에 의한 현상으로 생각할 수 있다.

② -100~+90[°C]

유전율 및 손실이 온도증가에 따라 서서히 감소하는 영역으로 이 영역에서의 완화현상은 비교적 온도에 큰 영향을 받지 않는 배향분극에 의한 것으로 해석할 수 있다¹⁴⁾.

③ +90[°C] 이상

온도증가에 따라 지수함수적으로 급격히 증가하는 영역으로 이 영역에서의 완화는 온도에 민감한 계면분극에 의한 것으로 생각할 수 있다¹⁴⁾.

3.2 용량-전압 특성

그림 3은 SCTN106과 SCTN156 시편의 C-V 특성 결과이다. 인가전압이 증가하여도 정전용량은 거의 변하지 않았으나, 20[V] 이후 전압이 증가함에 따라 약간의 감소를 나타내는데 이는 입계에 연속적으로 분포된 절연층이 존재하고 있기 때문이라고 생각된다. 또한 제 2 상의 입계층에는 전자포획중심(electron trap center)으로 작용하는 불순물이나 격자 결함이 존재할 것으로 추측되므로 그림 4와 같은 밴드모델(band model)¹⁷⁾을 생각할 수 있다. 그림 4에서 제 2상의 입계층, (Sr,Ca)TiO₃ 산화층(절연층) 및 전하 공핍층(depletion layer)의 정전용량을 각각 C_b, C_o, C_d라 하면 입계당 정전용량은 다음식으로 표시된다¹⁵⁾.

$$\frac{1}{C} = \frac{1}{C_b} + \frac{2}{C_o} + \frac{2}{C_d} \quad (2)$$

식 (2)에서 전체 정전용량은 작은 정전용량을 갖는 여러 층들에 의해서 결정됨을 알 수 있으며, 본 실험의 C-V 특성의 결과로부터 전압 의존성을 갖는 전하 공핍층의 정전용량은 전체 정전용량에 크게 기여하고 있지 못함을 알 수 있는데 이는 공핍층의 두께가 두 절연층의 두께에 비해 매우 작기 때문이라고 생각된다.

용량-전압(C-V)법은 시료의 공핍층 용량 C와 인가전압 V의 관계에서 직접 도너(donor)밀도 N_D를 구하는 방법으로서 잘 알려져 있다¹⁶⁾. 쇼트키 장벽에 전압을 인가하면 일종의 고저항 층으로 보게되는 공핍층 두께가 변화하고, 이때문에 용량도 변화한다. C와 V의 관계는

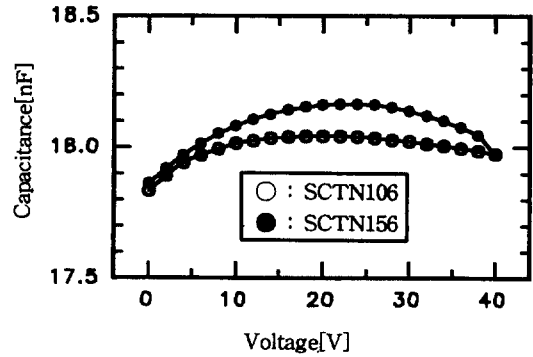


그림 3 용량-전압특성
Fig. 3 Capacitance-Voltage Characteristic.

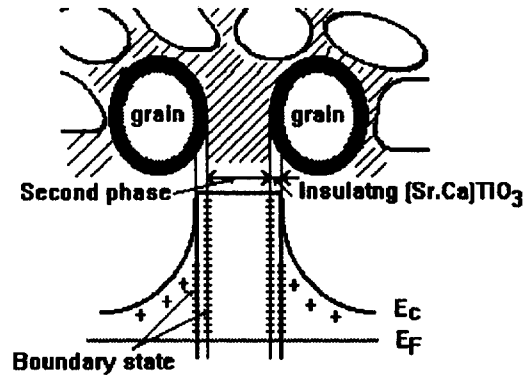


그림 4 (Sr,Ca)TiO₃ 세라믹의 기본 밴드모델
Fig. 4 Basic band model of (Sr,Ca)TiO₃ ceramic.

$$\frac{1}{C^2} = 2(V_{bi} - V - kT/q)q\epsilon N_D \quad (3)$$

로 표시된다. 여기서, q는 전자의 전하량, ε은 반도체의 유전율, V_{bi}는 내부전압, V는 인가전압이다. N_D가 쇼트키 장벽 근방에서 일정하게 분포할 때 식 (3)에서 N_D를 구할 수 있다. 그러나 세라믹등의 다결정체 입계에 존재하는 쇼트키 장벽은 그림 4와 같은 2중 쇼트키 장벽으로 되어 있고, 식 (3)에 기술한 것만으로는 불충분하므로 좌우 장벽의 공핍층 용량을 고려한 다음식을 사용해야한다.

$$\frac{1}{C} = \sqrt{\frac{2}{q\epsilon N_D}} \cdot (\sqrt{\phi - V_1} + \sqrt{\phi - V_2}) \quad (4)$$

여기서, φ는 전위장벽높이, V₁은 부(-)측의 전위장벽 높이의 감소, V₂는 정(+)측의 전위장벽 높이의 증가를 나타낸다. 일반적으로 세라믹의 경우 계면준위밀도가 크므로 φ-V₁≅φ, 인가전압 V≅V₂로 되며, 다음식으로 쓸 수 있다.

$$\left(\frac{1}{C} - \frac{1}{2C_0}\right)^2 = \frac{2(\phi + qV)}{q\epsilon N_D} \quad (5)$$

여기서, C, C₀는 입계 1층당의 용량이다. 또, C₀는 V=0일때의 값이고,

$$\frac{1}{C_0} = 2 \left(\frac{2\phi}{q \epsilon N_D} \right)^{1/2} \quad (6)$$

의 관계가 있다. 식 (5)에서 N_D 와 ϕ 를 구할 수 있다. 이와같이 C-V법에서는 비파괴 도너밀도, 전위장벽높이를 구하는 것이 가능하다. 그러나 C-V법에서 구해진 도너밀도, 전위장벽높이는 입계 1층당의 특성으로 환산하여 구해진 물성값이므로 평균입경의 신뢰도가 중요하게 된다.

그림 5에 SCTN156 시편의 $(1/C-1/2C_0)^2-V$ 관계를 나타낸다. 그림 5에서 직선의 관계가 성립하므로 그 기울기와 절편으로부터 식 (5)에 의하여 도너밀도와 전위장벽의 높이를 구할 수 있다. 또한 결정립과 입계층 사이의 계면에서의 표면상태 밀도(N_{IS})와 도너밀도, 전위장벽의 높이 사이에는 다음의 관계가 성립한다^{7,8,1}.

$$N_{IS} = \sqrt{\frac{2N_D \epsilon \phi}{q}} \quad (7)$$

따라서, 식 (5)로부터 구한 N_D 와 ϕ 를 식 (7)에 대입하면 N_{IS} 를 구할 수 있다.

각 시편에 대한 도너밀도(N_D), 전위장벽 높이(ϕ) 및 표면전하밀도(N_{IS})를 표 2에 나타낸다. 표 2로 부터 Ca의 첨가량이 15mol%를 경계로 N_D , ϕ , N_{IS} 가 변하고 있음을 알 수 있다.

1[kHz], 1[V_{rms}]에서 구한 비유전율(관측비유전율: ϵ_{APP})을 구하면 그림 2에서 보는바와 같이 20000이상의 큰값을 갖는다. 이 값은 실제 재료의 비유전율((Sr·Ca)TiO₃:250~300)보다 훨씬 크게된다. 이것은 다음식

$$C = \epsilon_o \epsilon_{APP} \times \frac{S}{t} \quad (8)$$

에서 시편 전체의 두께 t를 적용하여 계산하였기 때문이다. 따라서 결정립을 도체, 입계층과 결정립 내의 산화층을 절연층이

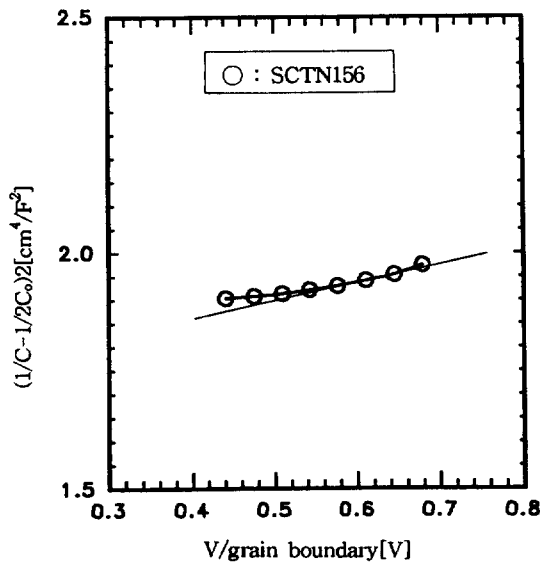


그림 5 $(1/C-1/2C_0)^2$ 와 입계층당 전압과의 관계
Fig. 5 The Relation of $(1/C-1/2C_0)^2$ vs. V/grain boundary layer.

표 2 각 시편의 ϵ_{APP} , N_D , ϕ 및 N_{IS}
Table 2 ϵ_{APP} , N_D , ϕ and N_{IS} of specimens respectively.

| Factor | specimen | | |
|---|----------|-------|-------|
| | 106 | 156 | 206 |
| $C_{20}[\text{nF}]$ | 18.12 | 18.1 | 6.65 |
| ϵ_{APP} | 26086 | 26065 | 9583 |
| $D[\text{\AA}]$ | 1260 | 1630 | 3340 |
| $N_D[\text{cm}^{-3}] \times 10^{18}$ | 17.09 | 12.26 | 3.318 |
| $\phi[\text{eV}]$ | 3.714 | 4.426 | 2.657 |
| $N_{IS}[\text{cm}^{-2}] \times 10^{13}$ | 9.366 | 8.659 | 3.490 |

라 하고 그 두께를 D, (Sr·Ca)TiO₃의 평균 결정립의 크기를 d라 하면 $d \gg D$ 이므로

$$C = \frac{\epsilon_o \epsilon_r S}{\left(\frac{d}{D}\right)} \quad (9)$$

로 된다. 식 (8)과 식(9)로부터

$$\epsilon_{APP} = \epsilon_r \left(\frac{d}{D}\right) \quad (10)$$

로 된다. 따라서 시편의 유효 공핍층의 두께 D는

$$D = \frac{\epsilon_r d}{\epsilon_{APP}} \quad (11)$$

로 구할 수 있다.

본 연구에서 면적법으로 구한 평균결정립의 크기(SCTN106: 13.145, SCTN156:16.970, SCTN206:13.145)를 사용하여 계산된 유효공핍층의 두께를 표 2에 나타내었으며, 겉보기 비유전율은 Ca의 첨가량 및 공핍층의 두께에 크게 영향받고 있음을 알 수 있다.

3.3 전압-전류특성

일반적으로 다결정체인 전자세라믹스의 입계에는 전위(dislocation)나 격자결함(lattice defalts)이 많고, 불순물들의 편석도 일어나기가 쉽기 때문에 트랩(trap)이나 불순물 준위가 형성된다. 따라서 반도체화한 입자가 접촉된 입계에는 이러한 트랩이나 불순물 준위에 의한 에너지 장벽이 형성되고 이들이 전도기구에 기여할 것으로 생각된다.

C-V 특성 및 유전특성으로 부터 비교적 안정한 것으로 판단되는 SCTN106 시편의 전압-전류특성을 그림 6에 나타낸다. 전압-전류특성은 측정온도가 상승함에 따라 누설전류도 증가하고, 약 200[V/cm] 이하의 전계에서의 전류는 인가전계에 거의 비례하여 증가하며, 그 이상의 전계에서의 전류는 비직선적으

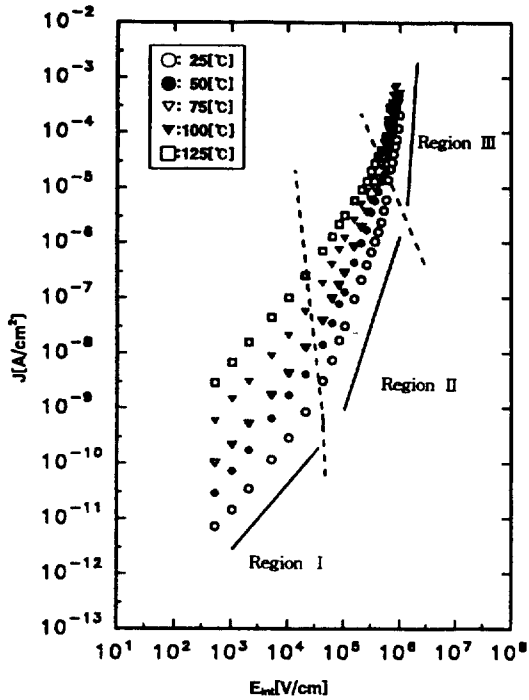


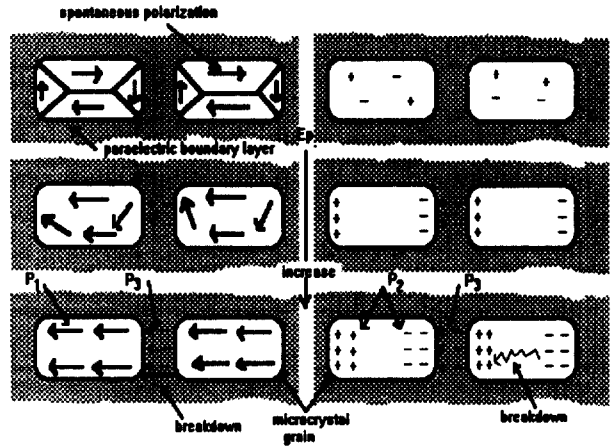
그림 6 SCTN106 시편의 $\ln J$ 와 E_m 와의 관계
Fig. 6 The relation between the SCTN106 specimen.

로 증가하여 파괴에 이르고 있음을 나타내고 있다. 이와같이 상유전 영역에서 파괴가 순간적으로 일어나지 않고 전류가 서서히 증가하여 파괴에 이르는 것을 岡崎清은 그림 7와 같이 설명하고 있다. 즉, T_c 이하(강유전 영역)에서 결정립 내의 하전입자에 인가되는 유효전계는 그림 7(a)와 같이 P_1 (자발분극)에 의한 반전계에 의하여 인가전압 E_0 와 상쇄됨으로서 극히 작아지고, 그 때문에 P_2 (공간전하분극)는 생성되지 않는다. 따라서 T_c 이하의 온도 영역에서의 파괴는 입계층의 상유전성 재료의 파괴가 지배적인 요인으로 된다고 하였다. 또한 T_c 이상(상유전영역)에서의 절연파괴는 결정립 자체의 성질에 영향을 받는다. 즉, 전계를 인가하면 강유전체와 같은 자발분극이 없기 때문에 인가된 전압은 그대로 결정립 내의 하전입자에 가해지고 그림 7(b)에서와 같은 P_2 가 발생한다. 이때 결정립 내부의 표면층에 P_2 에 의한 공간전하층이 형성되고, P_2 가 어느 한계를 넘게되면 급격히 노화하여 파괴에 이르게 된다. 따라서 본 연구에 사용된 시편이 상유전재료임을 고려할때 그림 6에 나타낸 파괴양상은 인가전압이 증가됨에 따라 결정립 내부의 표면에 형성된 공간전하에 의한 결정립 자체의 파괴이거나 입계층의 파괴에 그 원인이 있는 것으로 생각할 수 있으므로 그림 6의 전압-전류특성을 이해할 수 있다.

그림 6에서와 같이 전도 특성은 전도 양상에 따라 3개의 영역으로 구분하여 해석할 수 있음을 볼 수 있으며, 각 영역에 대하여 살펴보면 다음과 같다.

① 제 I 영역

이 영역에서의 전류는 인가전계에 따라 거의 직선적으로 증가하며, 이온전도 이론식으로부터 저전계($eEa \ll kT$)일때는 $J \propto E$ 이므로 이영역의 전류밀도는 전계에 비례하는 오옴의 법칙으



(a) below T_c (b) above T_c

그림 7 공간전하분극에 의한 절연파괴 모델
Fig. 7 Models of breakdown at below curie temperature and above.

로 설명할수 있다. 또한 측정온도의 증가에 따라 전류도 크게 증가하고 있는 것으로부터 전계보다는 온도에 크게 영향받고 있음을 알 수 있다. 이러한 특성으로부터 이 영역의 전도기구는 열에 민감한 이온에 의한 것으로 추론된다. 이온이 생기는 기원으로는 서로 제작시 첨가되는 각종 불순물이나 부분치환에 의해서 생긴 Sr^{2+} , Ca^{2+} , Ti^{4+} 이온등의 격자결함인 것으로 생각된다¹³⁾. 본 연구에 있어서는 비화학 당량으로 첨가한 Nb_5 에 의해서 생성되는 Ti^{2+} 와 미치환된 Nb^{5+} , A-site 공공(vacancy)이나 이온화된 미반응 Ca^{2+} , Sr^{2+} 등의 이온들이 불순물로 작용하며 이 영역에서의 전도에 기여하는 것으로 생각된다.

② 제 II 영역

이 영역에서의 전압-전류 특성은 인가전계가 증가함에 따라 전류는 비직선적인 변화를 보이며 증가함을 알 수 있다. 작은 전계의 변화에도 전류밀도가 급격히 증가하는 비오옴특성을 나타내고 있는 것으로 부터 이 영역에서의 전도특성은 온도에 의한 이온 및 불순물들의 활성화에 의한 기여보다는 공핍층에 포획되어 있던 전자들이나 이온들이 인가전계의 상승에 따라 활성화되면서 이들이 전도에 크게 기여하고 있는 것으로 생각된다.

또한 입계 근방의 전자구조는 (1)입계준위 (2)이온화한 donor (3)bulk trap으로 이루어지고 있으며, 계면준위는 (a)결정의 주기성의 결여 (b)전위, 격자결함의 밀집 (c)불순물 원소의 존재 (d)이상(異相) 등으로 형성¹⁰⁾되고 있으므로 입계층의 불순물 준위 또는 트랩을 고려하여 제시된 Schottky 방출이론과 Poole-Frenkel 방출이론으로 해석¹¹⁾할 수 있다.

본 실험의 경우에 표면으로부터 열확산 시킨 Cu가 결정립간에 고저항을 갖는 절연층을 형성하고 있는 것으로 해석된 구조적분석의 결과로부터 영상전하를 고려하지 않은 Poole-Frenkel 방출이론으로 고찰하고자 한다.

Poole-Frenkel 방출이론에 의하면 식 (12)로부터 전도도 $\ln \sigma$ 와 전계 $E^{1/2}$ 사이에 직선적인 관계가 성립하며 정(正)의 기울기를 나타낸다. 또한 식 (13)으로부터 $\ln J \sim 1/T$ 의 plot은 직선적인 관계가 성립하며 부(負)의 기울기를 나타낸다.

$$\sigma = \sigma_o \exp\left[-\frac{\beta_{PF} E^{1/2}}{2kT}\right] \tag{12}$$

$$J = J_o \exp\left[-\frac{\beta_{PF} E^{1/2}}{2kT}\right] \tag{13}$$

$$\beta_{PF} = \left(\frac{e^3}{\pi \epsilon}\right)^{1/2} = 2\beta_s$$

본 실험의 결과로부터 얻은 전압-전류 특성의 제 II 영역에서의 $\ln J-1/T$ 와 $\ln \sigma -E^{1/2}$ 을 도시하면 그림 8, 그림 9와 같이 되며, 그림으로 부터 Poole-Frenkel 조건을 만족하고 있으므로 Poole-Frenkel 방출이론을 적용할 수 있음을 알 수 있다.

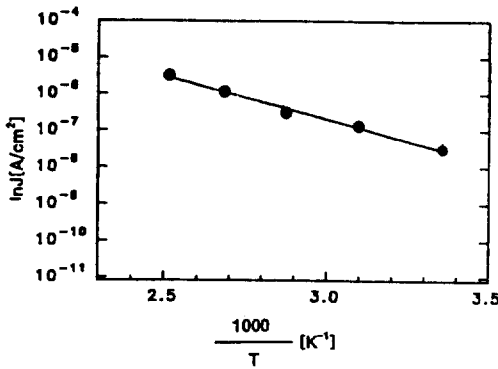


그림 8 제 II 영역에서의 $\ln J-1/T$ 특성
Fig. 8 $\ln J-1/T$ characteristics in the region II.

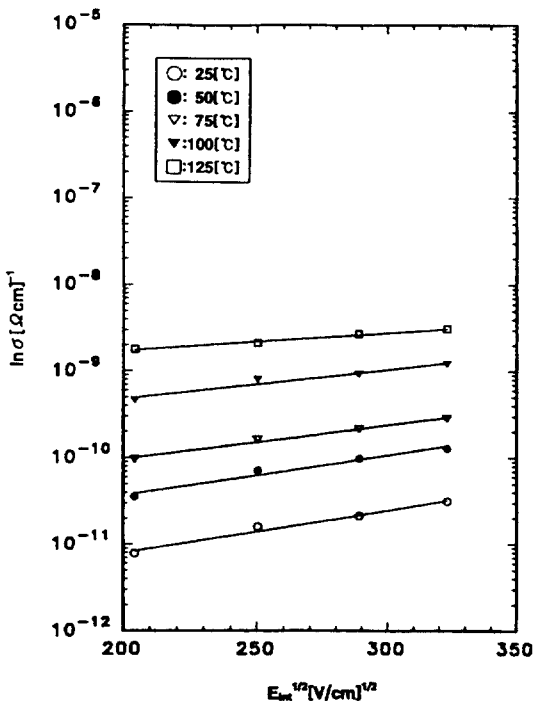


그림 9 제 II 영역에서의 $\ln \sigma -E_{int}$ 특성
Fig. 9 $\ln \sigma -E_{int}$ characteristics in the region II.

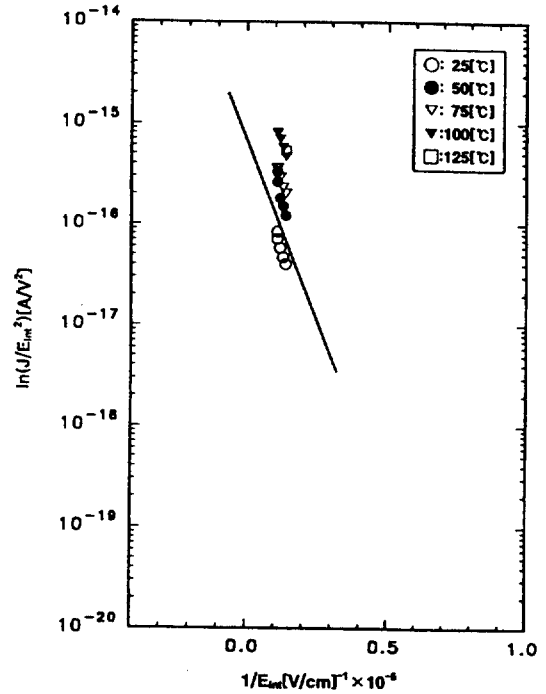


그림 10 제 III 영역에서 $\ln(J/E_{int}^2)$ 와 $1/E_{int}$ 의 관계
Fig. 10 The relation between the $\ln(J/E_{int}^2)$ and $1/E_{int}$ in the region III.

③ 제 III 영역

이 영역은 온도의 영향을 거의 받지않고, 인가전계의 증가에 따라 전류가 급증하며 파괴에 이르고 있음을 볼 수 있다. 이 영역의 전류 급증을 설명할 수 있는 이론으로는 공간전하 제한 전류(SCLC), 쇼트키 방출이론과 전자사태 파괴이론등이 제안되고는 있으나 실험적인 사실을 충분히 설명하는 이론은 제안되지 않고 있으며, 이 영역에 있어서의 해석은 양자역학적인 터널이론이 지배적으로 적용되고 있다.

터널효과에 의한 전류식인 식 (14)로부터 $\ln(J/E_{int}^2)$ 와 $1/E_{int}$ 의 관계는 부(負)의 기울기를 갖는 직선으로 된다. 본 실험의 결과를 $\ln(J/E_{int}^2)$ 와 $1/E_{int}$ 에 대하여 도시하면 그림 10과 같다. 그림 10은 터널이론의 조건을 만족하고 있음을 보여주고 있다. 즉, 이 영역에서의 파괴에 이르는 현상은 인가전계의 증가에 따라 가전자대에 있던 전자들이 터널효과에 의해서 전도대로 천이(遷移)하게 되고 결국 전도대의 전자수를 급증시켜 종국에는 파괴에 이르는 것이라 설명할 수 있다¹²⁾.

$$J = \frac{2 \cdot 2e^3 V^2}{8\pi h \Phi \rho d^2} \exp\left(\frac{8\pi d}{2.96heV}\right) (2m)^{1/2} \Phi_D^{3/2} = AE^2 \exp(-B/E) \tag{14}$$

4. 결 론

(Sr_{1-x}Ca_x)TiO₃+0.6[mol%]Nb₂O₅(0.05 ≤ x ≤ 0.2)계 세라믹을 제작하여 전기적특성을 연구한 결과 다음과 같은 결론을 얻었다. 표면으로 부터 열확산 시킨 Cu가 형성하는 제 2상에 의해 유전율이 증가하였으며, Ca의 치환량이 10, 15[mol%]에서 양호

한 유전특성을 얻을 수 있었다.

C-V 특성으로부터 계산된 Ca의 치환량이 10[mol%]인 시편의 도너밀도(N_d), 일함수(ϕ) 및 표면상태밀도(N_{is})는 각각 $17.09 \times 10^{18} [cm^{-3}]$, $3.714 [eV]$, $9.366 \times 10^{13} [cm^{-2}]$ 이었다.

전압-전류특성 곡선을 세 영역으로 분리하여 고찰한 결과, 제 1 영역에서의 전도특성은 오옴의 법칙을 따랐으며, 제 2 영역은 공핍층에 포획되어 있던 전자들이 인가전계의 상승에 따라 활성화되면서 이들이 전도에 크게 기여하고 있는 것으로 사료되어 입계층의 불순물 준위 또는 트랩을 고려하여 제시된 Poole-Frenkel 방출이론으로 해석하였으며, 또한, 제 3 영역은 온도의 영향을 거의 받지않고, $\ln(J/E_{int}^2)$ 와 $1/E_{int}$ 의 관계가 부(負)의 기울기를 갖는 직선적인 관계가 성립하는 것으로부터 텐넬이론을 적용하여 해석할 수 있었다.

참 고 문 헌

[1] Nobutatsu Yamaoka, "SrTiO3-Based Boundary Layer Capacitor Having Varistor Characteristics", Ceram. Bull., Vol.62(6), pp.698~703, 1983.
 [2] P. E. C. Franken, M. P. A. Vieggers and A. P. Gehring, J. Am. Ceram. Soc., Vol64, pp.687~690, 1981.
 [3] M. Fujimoto and W.D.Kingery, J. Am. Ceram. Soc., Vol. 68, pp.167~73, 1981.
 [4] D. D. Park and D. A. Payne, "Advances in Ceramics", Vol.7, The Am. Ceram. Soc., pp.242~253, 1981.
 [5] C. Walters & R. C. Grace, "Formation of Point Defects in Strontium Titanate", J. Phys. Chem. Solids, Vol.28, p.239, 1967.

[6] S. M. Sze, "Physics of semiconductor devices", Wiley Interscience, New York, 1969.
 [7] Kazuo Eda, "Capacitance vs. Voltage Characteristics of ZnO Varistors", J. Appl. Phys., Vol.50(6), pp.4475~4476, 1979.
 [8] K. Mukae, K. Tsuda and I. Nagasawa, "Capacitance-vs-Voltage characteristic of ZnO varistors", J. Appl. Phys., Vol.50(6), p.4475, 1979.
 [9] 岡崎 清, "セラミック誘電體工學", 學獻社, pp.200~203, 1992.
 [10] 向江和郎, セラミクス, 16, p.473, 1981.
 [11] L. M. Levinson and H. R. Philipp, "The physics of metal oxide varistors", J. Appl. Phys., Vol.46(3), p.1332, 1975.
 [12] J. D. Levine, "Theory of varistor electronic properties", CRC Crit. Rev. Solid State Sci., Vol.5, p.597, 1975.
 [13] W. Johnson, L.E.Cross, F.A.Hummel, "Dielectric Relaxation in Strontium Titanates Containing Rare-Earth Ions", J. Appl.Phys., Vol.41, pp.2828~2833, 1970..
 [14] 原誠, "セラミクス 評價法Ⅲ, 17: 誘電特性", セラミクス, Vol. 24(6), pp.566~573, 1989.
 [15] ニューケラスシリーズ 編輯委員會 編, 半導體 セラミックとその 應用, 學獻社, pp.222~227, 1990.
 [16] 崔雲植, (Sr·Ca)TiO₃계 세라믹의 입계층 모델에 관한 연구, 광운대학교, pp.44~48, 1994.
 [17] H. Nemoto and I. Oda, "Direct examination of electrical properties of single grain boundaries in BaTiO₃ PTC ceramics", Advances in ceramics, Vol. 1, pp.167~168, 1981.

저 자 소 개



최운식(崔雲植)

1962년 4월 17일생. 1989년 2월 광운대학교 전기공학과 졸업. 1991년 2월 동대학교 대학원 전기공학과 졸업(석사). 1995년 2월 동대학교 대학원 전기공학과 졸업(공박).



이준웅(李準雄)

1940년 10월 24일생. 1964년 2월 한양대학교 전기공학과 졸업. 1970년 2월 동대학교 대학원 전기공학과 졸업(석사). 1979년 9월 France 국립 Montpellier 전기공학과 졸업(공박). 1990년 1-12월 미국 미시시피 주립대학교 교환교수. 1995년 현재 광운대학교 전기공학과 교수.



김용주(金容柱)

1934년 9월 30일생. 1958년 3월 한양대학교 전기공학과 졸업. 1970년 2월 동대학교 대학원 전기공학과 졸업(석사). 1979.3~1984.2 충주공업전문대학장 역임. 1987년 2월 동대학교 대학원 전기공학과 졸업(공박). 1995년 현재 충주산업대학교 전기공학과 교수.