

비정상인 모드에서 발생하는 포인터조정지터의 컴퓨터 시뮬레이션에 의한 분석

최 승 국[†]

요 약

동기식통신망에 장애가 발생하여 각 노드내의 클럭들이 서로 다른 주파수로 동작되는 비정상적인 모드에서는 클럭간의 위상차가 급격하게 변화한다. 그러므로 데이터가 노드를 통하여 전송될때 노드클럭간의 이러한 위상시간차를 보정하여 주기위하여 각 노드에서 포인터조정이 빈번하게 행하여지며 이 과정에서 비교적 높은 주파수의 지터가 발생한다. 포인터조정이 여러번 연속적으로 행하여지면 발생하는 지터는 축적되어 그 크기가 점점 더 증가한다. 연속적으로 연결된 포인터조정시스템에서 발생하는 지터를 컴퓨터 시뮬레이션을 이용하여 분석하였으며 하드웨어 시뮬레이터에서 측정된 결과와 비교하였다.

Analysis of Pointer Adjustment Jitter Generated in Degraded Mode with Computer Simulation

Seung Kuk Choi[†]

ABSTRACT

In the degraded mode, there is frequency-misalignment between the node clocks in a synchronous network. Therefore the phase differences between node clocks fluctuate greatly. To keep the phase difference under allowable level the pointer adjustment technique is used. Unfortunately these processes cause an inherent pointer adjustment jitter, that accumulates in a chain of pointer adjustment systems. To analyze the jitter, computer simulation is carried and the results is compared with experimental jitter values.

1. 서 론

광대역 통신망의 망노드접속(NNI : Network Node Interface)의 표준으로 동기식 디지털계위(SDH : Synchronous Digital Hierarchy)가 제정되었으며 동기식 전송장치가 상용화되고 있다 [1]. 동기식통신망의 각 노드에 있는 클럭들은 이상적인 경우 그 주파수 및 위상이 모두 동기되어 일치되어야 한다. 그러나 동기망이 동기를 잃어서 각 노드의 클럭들이 서로 다른 주파수로 비정상적으로 동작하거나 한 국가에서 서로 동기가 되어있지 않은 다른 국가로 신호가 전송될때 주파수편차로 인하여 노드클럭간의 위상차는 급격하게 증가 또는 감소한다(degraded mode). 이와같은 위상변화는 버퍼(buffer)에 데이터를

임시로 저장한 후에 다시 노드내로 읽어 들이는 과정에서 에러를 발생하게 한다. 그러므로 동기식전송장치에서는 이러한 위상차 변화를 정/영/부 위치맞춤(positive/zero/negative justification)으로 보정하여 주며 이와같은 과정에서 포인터조정지터(pointer adjustment jitter)가 발생된다. 통신망내의 한 노드에서 다른 노드로 전송되어지는 신호는 매번 정/영/부 위치맞춤에 의해 지터가 발생되어 전송과정에서 지터는 축적(accumulation)되어 점점 더 증가할 것이다.

정/영/부 위치맞춤은 버퍼에 들어 있는 데이터를 읽어 들이기 위하여 공급되는 노드클럭중 정위치맞춤자리에 있는 클럭들을 삭제시켜 gap을 만들거나 부위치맞춤자리에 있는 클럭들을 생성시켜서 노드클럭과 입력클럭간의 위상차이를 상한과 하한값 사이에서만 변동하게 하여 주는 스태핑동기방식(stuffing synchronization tech-

[†] 정 회 원: 인천대학교 정보통신공학과 부교수
논문접수: 1995년 3월 22일, 심사완료: 1995년 6월 17일

nique)이다. 한번의 위치맞춤과정에서 발생하는 포인터조정지터(또는 스타핑지터)는 Duttweiler [2], Matsuura[3]에 의해 이론적으로 분석되었다. 동기식통신망이 정상적으로 동작하는 non-degraded 모드에서도 동기망의 불완전한 동작으로 인하여 각 노드 클럭들에는 저주파의 위상시간에러가 존재한다. 그러므로 정상적인 모드로 동작하는 통신망에서도 위치맞춤이 행하여지며 여러번의 위치맞춤에 의해 축적되어 증가하는 포인터조정지터는 Moore에 의해 컴퓨터 시뮬레이션에 의한 방법으로 분석되었다[4].

또한 포인터조정 시스템의 하드웨어 시뮬레이터가 제작되어 비정상적으로 동작되는 통신망에서 발생하는 지터가 분석되었다[5]. 본 논문에서는 비정상적으로 동작하는 통신망에서 여러번의 위치맞춤을 거치면서 디지털신호가 전송될때 축적되어 증가되는 지터를 이론적으로 분석하며 컴퓨터 시뮬레이션에 의한 방법으로 연구하여 하드웨어 시뮬레이터에서 측정된 결과와 비교하고자 한다.

2. 포인터조정동기방식

동기식 디지털계위와 각 계위의 전송속도 및 프레임구조는 CCITT 권고안 G.707, 708과 709에 의해 확정 권고되었다[1]. 동기식전송방식에서 사용되는 다중화단계에서 기본요소는 STM-1(Synchronous Transport Module level-1)으로 이의 기본주파수는 155.52 Mbit/s이며 프레임(frame)의 반복주파수는 8 kHz이다. STM-1에 수용되는 신호들은 가상컨테이너(VC: Virtual Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중요소를 거치면서 단계적으로 STM-1 프레임내의 페이로드(payload)에 삽입된다.

다중화장치를 동작시키는 노드클럭과 입력신호의 클럭이 서로 동기되지 아니하면 다중화장치의 버퍼에 데이터를 써넣고 이를 시스템 안으로 읽어 들이는 과정에서 에러가 발생한다. 그러므로 노드클럭과 입력클럭의 위상차가 어떤 한계치보다 크게 되면 그때마다 노드클럭을 한 비트씩 멈추게 하고 그 자리에는 데이터 대신 의미없는

더미(dummy) 비트를 채워 놓음으로써 두 클럭간의 위상차가 어느 한계 내에서만 변하게 해주는 것이 비트스타핑방식이다. 그러나 클럭이 갑자기 멈추게 되면 지터성분이 크게되므로 평활PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게되도록 평활시킨 후 이 평활된 클럭으로 데이터를 읽어내도록 한다. 불연속성으로 인한 큰 크기의 지터는 PLL의 지터전달함수 특성에 따라 필터링(filtering)되므로 클럭에 존재하는 지터의 크기를 작게할 수 있다.

가상컨테이너는 STM-1의 페이로드내에 AU 포인터에 의해 지시되는 위치에 규칙적으로 배열된다. 한 노드(노드 A)에서 신호가 사상된 후 동기식 STM에 다중화되어 다른 노드(노드 B)로 전송된다. 이 전송된 STM에서 VC가 분리되어 다른 STM에 다시 다중화되어 다른 노드(노드 C등)로 전송된다. 비정상적으로 동작하는 동기식통신망에서는 노드 A의 클럭으로 형성된 VC와 이 클럭과 다른 주파수를 가지는 노드 B의 클럭으로 형성된 STM간의 위상차가 계속 증가 또는 감소하게 되므로 동기식다중장치에서는 정/영/부 위치맞춤으로 그 위상차를 보정하여 준다.

정/영/부 위치맞춤은 버퍼에 들어있는 데이터를 읽어내기 위하여 공급되는 노드 B의 클럭(read clock; node multiplex clock) 중 STM의 프레임내에 있는 정위치맞춤 자리(positive justification opportunity)에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 gap이 있는 클럭을 만들어 그 자리에 더미바이트를 삽입하거나(정위치맞춤) 또는 부위치맞춤자리(negative justification opportunity)에 있는 gap 대신 그 자리에 클럭들을 세 바이트씩 생성시켜 그 자리에 데이터를 삽입하여(부위치맞춤) STM 프레임과 VC의 위상차이가 상한과 하한 한계값(upper and lower threshold values) 사이에서만 변동하게 하여주는 방식이다. 이때 STM프레임내에서 계속 변동되는 VC의 시작위치는 위치맞춤에 따라 변화되는 포인터에 의해서 표시되며 이 과정에서 지터가 발생한다.

이와같은 정/영/부 위치맞춤은 매 프레임마다

발생할 수 있는 것이 아니라 최대 매 4번째 프레임마다 발생할 수 있도록 CCITT 권고안 G.709 [1]에서 규정하고 있다. 따라서 발생가능한 최대 위치맞춤의 주파수는 2kHz(8kHz/4)가 된다. 비정상적으로 동작하는 동기식통신망에서 각 노드 클럭의 주파수는 155.52 Mbit/s 보다 4.6 ppm 높거나 낮을 수 있다. 이러한 노드클럭간의 주파수편차는 한번에 24비트씩 보정되는 위치맞춤으로 조정되어야 하므로 실제 위치맞춤이 행하여지는 빈도 대 최대로 위치맞춤이 일어날 수 있는 빈도(1초당 2000번)의 비인 스타핑비는 +0.03에서 -0.03 사이의 값을 가진다.

3. 포인터조정지터의 시뮬레이션

다중화되어 어떤 노드로 전송된 신호는 분리, 재배치되어 다른 신호와 다중화된 후 또 다른 노드로 계속 전송될 수 있다. 이때 각 노드에 있는 포인터조정장치에서 위치맞춤이 행하여지며 이 과정에서 지터가 발생한다. 발생한 지터는 다음 노드에 있는 평활 PLL에 의해 감쇠되며 이 감쇠된 지터가 포함된 클럭이 포인터조정시스템의 입력에 가해진다. 연속적으로 n개 연결된 시스템의 출력에 나타나는 지터는 n-1번째 시스템의 출력에서 발생한 지터와 n-1번째 노드클럭의 주파수 및 n번째 노드클럭의 주파수에만 따라서 결정된다. 동기식통신망에서는 각 노드클럭의 주파수가 거의 같으므로 두 노드클럭의 주파수 편차에 의해 결정되는 스타핑비 Sr가 0 근처의 작은 값을 가진다.

노드클럭의 주파수가 입력클럭의 주파수 보다 조금 높으면 두 클럭간의 위상차는 서서히 일정한 기울기로 증가하며 이 값이 상한계값보다 커지게 되면 정위치맞춤이 발생하여 그 때마다 24비트 위상시간(24UI : 24 Unit Interval : 155.52 Mbit/s 클럭에서 150ns)씩 위상차가 감소하게 된다. 그러므로 이때 발생하는 이상적인 지터는 반복주기가 (1/Sr) (1/2000)sec.인 저주파의 톱니파 모습이 된다. 지터는 스타핑비가 0 근처의 값으로 아주 작은 경우에 더욱 그 반복주기가 큰 저주파의 지터가 되므로 이러한 지터는 평활 PLL로도 감쇠되지 못하여 시스템의 출력에 그

대로 나타난다(worst case jitter).

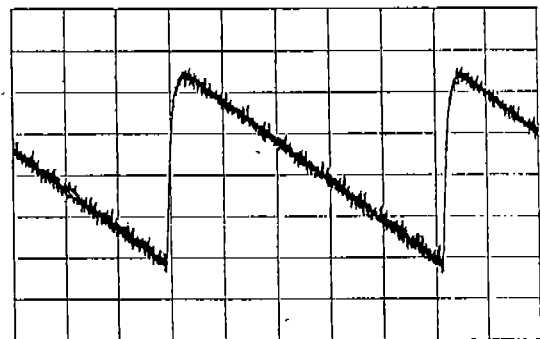
노드클럭의 주파수편차가 최대 4.6ppm으로 큰 경우에는 스타핑비도 0.03의 값을 갖게되며 이러한 지터는 지터전달함수의 3-dB 대역폭이 수백 Hz 정도인 평활 PLL에 의해 톱니파지터의 고조파성분이 감쇠된다.

(그림 1)과 (그림 2)에 두 클럭의 주파수를 허용편차 내에서 변화시킬때 발생하는 지터를 측정 한 것이 도시되었다[5]. 이때 평활PLL의 3-dB대역폭은 500Hz이었으며 (그림 1)에서와 같이 스타핑비가 0.0033으로 작으면 톱니파의 저주파 지터가 관찰된다.



(그림 1) 스타핑비가 0.0033인 시스템에서 발생하는 지터의 측정된 파형
(x축 : 0.0345 s/div.; y축 : 33ns/div.; PLL의 3-dB 대역폭 : 500Hz)

(Fig. 1) Measured jitter waveform in system with stuffing ratio 0.0033



(그림 2) 스타핑비가 0.028인 시스템에서 발생하는 지터의 측정된 파형
(x축 : 0.00345 s/div.; y축 : 33ns/div.; PLL의 3-dB 대역폭 : 500Hz)

(Fig. 2) Measured jitter waveform in system with stuffing ratio 0.028

(그림 2)는 스타핑비가 0.028로 조금 큰 경우에 발생하는 지터의 파형이며 기본주파수가 약 55Hz인 톱니파지터가 500Hz의 대역폭을 가지는 PLL에 의해 그 고조파 성분이 약간 감소된 것이 보인다. 이와 같은 스타핑지터는 Duttweiler [2]에 의해 그 성질이 잘 분석되어 지터의 해석이 용이하나 포인터조정시스템이 연속적으로 연결되었을때 발생하는 스타핑지터는 그 성질이 지금까지 잘 파악되지 못하였다.

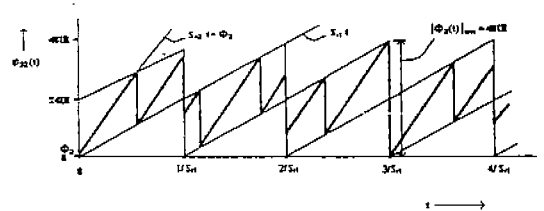
스타핑비가 0근처의 작은값으로 동작하는 포인터조정시스템이 두개 연속적으로 연결되었을 때 두번째 시스템의 출력에 나타나는 지터가 (그림 3)에 도시되었다. 이때 첫번째 시스템에서 정위치맞춤이 행해지며 그 스타핑비를 Sr_1 이라 하면 첫번째 시스템에서 발생하는 지터는 양의 기울기를 가지며 반복주기는 $(1/Sr_1) \cdot (1/2000)$ sec.이며 높이는 24UI인 저주파의 톱니파형이다. 두번째 노드클럭의 주파수가 첫번째 노드클럭의 주파수보다 높으면 두 클럭간의 위상차도 역시 증가하게 된다. 이때 이 크기가 첫번째 시스템에서 발생하는 지터 $\phi_{s1}(t)$ 에 비해서 위상차이가 너무 커져서 상한계값((그림 3)에서 점선)을 초과하게되면 그때마다 정위치맞춤이 발생하여 24UI씩 지터의 크기가 감소 된다. 따라서 두 시스템의 출력에 나타나는 지터의 파형 $\phi_{s2}(t)$ 는 (그림 3)에서 굵은 선으로 표시된 것과 같은 모양이 되며 이 지터는 최대 48UI의 값을 가질수 있다.

여러개 연속적으로 연결된 포인터조정시스템에서 발생하는 지터는 위와 같은 방법을 반복함으로써 발생시킬 수 있다. 각 노드에서 포인터조정(위치맞춤)에 의해 지터가 발생되고 이 지터는 다음 노드에서 PLL에 의해 필터링된 후 이 노드에서 포인터조정이 다시 행해지므로 그 지터의 크기가 계속 증가하게 된다. 노드내 클럭간의 주파수 차이로 인하여 두 클럭간의 위상차가 증가 또는 감소되며, 이 값이 어떤 한계값을 초과하게 되면 정/영/부 포인터조정이 행해지게 된다. 이때 발생하는 지터는 클럭간 위상차의 초기값에 따라서 달라지게 되므로 먼저 uniform random 발생기로 그 초기값을 결정한다.

이때 오직 첫번째와 두번째 노드클럭의 주파수

차이에만 따라서 두번째 시스템에서의 스타핑비 Sr_2 와 지터의 기울기가 결정된다. (그림 3)에서와 같이 지터 $\phi_{s2}(t)$ 는 기울기는 서로 다르나 높이는 24UI로 같은 두 톱니파신호의 합과 같다. 따라서 두 포인터조정시스템의 출력에 나타나는 랜덤한 지터는 0에서 24UI까지의 균일한 확률밀도함수(uniform probability density function)을 가지는 독립적인 두 랜덤변수 ϕ 의 합이 된다. n 개 연속적으로 연결된 시스템에서 발생하는 랜덤 지터 ϕ_n 도 $n=2$ 인 경우와 마찬가지로 n개의 서로 독립적인 랜덤변수 ϕ 의 합으로 표시된다. 연속적으로 연결된 시스템에서는 $S_{r1}, S_{r2}, S_{r3}, \dots, S_{rn}$ 의 크기가 모두 0 근처의 아주 작은 값이고 극성이 모두 같은 경우에 크기가 가장 큰 지터가 발생한다(worst case accumulated jitter). n개 연결된 시스템에서 발생하는 이러한 지터의 variance σ_n^2 (또는 교류성분지터의 평균전력)은 한 시스템에서 발생하는 톱니파형 지터의 평균전력 σ^2 의 n배이다.

$$\sigma_n^2 = n \cdot \sigma^2 = n \cdot (1/12) \cdot (1/155.52 \cdot 1000 \cdot 24)^2 = n \cdot 1985 \text{ [ns}^2\text{]} \quad (1)$$



(그림 3) 스타핑비가 0근처로 동작되는 시스템이 두개 연결되었을때 발생하는 지터
(Fig. 3) Generation of jitter in a chain of 2 systems with stuffing ratio close to 0

발생된 포인터조정지터는 각 노드내에 있는 PLL에 의해 감소된다. 각 노드내에 있는 PLL은 그 댐핑계수가 7정도로 크게 선정되며[6] 이러한 PLL은 1차 저역필터와 같은 지터전달함수를 갖는다. 이와같은 필터링을 impulse-invariant 방법으로 구현한다.

즉 식(2)와 같은 전달함수 $H_n(s)$ 를 갖는 필터에서 입력시간신호와 출력신호의 관계는 z 변환을 이용하여 z영역에서 그 관계를 정리한 후 다시 역변환하여 식(3)과 같은 IIR 필터 모양의

시간적인 차분방정식으로 나타낼 수 있으므로 시간적으로 변화하는 필터링된 출력신호의 컴퓨터의 시뮬레이션을 빠르게 수행할 수 있다.

$$H_a(s) = \frac{A}{s+a} \quad (2)$$

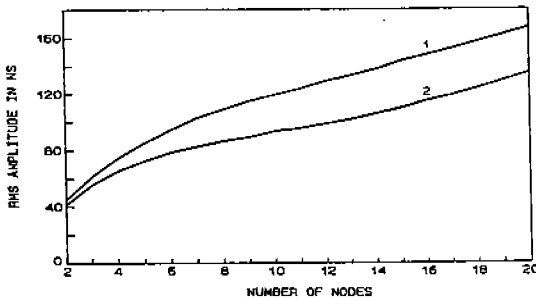
$$y(n) = Ax(n) + e^{-a} y(n-1) \quad (3)$$

포인터조정시스템의 포인터조정가능 시간간격 T는 1/2000sec이며 평활PLL의 3dB 대역폭이 300Hz 일 경우 차분방정식은 식(4)가 된다.

$$y(n) = 1885x(n) + e^{-1885 \frac{1}{2000}} y(n-1) \quad (4)$$

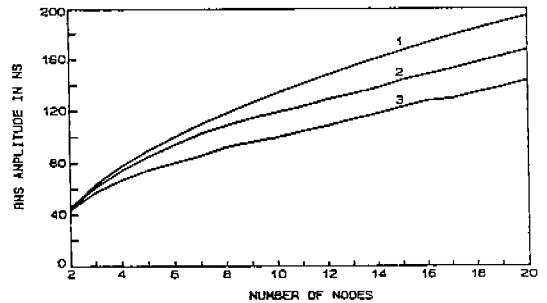
필터의 임펄스응답 $h(t)$ 를 discrete한 응답 $h(nT)$ 로 나타내어 필터의 출력값을 구하는 이와 같은 impulse-invariant 방법은 그러나 필터의 시정수 a 값보다 샘플링 주기 T가 매우 작아야 그 계산 오차를 작게할 수 있다[7]. 더구나 연속적으로 연결된 시스템에서 발생하는 지터를 생성하기 위하여 매 노드마다 필터링과정이 행하여지므로 그 오차가 더욱 커지게 되는 문제점이 있다. 이러한 오차를 작게하기 위하여 linear interpolation을 이용하여 샘플링주기 T사이에 더욱 작은 시간간격으로 50개의 지터값을 추가로 발생시켰다.

이와같은 시뮬레이션 방법으로 스타핑비가 모

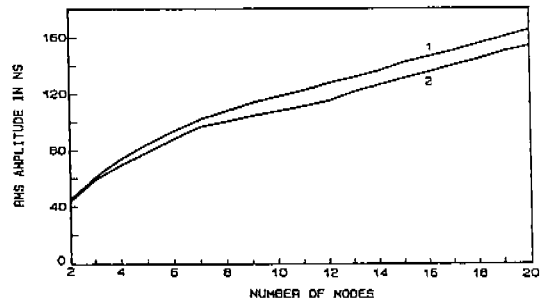


(그림 4) 모든 시스템이 0.01근처의 스타핑비로 동작할때 연결된 시스템의 수에 따라 증가되는 지터의 실효치
(1: PLL의 3-dB대역폭이 300Hz;
2: PLL의 3-dB대역폭이 100Hz인 경우)
(Fig. 4) rms amplitude of jitter as a function of cascade connected systems

두 0.01인 시스템에서 포인터조정이 n번 연속적으로 이루어졌을때 발생하는 지터를 생성한 후에 그 rms값을 계산하여 (그림 4)에 도시하였다. 이때 각 노드내 PLL의 3-dB대역폭은 100Hz 또는 300Hz이다. 연속적으로 연결된 포인터조정 장치에서 나타날 수 있는 worst case의 가장 큰 지터는 스타핑비가 모두 0 근처였을때 발생한다. 이러한 bound값은 이론적으로 식(1)로 계산되었으며 (그림 5)에 곡선 1로 표시되었다. 이와 함께 PLL의 대역폭이 300Hz이며 스타핑비가 0.01 또는 0.02일때 포인터조정의 횟수에 따라 증



(그림 5) 모든 시스템이 0, 0.01, 0.02 근처의 스타핑비로 동작하며 PLL의 3-dB대역폭이 300Hz일때 연결된 시스템의 수에 따라 증가되는 지터의 실효치 (1: 스타핑비가 0 근처일때 식(1)에 의해 계산된 이론적인 bound; 2: 스타핑비가 0.01 근처일때의 컴퓨터 시뮬레이션에 의한 값; 3: 스타핑비가 0.02 근처일때의 컴퓨터 시뮬레이션에 의한 값)
(Fig. 5) rms amplitude of jitter as a function of cascade connected systems



(그림 6) 모든 시스템이 0.01 근처의 스타핑비로 동작하며 PLL의 3-dB대역폭이 300Hz일때 연결된 시스템의 수에 따라 증가되는 지터의 실효치 (1: 컴퓨터 시뮬레이션에 의한 값; 2: 하드웨어 시뮬레이터에서 측정된 값)
(Fig. 6) rms amplitude of jitter as a function of cascade connected systems

가되는 지터의 rms값이 컴퓨터 시뮬레이션에 의한 방법으로 분석되어 역시 (그림 5)에 도시되었다. 컴퓨터 시뮬레이션의 정확도를 확인하기 위하여 모든 시스템의 스타핑비가 0.01 근처로 동작될때 시뮬레이션된 지터의 rms값이 연구[5]의 하드웨어 시뮬레이터에서 측정된 결과와 (그림 6)에 비교되었다.

4. 결 론

화상신호가 SDH 동기식 전송망을 통하여 다중화되어 전송될 때 발생하는 지터에 대하여 연구하였다. 각 노드에서 포인터조정이 매번 행하여지면서 화상신호가 계속 전송되어지면 지터는 축적되어 증가된다. 이 축적되는 포인터조정지터가 컴퓨터 시뮬레이션에 의한 방법으로 분석되었다. 연구결과 스타핑비 0 근처에서 모든시스템이 동작할때 제일 큰 크기의 포인터조정지터 (worst case accumulated jitter)가 발생하였다. 이 지터는 연결된 시스템의 수 \sqrt{n} 에 비례하여 $\sqrt{n} \cdot 44.6\text{ns}$ 의 rms값을 가지는 것이 밝혀졌다. 스타핑비가 0.03쪽으로 접근할수록 또한 평활 PLL의 대역폭이 작을수록 축적되는 지터의 크기는 작아진다. 그러나 이 경우에도 포인터동기장치에서 발생하는 지터는 바이트단위로 위치맞춤이 처리되므로 그 크기가 크다. 그러므로 앞으로 발생하는 지터의 크기를 작게할 수 있는 포인터조정 제어방식에 대한 연구가 자세히 이루어져야 할 것이다.

참 고 문 헌

[1] CCITT revised Recommendation, G.707, G.708, and G.709, 1992.
 [2] Duttweiler D.L., "Waiting Time Jitter", Bell Syst. Tech. J., Vol. 51, pp. 165-207, Jan. 1972.

[3] Matsuura Y., Kozuka S. and Yuki K., "Jitter Characteristics of Pulse Stuffing Synchronization", IEEE Int. Conf. on Commun., pp. 259-264, June 1968.
 [4] Moore T.E., "DS3 Output Jitter Accumulation in Cascaded SONET Islands", Contribution to T1 standards project T1X1.3/91-122, 1991.
 [5] 최승국, 이두복, 김장복, "화상전송을 위한 광대역동기식망에서 발생하는 지터에 관한 연구", 한국통신 연구개발원, 최종보고서, Dec. 1994.
 [6] Shimamura T., Eguchi I., "Analysis of Jitter Accumulation in a Chain of PLL Timing Recovery Circuits", IEEE Trans. Commun., Vol. 25, pp. 1027-1032, Sept. 1977.
 [7] Ludeman L.C., "Fundamentals of Digital Signal Processing," Harper & Row, New York, 1983.



최 승 국

1974년 연세대학교 전자공학과 졸업(학사)
 1981년 연세대학교 대학원 전자공학과(공학석사)
 1988년 독일 Braunschweig 대학교 전자공학과(공학박사)
 1978년~81년 한국전자통신연구소 연구원
 1989년~현재 인천대학교 정보통신공학과 부교수
 관심분야 : 정보통신시스템(디지털전송, 동기)