

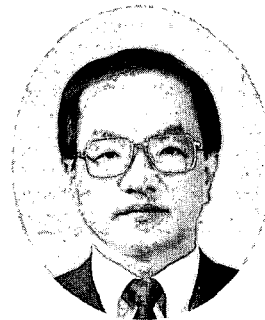
I. 배경

1978년 당시 반도체 업계의 화제는 1M Bit DRAM을 정말로 실현할 수 있을까 하는 것이었다. 가장 큰 의문의 하나는 Lithography기술의 가능여부가 초점이었고, 다음은 MOS Device의 Short Channel 효과를 control할 수 있을까 하는 것이었다.

다. 특히, Moore의 법칙에 따라 2년에 4배의 Pace로 증가한 Memory용량을 실현하는 회로기술 및 미세가공기술의 진보 속도는 가히 경이롭기까지 하였다. 이러한 기술진보는 1970년대 후반에 Memory Cell 기술의 회로방식이 1Transistor-1Capacitor로 바뀌고부터는 좀더 둔화되어 3년에 4배로 변화하였다. 이렇듯 반도체 집적회로 발전의 상징인



차세대 메모리 기술의 전망



김상욱

삼성전자 반도체 기술기획 담당이사

그 시대에서 불과 10년 후에 1M Bit DRAM의 전성기가 도래했고, g선 Lithography가 그 다음 세대까지도 사용되고 LDD구조도 일반화되었다. 이는 정확한 기술예측이 얼마나 어려운가를 암시하기도 하지만 목표가 설정되면 기술의 진보가 어떻게 촉진되는가 하는 점도 크게 시사하고 있다.

1970년 초반에 Intel사에서 처음 상품화된 MOS Memory가 발표된 이래, Memory, 특히 DRAM이 Technology Driver로서 집적회로 기술의 진보에 대한 역할은 실로 크

DRAM은 구조의 단순화 때문에 대용량화, 고집적화에 적합하여 그 응용분야가 Computer 분야뿐만 아니라, 가전분야 등 모든분야에 확대되어 System의 고성능화, 저가격화에 기여해 왔으며, 현재는 64M DRAM 양산이 소규모로 시작되었고 256M DRAM의 시작품이 발표되었다. 한편, 금세기 말이나 2000년대에는 현재의 DRAM Scheme으로서는 극한기술로 정의되고 있는 1G DRAM이 개발될 수 있을 것으로 예상되고 있다.

차세대 반도체로 정의되는 1G DRAM은

- 남한 인구의 약 24배인 Bit수
- 신문지 약 8000 page 분량(국어사전 16권)
- 음성정보 16시간, 정지화상 400매 등의 정보를 손끝위에 올려놓고 사용할 수 있어 SF영화에서만 볼 수 있었던 정보통신 사회가 가능 할 것으로 예상된다. 따라서 본 기고에서는 비약적으로 발전하고 있

1G DRAM의 경우 Design Rule 0.18 μ m, Cell Size는 0.2 μ m², Chip Size는 500mm² 이 될 것으로 예상된다. 상기의 집적도는 머리카락위에 40,000개의 Cell을 실장하는 것으로서 이를위하여 Lithography, Etch, Interconnection, 평탄화 등의 수많은 기술의 융합으로 실현될 수 있는 것으로서 본 기고에서는 Memory Cell과 Process기술로

반도체 집적회로 발전의 상징인 DRAM은 구조의 단순화 때문에 대용량화, 고집적화에 적합하여 그 응용분야가 Computer 분야뿐만 아니라, 가전분야 등 모든분야에 확대되어 System의 고성능화, 저가격화에 기여해 왔으며, 현재는 64M DRAM 양산이 소규모로 시작되었고 256M DRAM의 시작품이 발표되었다. 한편, 금세기 말이나 2000년대에는 현재의 DRAM Scheme으로서는 극한기술로 정의되고 있는 1G DRAM이 개발될 수 있을 것으로 예상되고 있다.

는 반도체 기술의 발전 방향에 대하여 논하고자 한다.

II. 차세대 제품의 Specification

차세대 반도체에 대한 Chip Size, Cell Size, Design Rule 등의 추이는 <표 1>과 같다.

DRAM의 기술진보는 기억용량이 4배 증가함에 따라 Chip Size는 1.5배 커지고 Cell Size는 0.3배, Design Rule은 0.6배 축소되는 경향을 나타내고 있다. 이러한 추세는

구분하여 검토한다.

III. 기술동향

1. Memory Cell 기술

DRAM Memory Cell 구조는 Memory Cell 면적축소에 따라 Capacitor 유효면적이 감소하는 것을 방지하는 방향으로 기술 개발이 이루어졌다. 즉, 1M DRAM까지는 단순 Planar capacitor, 4M DRAM부터 16M DRAM까지는 Stacked/Trench

< 표 1 > DRAM SPEC, TREND (64M~4G DRAM)

집적도	65M	256M	1G	4G
개발연도	1992	1994	1998	2002
Design Rule	0.35 μ m	0.25 μ m	0.18 μ m	0.12 μ m
Device size(mm ²)	200	320	500	700
Cell Area(μ m ²)	1.3	0.5	0.2	0.1
Junction Depth(μ m)	0.25	0.15	0.10	0.08
Isolation	Modified LOCOS	Recessed LOCOS	STI	STI
Gate Oxide 두께 (nm)	10	7	5	4
Capacitor Dielectrics	No	No, Ta ₂ O ₅	Ta ₂ O ₅ Ferroelectric(BST)	Ferroelectric(BST, PZT)
Capacitor Structure	Stack, Trench	Stack, Trench	Stack	Stack

capacitor, 64M DRAM/256M DRAM 세대는 3-D Stacked/Trench capacitor가 개발되었다. 하지만, 복잡한 3-D Stacked/Trench capacitor의 구조는 공정이 복잡하고 적절한 생산성과 Yield 유지에 대한 한계로 1G DRAM에서는 충분한 C_s를 갖는 Planar type capacitor 구조가 필연적일 것으로 보인다. 이를 위하여, 신유전 물질의 개발이 최대관건으로서 현재 가장

유리한 물질로서 100nm 이하의 BST가 검토되고 있다(그림 1, 그림 2 참조)

2 Process 기술

2-1. Lithography

보다 가늘게, 보다 대용량화를 지향하는 미세화의 Key Technology는 노광기술이다. Sub-half micron의 Pattern을 형성할 수 있는 노광기술로서 Excimer Laser에 의한

그림 1. Cell 구조 Trend

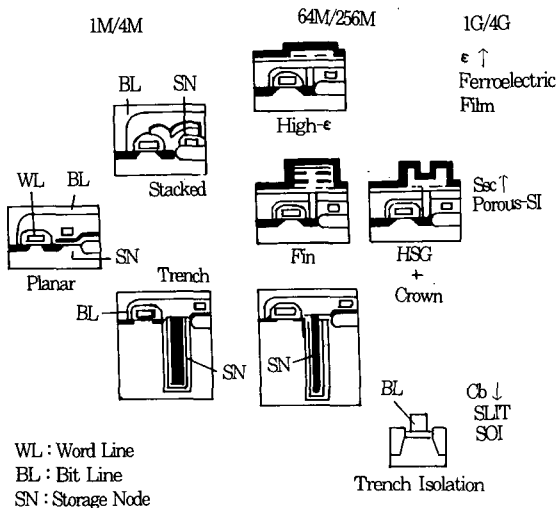
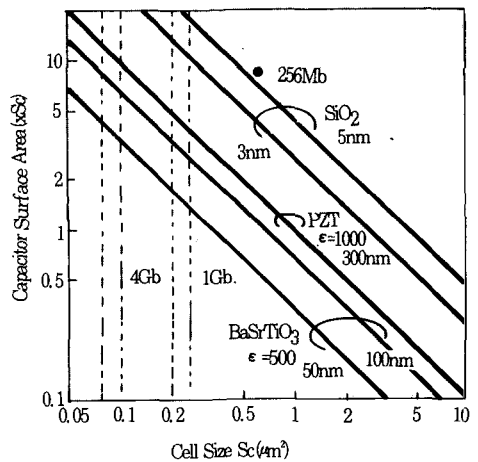


그림 2. Cell Size와 Capacitor Area 비교



DUV 광학 기술과 전자선 직접묘사, Focused Ion Beam Lithography 및 X-ray Lithography 등의 노광기술들이 개발되고 있다. 선두 반도체업체들이 256M DRAM에서 채용한 미세 노광법의 주력은 Excimer Laser stepper이다. KrF(248nm), ArF(193nm) 등의 DUV를 이용해 256M DRAM 이상 패턴을 형성하기 위하여 PSM(Phase Shift Mask, TSI(Top Surface Imaging, OAI(Off Axis Illumination), MLR(Multilayer Resist) 등의 기술이 개발되고 있으며 양산적용을 위한 기술개발이 활발하게 이루어질 것으로 생각된다.

IBM 등 미국 반도체 업체들을 위주로 연구되고 있는 X-ray 노광기술은 40~50nm 범위의 단파장으로 인한 적은 산란, 큰 초점심도(20~30 μ m)의 특성을 갖기 때문에 단층 Resist로도 안정된 공정을 얻을 수 있고 0.02 μ m 이하의 선폭을 얻을 수 있는 장점이 있다. 하지만, X-ray 노광에 적합한 초점 광학계가 개발되지 않았기 때문에 X선 노광은 근접(Proximity)노광방식을 선택해야 하고 Mask 제작의 어려움이 단점으로 지적되고 있다.

전자빔을 이용한 Pattern은 Electron Resist 내의 고분자 사슬들의 화학결합을 전자빔으로 절단시키는 방식으로서 빛의 파장보다 수십~수백배 더 작은 점내에 초점을 맞출 수 있기 때문에 대단히 미세한 구조도 형상화 할 수 있다. 이러한 전자선 직접묘사는 비교적 완속기에 접어든 기술로서 Throughput 향상에 대한 기술보완이 이루어진다면 본 기술의 가능성은 매우 크다고 할 수 있다. 이온빔 노광은 Optical, X선 또는 전자빔노광보다 더 높은 해상도를 얻을 수 있다. 즉, Proximity Effect가 없는 관계로 공간해상도가 매우 좋고 Feature Size가

0.2 μ m 이하로 줄어들 경우 이온빔 노광기술의 중요성은 더욱 부각될 것이다.

2-2. Etching

반도체의 고집적화가 진전됨에 따라 미세 패턴과 고단차의 패턴을 가공할 수 있는 Etch 기술은 매우 중요하다. ULSI의 각 공정은 직경 8" 이상의 대구경 Wafer 위에 0.35 μ m 이하의 미세한 Pattern의 처리가 행해져야 할 필요가 있으며 특히 가능한 한 넓은 범위내에 균일한 미세가공이 필수적인 요소이다. 한편, 전자입자간의 충돌을 감소시켜 고이방성 식각을 이루기 위해 Low Pressure Plasma, Etching Rate를 높이기 위해 High Density Plasma, 고선택비를 위해서는 Low Temperature Etching이 필요하다. 이에 따라 현재 Etching 기술은 Low Temperature, High Density Low Pressure Plasma Etching의 방향으로 나아가고 있다. 이러한 조건을 만족시킬 수 있는 Plasma Source로서 유망한 것들이 ECR, ICP, TCP, HELICON, Helical Resonator 등이 있다. 특히 이 중에서 TCP와 Helical Resonator는 넓은 범위의 균일한 Plasma 형성이 가능하기 때문에 대구경화에 대응할 수 있는 기술로 유망시되고 있다. <표 2>는 각 Plasma Source의 원리를 비교한 것이다.

2-3. Interconnection

고집적화된 ULSI에서 배선기술은 Device의 Chip Size, Device의 속도 및 Yield를 결정짓는 중요한 기술이다. 특히, 고집적화에 따라 Contact Size는 축소됨에 비해 수직방향의 크기는 소자의 3차원화 및 다층배선화로 인해 증가되는 경향을 나타내고 있다. 이에 지금까지 써오던 AI Reflow에 의한 Contact Filling이 어려워지게 되

〈 표 2 〉 신재료 ETCHING 기술 비교

Plasma Source	ECR	TCP	Helical Resonator	HELICON
Company	Hitachi	LRC	AMT	PMT
Basic Principle	Microwaves+ Magnetic field→ Electron Cyclotron Resonance Plasma	Inductively coupling RF Power→ Transmission Coupled Plasma	Inductively Coupling EF Power between Multiple Turn Antenna	Inductively Coupling EF Power between helical antenna
Ion Density	$1 \times 10^{12}/\text{cm}^3$	$0.5 \sim 2 \times 10^{12}/\text{cm}^3$	$1 \times 10^{12}/\text{cm}^3$	$3 \times 10^{12}/\text{cm}^3$
Pressure Range	1~10mTorr	1~25mTorr	0.5~50mTorr	0.5~10mTorr

있고 Step Coverage가 좋은 CVD를 통한 W Plug를 사용하는 방법이 연구되어 지고 있다.

한편, 소자의 속도를 증가시키기 위해 저저항의 배선재료가 요구되고 있는데 저저항 배선재료로서 가장 유망시되고 있는 것은 CVD에 의한 Cu 배선이다. 특히 Cu는 Contact형성에 사용될 수도 있기때문에 배선과 Contact을 함께 형성할 수 있는 장점을 가지고 있다.

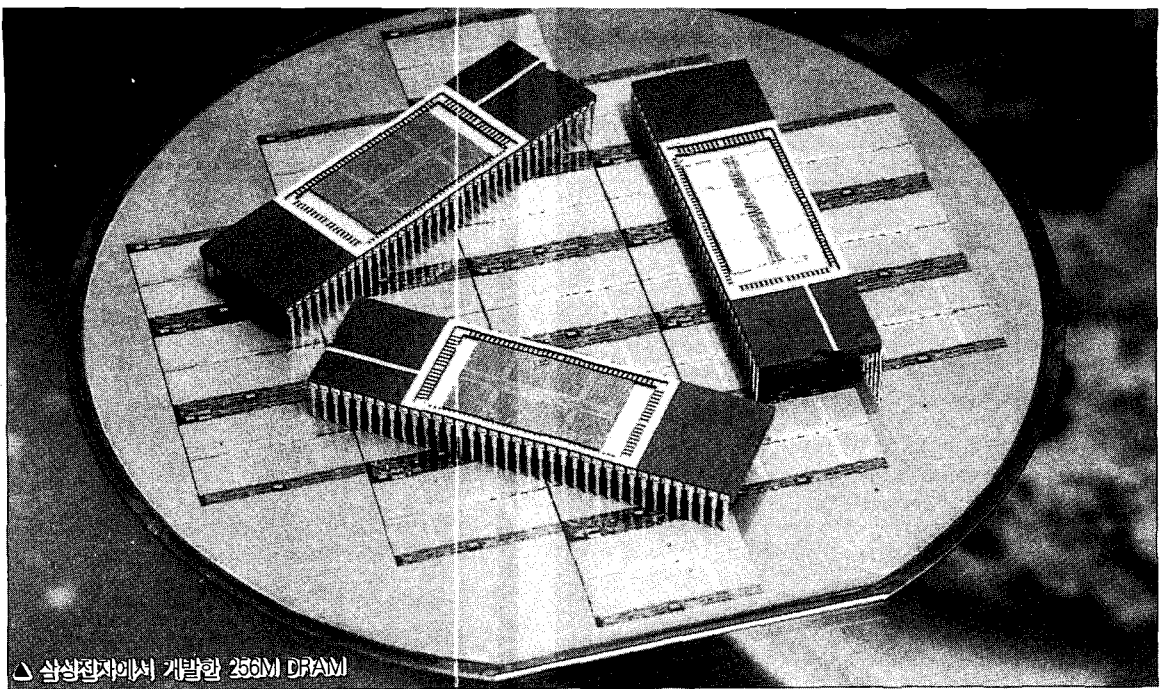
2-4. 평탄화

소자가 고집적화됨에 따라 Cell과 Perigian의 단차가 커져 Photo공정에서 Alignment시 문제가 발생하게 된다. Interlayer Dielectric(ILD)와 Intermetal Dielectric(IMD) 등의 Local Planarization에서는 Low Temperature BPSG Flow, 유기 SOG, 무기 SOG 등이 개발되었고 Global Planarization을 위해서는 CMP (Chemical Mechanical Polishing) 기술에 대한 관심이 집중되고 있다. 이 기술은 다층 배선을 요구하는 Logic제품의 평탄화를 위해 개발되었으며 Memory업계에서는 Trench Isolation과 연관되어 있기 때문에 많은 연구가 진행중이다. 특히, CMP가 실용화 될

경우 DRAM에 사용되는 재료선택의 자유도가 크게 증가해 공정의 단순화를 이룰 수 있기 때문에 차세대 평탄화 기술로서 매우 유망하다.

2-5. SOI

DRAM의 고집적화에 따라 Cell면적이 줄어들지만 Cell Capacitance는 일정량을 유지해야 한다. 이러한 요구로 Cell Capacitor의 형태가 점점 복잡해지고 후속의 공정도 여러가지로 어려워지고 있다. SOI는 이러한 문제를 극복할 수 있는 유망한 기술로서 DRAM에 채용할 경우 소자분리누설전류, Shallow Junction문제가 근본적으로 해결되며, Cell Capacitance를 반으로 줄더라도 Soft Error등의 문제가 발생하지 않는 잇점이 있다. 특히 최근 제안된 Direct Wafer Bonding기술을 이용한 SOI DRAM구조(Buried Capacitor Cell)는 Backend공정에서 Topology에 의한 Issue가 전혀없고, Thermal Budget이나 Overlap Margin측면에서도 매우 유리하여 대부분의 Memory 제조업체들이 1G DRAM이상의 제품에 적용할 것으로 예상된다.



△ 삼성전사에서 개발한 256M DRAM

3. 신개념의 Device

고도 정보사회를 지탱할 컴퓨터와 통신 System기술, 특히 그 기반을 형성하는 실리콘 반도체기술은 기술적인 한계에 도달하고 있다는 목소리가 높아지고 있다. 즉, 기존기술의 연장선상에서는 고도정보사회를 실현하기에는 역부족이라는 인식이 확대되고 있다. 이러한 현상을 타파하기 위하여 새로운 개념의 System과 그것을 구현할 수 있는 새로운 개념의 Device에 대한 기술개발이 활발하게 전개되고 있다. 실리콘 반도체 기술은 서브미크로 가공기술에 의해 2000년 쯤에는 0.1 μ m수준까지 초미세화되어 Gbit DRAM과 현재의 대형컴퓨터를 능가하는 MPU가 실현될 것으로 보인다. 미세화가 진전되면서 직면하게 될 한계는 크게 세가지로 요약할 수 있다.

첫째, Device/회로의 성능 한계이다. CMOS에 의한 집적규모 확대, BIPOLAR Device에 의한 고속화가 진행되었지만, 회로규모와 동작 주파수의 증가에 따라 칩의 소비전력의 증가, 설계의 곤란, PKG 핀수의 증가 등 문제가 발생하여 집적규모와 성능을 제한하게 될 것으로 보인다.

둘째, 설계/TEST 시간의 팽창이다. 설계공수는 LSI 집적규모의 2~3승에 비례하

여 증가하고 고장검출률 향상과 TEST 시간 단축이 곤란하므로, 고집적화의 걸림돌이 될 가능성이 높다.

셋째, Device와 미세가공 기술이 한계에 도달하고 있다. Scaling에 의한 Device Size축소와 불순물 농도 증가에 의한 절연층 내입저하 및 접합의 Tunnelling효과, 소자 정밀도 저하, 전자수 감소에 수반된 Swing 효과에 의한 오동작 등 물리적인 한계에 직면하고 있다. 미세가공기술도 개발단계에서 가공한계를 보이기 시작했고, Wafer와 대구경화에 따른 가공장치의 대규모화 등에 의해 경제성에 문제점을 돌출시키고 있다.

기술개발 단계이지만 한계를 보이기 시작한 실리콘 반도체 기술의 역할을 대신할 다양한 차세대 디바이스 기술이 속속 부각되고 있다. 한편에서는 3차원 실장기술, 냉각기술 등 시스템적 돌파구를 찾으면서, 극박 SOI, 극단 채널, HBT(Heterojunction Bipolar Tr) 등 기존기술 연장선상에서의 보수적인 기술개발이 이루어지고 있지만, 기본적인 한계를 극복할 수는 없다. 차세대 Device가 도전하는 방향은 크게 두가지로 대별할 수 있다. 하나는 실리콘 반도체 미세가공기술의 한계에서 기인한 고집적화/고속화 곤란성을 기존재료나 기술을 융합하여 돌파하려는 방향이고 다른 하나는 새로운

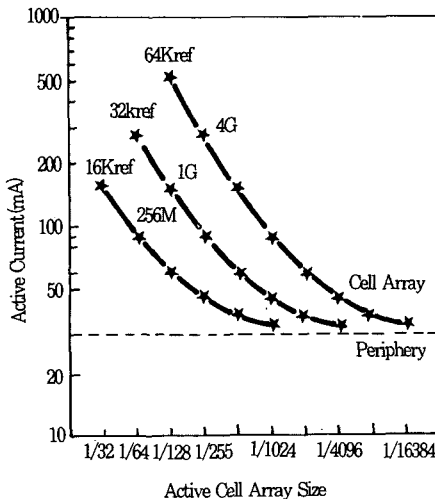
재로나 개념을 실현하는 새로운 Device를 구현하려는 방향이다. 전자의 대표적인 예가 화합물 반도체 Device, 광전자 Device이고, 후자는 초전도 Device, 분자 Device라고 할 수 있다. 기술적인 실현시기로 볼 때 화합물 반도체 Device나 광전자 Device는 2000년 전후, 초전도 Device, 분자 Device는 2010년 이후일 것으로 보인다.

4 설계 기술

4-1. 저 전력/Noise 회로 기술

Gb DRAM의 Chip size는 450mm² 이상이 될 전망이다. 이는 signal line과 power line의 배선길이가 늘어남을 의미하고 이는 동작 margin의 상당한 열화를 가져오게 된다. 즉, (1) 배선 저항때문에 signal delay가 증가하고, (2) Signal line간의 cross talk noise가 증가하며, (3) Power line voltage bounce가 증가한다. 이러한 열화는

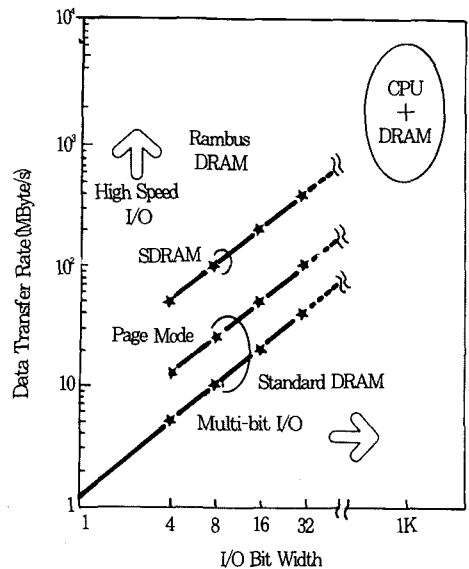
그림 3 Partial cell array activation에 의한 active current 감소



Cell array activation 크기를 줄이고 hierarchical Word Line, Data line 구조를 채택함으로써 극복할 수 있다. Cell array activation 크기를 줄이게 되면 active current, peak operation current가 줄어들게 되어 power line voltage bounce가 억제하여 더 높은 동작 속도를 얻을 수 있게 된다. 한편, Hierarchical W/L과 Data Line 구조를 사용하게 되면 main W/L과 Data Line의 layout pitch를 줄임으로써 배선저항과 배선간 capacitance, 그리고 cross-talk noise가 줄어들어 더 높은 동작 속도와 더 큰 동작 margin을 얻을 수 있게 된다.

Gb DRAM 설계의 또다른 목표는 전지에 의한 동작을 가능케 하는 것이다. 저전압 동작은 저전력을 가능케하여 전지에 의한 동작을 가능하게 해준다. 그러나 storage voltage가 낮아지게 되면 Bit Line

그림 4 High speed DRAM에서의 Data 전송 속도 경향



sense signal(V_s)가 감소되어 동작 margin을 나쁘게 한다. Cell로부터의 V_s 를 최대한으로 유지하면서도 소비전력을 최소화하는데 유망한 설계기술은 Partial cell array activation 기술이다. 이 기술은 Gb DRAM을 위한 저전력, 저 noise 동작을 가능케하는 가장 유망한 기술로 생각되어 지고 있다.

4-2. DRAM의 System화

DRAM performance의 발전은 CPU로 의/로부터의 data 전송 속도에 집중되어 왔다. 그림 4 에서와 같이 전송속도는 I/O bit 폭이 넓을 수록, I/O 동작이 빨라질수록 증가한다. Synchronous DRAM, RAMBUS DRAM, Cached DRAM 등은 100MHz 이상의 속도로 data를 전송시킬 수 있다. 이에 Gb DRAM에서는 이러한 High Bandwidth DRAM의 I/O 설계기술을 채용해 보다 높은 전송속도를 이룰 수 있을 것으로 생각되어 지고 있다. 그러나, 이러한 설계기술도 동작속도 500MHz, I/O bit width 64bit 이상을 달성하기는 불가능하다. 이에 대한 돌파구로서 가장 유망한 것은 CPU를 DRAM chip위에 일체화시키는 것이다.

IV. 결론

차세대 반도체로 불리는 1G DRAM 이상의 DRAM에 적용될 기술은 Lithography, Etch, Capacitor, Tr 등 모든 기술이 극한에 다다랐다고 볼 수 있다. 따라서 단순한 공정기술개발 추진으로는 양산공정에서의 Margin 확보가 어렵고 공정이 복잡해지며, 개발 Cost가 높아져서 개발효과를 기대하기가 어렵다. 따라서 차세대 반도체에

대한 연구개발 방향은

- Gate Dielectrics, Capacitor 유전물질, Cu 등 신물질 개발이 선행되고 이를 통한 Transistor, Capacitor 구조의 단순화, 공정 단순화를 추진하여야 하며
- SOI 등 Transistor 구조의 적극개발을 추진하고
- 고정관념을 뛰어넘는 신개념의 Device 구조의 개발

등이다. 이를 통해서만 DRAM이 지금까지 누려왔던 Technology Driver로서의 역할을 계속할 수 있을 것이다. 한편, 극한에 다다른 기술적 한계를 극복할 수 있는 화합물 반도체, 초전도 소자, 유기고분자 소자 등 신개념 Device의 개발이 동시에 이루어져야 극한 기술경쟁시대에서 생존할 수 있을 것이다.

참고문헌

- (1) T. Sugivayashi, ISSOC 93 Tech. Dig., 50~51.
- (2) G. Kitsukawa, ibid, 48~49
- (3) K. Koyama, IEDM 91 Tech. Dig. 823~826
- (4) K. Shibahara, IEDM 92 Tech. Dig. 275~278
- (5) K. Kimura, ISSOC 91 Tech. Dig. 106~107
- (6) T. Hasegawa, ISSOC 93 Tech. Dig. 46~47
- (7) Y. Takai, Symp. VLSI C'ct Dig., 1993, 59
- (8) N. Kushiya, ibid, 1992, 66
- (9) K. Dosaka, IEEE J. SC. 27(1992) 1534~1539