

論文94-31A-10-21

BiCMOS회로의 고장 분석과 테스트 용이화 설계

(Fault Analysis and Testable Design for BiCMOS Circuits)

徐敬溟,* 李在旼**

(Kyung Ho Seo and Jae Min Lee)

要約

BiCMOS회로는 CMOS기술과 바이폴라 기술이 결합되어 이루어지므로써 기존의 회로 기술과는 다른 고장 특성을 나타낸다. BiCMOS회로내 고장들은 대부분 출력에 논리적으로 애매한 중간값을 나타내게 되며 이러한 고장들을 검출하기 위해서는 전류모니터링 방식이 필요하게 된다. 그런데 전류모니터링은 테스트장치를 구현 하는데 부가하드웨어의 부담이 크고 테스트 응답평가가 논리 모니터링에 비해 어려운 단점을 갖고있다.

본 논문에서는 BiCMOS회로의 고장특성을 분석하고 논리모니터링에 의해 고장을 검출할 수 있는 새로운 테스트 용이화 설계 기법을 제안한다. 또한 BiCMOS회로내 바이폴라 트랜지스터의 개방 및 단락고장에 의한 천 이지연고장을 효과적으로 검출할 수 있는 방법을 제시한다. 제안한 테스트가 용이한 BiCMOS회로 설계방식의 유효성을 SPICE 시뮬레이션을 통하여 확인한다.

Abstract

BiCMOS circuits mixed with CMOS and bipolar technologies show peculiar fault characteristics that are different from those of other technologies. It has been reported that because most of short faults in BiCMOS circuits cause logically intermediate level at outputs, current monitoring method is required to detect these faults. However current monitoring requires additional hardware capabilities in the testing equipment and evaluation of test responses can be more difficult.

In this paper, we analyze the characteristics of faults in BiCMOS circuit together with their test methods and propose a new design technique for testability to detect the faults by logic monitoring. An effective method to detect the transition delay faults induced by performance degradation by the open or short fault of bipolar transistors in BiCMOS circuits is presented. The proposed design-for-testability methods for BiCMOS circuits are confirmed by the SPICE simulation.

*正會員, (主)昌民 테크놀로지 附設研究所
(Chang-Min Technology Research Institute)

**正會員, 關東大學校 電子工學科

(Dept. of Elec. Eng., Kwandong Univ.)

接受日字 : 1994年 5月 21日

I. 서론

반도체 기술의 발전으로 단일칩상의 소자의 갯수가 크게 증가함에 따라 적은 전력소모와 높은 집적도를 갖는 CMOS가 VLSI회로의 대표적인 구성소자로 사용되고 있다. 그런데 CMOS는 부하가 증가함에 따라 회로 지연시간이 급격히 증가하여 전체적으로 동작속도를 저하시키는 단점을 가지고 있다. 이러한 문제를 해결하기 위하여 빠른 동작속도를 요구하는 디지털 시스템에서는 바이폴라소자가 사용되고 있지만 높은 전력소모와 낮은 집적도 때문에 크게 활용되지 못하는 실정이다. 이러한 점을 고려하여 CMOS의 높은 집적도, 저소비전력의 장점과 바이폴라의 빠른 스위칭 동작, 큰 부하구동 능력을 결합시킨 BiCMOS기술이 등장하게 되었다.^[1,2] BiCMOS기술은 기존의 CMOS에 비하여 부하나 온도와 같은 외부요인들의 변화에 덜 민감하고 다양한 외부인터페이스(TTL, CMOS, ECL)가 가능할 뿐 아니라 메모리, 마이크로프로세서, 게이트 어레이 등 다양한 분야에 활용할 수 있어 차세대 VLSI기술로서 널리 사용될 것으로 예상되고 있다.^[3,4]

한편 BiCMOS기술은 복잡한 제조공정으로 인하여 낮은 출하율을 가지므로 BiCMOS 테스트의 필요성이 공급자와 사용자 모두에게 중요한 문제로 대두되고 있다. 디지털 회로의 테스트 기술에 있어서 신호선 stuck-at 고장 모델은 기존의 소자기술에서는 유용하지만 BiCMOS회로의 물리적 고장을 모델링하는데 있어서는 낮은 고장검출률로 인하여 유용하지 못하다.^[5] 또한 BiCMOS회로는 합수부분을 구성하는 CMOS회로와 부하구동부분을 구성하는 바이폴라회로의 결합으로 이루어져 있기 때문에 그 테스트 방법도 기존의 방법보다 훨씬 복잡해진다. BiCMOS의 고장들은 구성 트랜지스터의 각 노드간의 단락(short)고장과 개방(open)고장으로 모델링 될 수 있는데 대다수의 검출이 어려운 고장들은 논리적으로 애매한 출력값을 보이거나 천이 과정에서 지연고장(slow to fall/slow to rise)을 일으키고 논리적으로는 정상처럼 관측되나 전력소모만 증가시키는 등의 동작 특성을 나타낸다.^[6] 이와같은 문제점들을 해결하기 위하여 기존의 연구에서는 테스트 방식으로서 전류모니터링과 지연테스트 방식을 사용하였으나 정확한 전류측정을 위한 테스트장치의 구현에 많은 하드웨어가 요구되며 테스트 응답의 평가가 논리모니터링 방식에 비해 어려운 단점을 갖는다.^[7,8]

본 논문에서는 BiCMOS논리회로의 고장모델과 테스트 특성을 분석하고 고장검출을 향상과 테스트과정

개선을 위해 테스트가 용이한 BiCMOS회로의 설계 방식과 지연고장을 용이하게 검출할 수 있는 테스트 방식을 제안한다. 이 방식은 논리검출이 어려운 중간값을 출력하는 고장과 전력소모에만 영향을 미치고 논리동작은 정상처럼 보이는 고장등을 기존의 전류모니터링 방식 대신 논리모니터링 방식으로 검출할 수 있도록 해준다. 테스트용이도를 향상시키기위해 부가되는 트랜지스터의 수는 회로의 크기와 구조에 상관없이 항상 일정하고 정상동작에 거의 영향을 미치지 않는다.

제안하는 테스트용이화 설계방식을 BiCMOS 복합 게이트에 적용하고 회로 시뮬레이터인 SPICE^[9]를 이용하여 시뮬레이션하므로써 회로동작의 타당성을 보인다.

II. BiCMOS회로의 고장특성

BiCMOS회로는 CMOS와 바이폴라가 동일한 기판 상에서 결합되므로 그 제조공정이 복잡하고 개별적인 디바이스 기술에서 제공되는 고장들로 인하여 기존의 기술방식에서 보다 많은 물리적 고장이 내포될 수 있다. 일반적으로 CMOS에서 고려되는 고장모델로는 1) 단락(gate oxide shorts)고장, 2) 개방(intra-gate breaks)고장, 3) 회로 성능저하(threshold voltage variations)고장등이 있고 바이폴라에는 1) 개방(open connections)고장, 2) 단자단락(short between connections)고장, 3) 디바이스 단락(piped transistors)고장등이 있다.^[10,11]

여기서는 BiCMOS의 회로 레벨 고장모델로서 다음과 같은 것들을 고려한다.

1) 단락 고장; 각 디바이스 단자간의 단락 고장을 가르킨다. 단락된 고장의 시뮬레이션에서는 이를 저항성 접촉으로 취급하고 그 저항 성분 값은 결합의 정도에 의존하지만 여기서는 수 옴(ohm)미만의 강한 고장으로 제한한다.

2) 개방 고장 ; 각 디바이스 단자가 개방된 고장을 가르키고 시뮬레이션을 위한 모델로는 단자와 디바이스 사이에 수십메가 옴 이상의 저항을 삽입한다.

또한 BiCMOS회로에 단일고장(single fault)이 발생하는 경우만을 고려한다.

그림 1은 논리함수 $F=A'(B'+C')$ 를 3입력 복합 BiCMOS회로로 구현한 것이다.

고장 특성의 분석을 위해 그림 1의 3입력 복합 BiCMOS 회로에 대해 시뮬레이션을 행하였다. 회로에서 발생 가능한 모든 고장에 대한 특성을 표 1에 나타내었다. 각 고장기호의 의미는 'M1sDS'의 경우

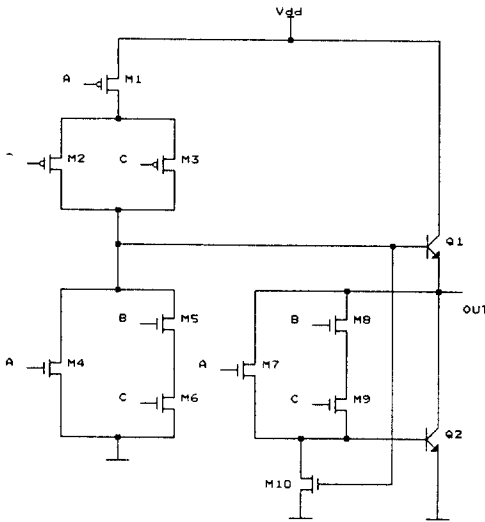


그림 1. 3입력 복합 BiCMOS회로
Fig. 1. A complex 3 input BiCMOS circuit.

표 1. BiCMOS회로의 고장 특성
Table 1. Fault characteristics for the BiCMOS circuit of figure 1.

고장 특성	테스트 대상 고장
Stuck-at	I/P A s-a-1 : M1sGS O/P s-a-0 : Q2sCB, Q2sCE, M10sGD I/P A s-a-0 : M4sGS I/P C s-a-0 : M6sGS O/P s-a-1 : Q1sCB, Q1sCE
Stuck-open	M1opG, M1opS, M1opD, M2opG, M2opS, M2opD, M3opG, M3opS, M3opD, M7opG, M7opS, M7opD, M8opG, M8opS, M8opD, M9opG, M9opS, M9opD, Q1opB, Q1opE, Q2opB, Q2opE, M10sGS
파라메트릭	M1sDS, M1sGD, M2sGD, M2sDS, M2sGS, M3sGD, M3sDS, M3sGS, M4sGD, M4sDS, M5sGD, M5sDS, M5sGS, M6sGD, M6sDS, M7sGD, M7sDS, M7sGS, M8sGD, M8sDS, M8sGS, M9sGD, M9sDS, M9sGS
Delay	STF : M4opG, M4opS, M4opD, M5opG, M5opS, M5opD, M6opG, M6opS, M6opD, Q2opC, M10sDS, Q2sBE STR : M10opG, M10opS, M10opD, Q1opC, Q1sBE

M1은 트랜지스터의 번호를, 소문자 s는 단락고장, 개방고장일 경우 소문자 op를, 마지막 DS는 드레인 과 소오스의 단락을 말하고 개방일 경우는 단자 1개 만 표시한다. 고장들은 몇가지로 분류될 수 있는데 입력의 stuck-at-1/0, 출력의 stuck-at-1/0, 출력의 stuck-open 등으로 모델링되는 논리적 고장과 논리적으로 결정할 수 없는 애매한 출력전압을 갖거나

거의 정상 논리값을 갖으나 전력소모만 증가시키는 파라메트릭 고장(parametric fault) 그리고 출력의 천이 상승시간을 증가시키거나(slow-to-rise) 출력의 천이 하강시간을 증가시키는(slow-to-fall) 지연고장 등으로 해서 표 1에서는 이를 각각 STR와 STF로서 표현하였다. 이 고장들 중 검출이 어려운 파라메트릭 고장들은 주로 단락고장들인데 그 대표적인 고장들을 살펴보면 다음과 같다.

M1sDS의 고장은 입력 (A,B,C)=(1,0,0)를 인가할 때 그림 2의 CMOS부분의 NMOS 부분과 PMOS 부분의 경로를 모두 개방하게 된다. 따라서 출력에는 논리적으로 애매한 중간값이 출력되고 회로내에는 과도한 전류가 흐르게 된다. 그림 2는 그림 1의 회로에 입력 (A,B,C)=(1,0,0)를 인가했을 때 고장출력과 정상출력을 비교한 것이다.

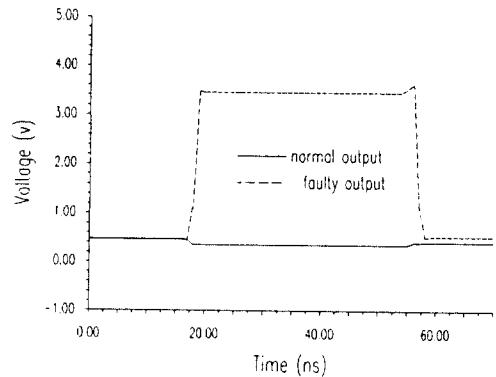


그림 2. M1sDS고장에 대한 회로시뮬레이션 결과
Fig. 2. Simulation result for the fault M1sDs.

M2sGD고장은 입력 (A,B,C)=(1,1,0)를 인가할 경우 Q1의 베이스와 입력 B가 단락된 것으로서 정상일 경우 Q1을 동작시키지 않으나 고장일 경우 B의 입력 신호선으로부터 Q1 베이스로 경로가 형성되어 Q1이 동작하게 된다. 이로 인해 풀업(pull-up)경로와 풀다운(pull-down)경로가 모두 형성되어 회로내에는 과도한 전류가 흐르고 출력에는 애매한 논리값이 출력된다. 그림 3은 그림 1의 회로에 입력(A,B,C)=(1,1,0) 인가했을 때 고장출력과 정상출력을 비교한 것이다.

M5sDS의 고장은 입력 (A,B,C)=(0,0,1)를 인가할 경우 함수 부분인 CMOS부분의 PMOS부분과 NMOS부분의 경로가 모두 열리고 우측 하단의 NMOS부분은 끊긴다. 그러나 드라이브단에서는 Q1만 동작하여 논리적으로는 거의 정상동작처럼 출력되

어 논리검출이 어려워지고 회로내에 비정상 전류가 흐르게 된다. 그림 4는 그림 1의 회로에 입력 (A,B,C)=(0,0,1) 인가시 고장출력과 정상출력을 비교한 것이다.

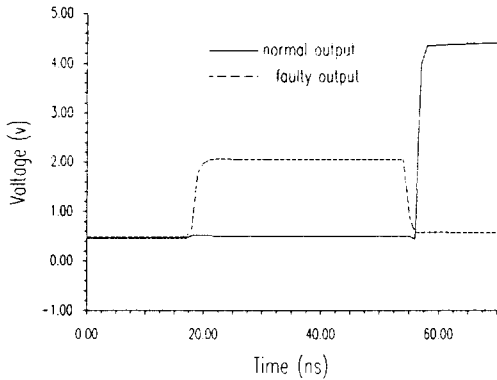


그림 3. M2sGD고장에 대한 회로 시뮬레이션결과
Fig. 3. Simulation result for the fault M2sGD.

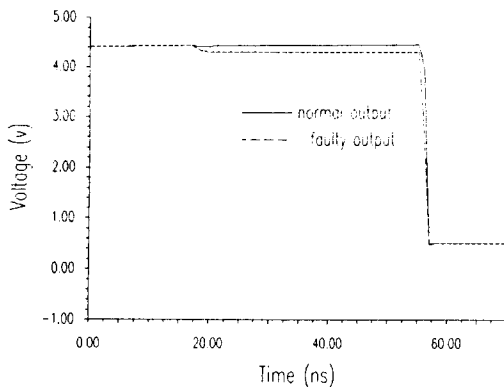


그림 4. M5sDs고장에 대한 회로 시뮬레이션결과
Fig. 4. Simulation result for the fault M5sDs.

나머지 대부분의 파라메트릭 고장도 앞의 고장의 경우와 유사한 특성을 갖는다. 지연고장들은 대부분의 개방고장과 몇몇 단락고장들이 그 원인인데 바이폴라 트랜지스터의 동작에 영향을 주어 부하구동 능력을 떨어뜨린다. Q1opC고장은 Q1트랜지스터의 콜렉터를 개방하여 베이스-에미터 순방향 다이오드의 기능만 하게 되므로 출력은 상승지연의 고장형태로 나타난다. 그림 5는 그림 1의 회로에 입력 (A,B,C)=(0,0,0) 인가시 고장출력과 정상출력을 비교한 것이다.

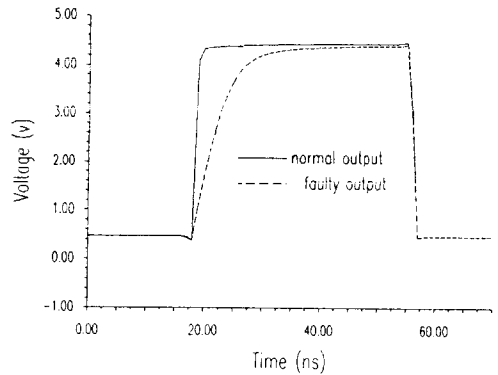


그림 5. Q1opC고장에 대한 회로시뮬레이션결과
Fig. 5. Simulation result for the fault Q1opC.

다른 개방고장과 단락고장들도 이와 유사한 특성을 보이며 표 1에 같은 특성의 고장들을 분류하여 나타내었다.

이 고장들을 테스트하기 위하여 기존의 연구에서는 stuck-at 고장 테스트, stuck-open 고장 테스트, 파라메트릭 고장을 위한 전류모니터링 테스트(Iddq test) 그리고 천이 지연 고장을 위한 지연테스트 등 다양한 테스트기법을 사용해야만 하였으며 [12,13,14] 이로 인하여 테스트 절차가 복잡해지고 논리모니터링보다 테스트 응답평가가 어려운 전류모니터링과 지연테스트를 해야하기 때문에 테스트의 복잡도와 함께 테스트비용이 증가한다.

III장에서는 이러한 문제점을 해결하기 위하여 논리검출이 어려운 파라메트릭 고장을 논리모니터링 방식으로 검출할 수 있는 새로운 테스트용이화 설계방식을 제안하고 천이 지연고장을 용이하게 테스트하는 효과적인 방법을 제시한다.

III. BiCMOS 회로의 검사용이화 설계

1. 테스트가 용이한 BiCMOS회로

그림 6은 그림 1의 3입력 복합 BiCMOS회로를 테스트가 용이하도록 설계한 것으로서 전류 모니터링에 의해 검출 가능하던 파라메트릭 고장이 논리모니터링으로 검출 가능하게 된다.

3개의 부가 트랜지스터 A1, A2, A3가 CMOS함수부분에 삽입되어 테스트 동작시 풀업 경로와 풀다운 경로를 각각 차단하고 1개의 트랜지스터가 드라이브단의 바이폴라 트랜지스터의 베이스와 에미터 사이에 연결되어 CMOS함수부분의 NMOS회로 단락고장을 주출력으로 전파하는 기능을 갖는다. 4개의 부가

트랜지스터의 갯수는 회로의 크기와 구조에 상관없이 일정하며 테스트를 위해 부가되는 제어입력의 갯수도 CT1, CT2 2개로 항상 일정하다. 왜냐하면 제안한 회로에서는 논리함수가 달라진다 하더라도 CMOS의 논리구조만 변할 뿐 BiCMOS회로의 기본 전류경로를 바꾸지 않기 때문이다.

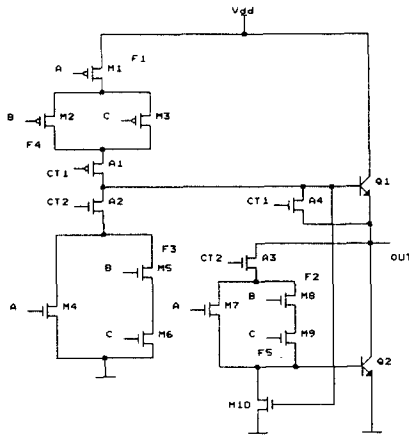


그림 6. 테스트가 용이한 BiCMOS회로
Fig. 6. A testable BiCMOS circuit.

CMOS의 함수부분 트랜지스터의 단락고장은 출력에 논리적으로 애매한 중간값을 나타낸다. 그러나 부가된 트랜지스터 A1, A2, A3에 의해 Vdd와 Vss로부터 출력으로 이어지는 경로를 차단하여 테스트 동작시 논리검출이 가능하게 된다. 또한 A4트랜지스터는 좌측 하단의 단락고장 검출시 Q1트랜지스터의 베이스 - 에미터 PN 접합으로 인하여 논리값 0의 전파가 어려워진다. 그러나 NMOS트랜지스터 A4를 Q1트랜지스터의 베이스 - 에미터 양단에 삽입하여 A4트랜지스터가 on될 수 있도록 입력에 1을 주면 논리값 0을 전파할 수 있다. 이때 풀업경로가 차단되어야 하므로 A1트랜지스터가 off될 수 있도록 A4의 입력과 동일하게 1을 준다. 정상동작시 A4트랜지스터는 Q1트랜지스터에 영향이 없도록 off되어야 하고 A1은 on되어야 하므로 입력에 동일하게 0을 인가해야 한다. 따라서 A1과 A4는 동일입력 CT1을 함께 사용할 수 있다. 정상 동작시 CT1과 CT2에는 각각 0과 1을 인가하며 부가된 트랜지스터들은 BiCMOS의 정상 동작에 거의 영향을 주지 않는다. 제어입력의 기능은 표 2와 같다. 가장한 고장들 가운데 기존의 방식에서 전류모니터링을 필요로 하는 고장들은 제안한 검사용이화 설계방식에서는 테스트 모드시 동작특성에 따라 표 3과 같이 분류할 수 있다. 분류된 고장 중 대표적인 표본고장을 그림 6에 표시하였다.

표 2. 제어입력의 기능

Table 2. Functions of control inputs.

제어 입력		기능
CT1	CT2	
0	0	주출력에서 V _{dd} 로 이어지는 경로 활성화 및 주출력에서 V _{ss} 로 이어지는 경로 차단
0	1	정상 동작
1	0	주출력에서 V _{dd} 로 이어지는 경로 차단, 주출력에서 V _{ss} 로 이어지는 경로 차단 및 Q1 트랜지스터 베이스 - 에미터 단락
1	1	주출력에서 V _{dd} 로 이어지는 경로 차단, 주출력에서 V _{ss} 로 이어지는 경로 활성화 및 Q1 트랜지스터 베이스 - 에미터 단락

표 3. 테스트모드의 특성별 고장

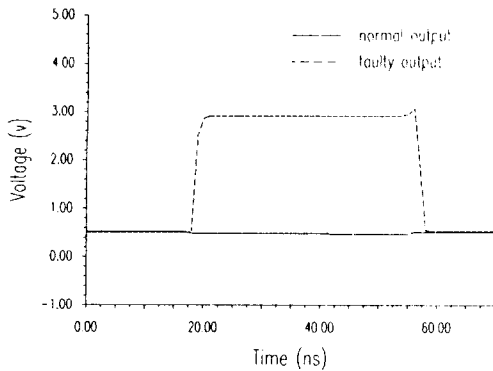
Table 3. Faults groups classified by characteristics.

테스트 모드의 특성별 표본고장	유사특성의 고장
F1(M1sDS)	M2sDS, M3sDS, A1sDS
F2(M7sDS)	M8sDS, M9sDS, A3sDS
F3(M4sDS)	M5sDS, M6sDS, A2sDS
F4(M2sGD)	M1sGD, M3sGD, A3sGS, A4sGS
F5(M8sGS)	M7sGS, M9sGS
F6(M5sGD)	M4sGD, M6sGD, M7sGD, M8sGD, M9sGD, A2sGD, A3sGD
F7(M3sGS)	M2sGS, M5sGS, A2sGS

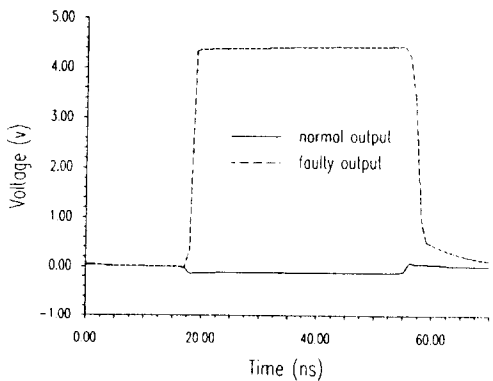
그림 6에서 M1 트랜지스터의 드레인 - 소오스 단락고장인 F1를 고려하자. 그림 8의 (a)는 기본 BiCMOS회로에 대해서 입력에 (A, B, C) = (1, 0, 0)을 인가했을때 고장회로와 정상회로의 시물레이션 결과를 비교한 것이다. 그림에서 정상회로의 출력은 논

리 0값을 갖게 되나 고장회로의 출력은 불완전한 논리값을 갖게 되어 고장의 논리모니터링 방식으로서의 검출이 어려워진다. 그러나 제안한 테스트가 용이한 BiCMOS회로에 테스트 패턴 $\{T1(A,B,C,CT1,CT2) T2(A,B,C,CT1,CT2)\} = \{(0,1,1,1,1) (1,0,0,0,0)\}$ 를 인가하면 고장 F1을 검출할 수 있다. 회로가 정상일때 테스트 패턴 T1을 인가하면 CT1과 CT2가 (1,1)이므로 부가 트랜지스터 A1은 off되고 A2, A3, A4트랜지스터는 on되어 풀다운 경로만 활성화되고 입력 (A,B,C)도 (0,1,1)로서 M5, M6, M8, M9트랜지스터가 on되어 회로의 출력은 A4, A2, M5, M6, Vss로 이어지는 경로가 형성되며 A3, M8, M9트랜지스터로 이어지는 경로가 Q2 트랜지스터의 베이스에 전류를 공급해 출력은 논리 0값을 갖는다. 테스트패턴 T2에서 CT1과 CT2가 (0,0)이므로 A1트랜지스터는 on되고 A2, A3, A4트랜지스터는 off되어 풀업경로가 활성화 되고 풀다운 경로는 차단되나 입력 (A,B,C)도 (1,0,0)이므로 M1트

랜지스터가 off되어 풀업경로도 차단된다. 따라서 출력은 고 임피던스 상태가 되어 부하 캐패시턴스에 축적되어 있던 논리 0값을 그대로 유지한다. 회로가 고장일 경우 테스트 패턴 T1을 인가하면 정상일 경우와 같은 동작으로 출력은 논리 0값을 갖는다. 테스트패턴 T2를 인가하면 CT1과 CT2가 (0,0)이므로 풀다운 경로는 차단되고 풀업경로는 활성화 된다. 그리고 F1고장에 의하여 M1트랜지스터가 입력값에 관계없이 항상 on되어 있는 것과 같이 동작하므로 Vdd, M1, M2, M3, A1트랜지스터로 이어지는 경로를 통해 Q1의 베이스에 전류가 공급되어 출력은 논리 1을 갖게 된다. 따라서 주어진 테스트 패턴 T1, T2에 의하여 정상일때 0을 갖고 고장일때 1을 갖으므로 고장이 검출된다. 그림 7의 (b)는 고장회로과 정상회로의 시뮬레이션 결과를 비교한 것이다. 제안한 설계 방식에 의하여 그림 7의 (b)와 같이 정상회로와 고장회로의 출력이 서로 충분한 논리값을 나타내므로 고장의 논리검출이 가능하게 된다. 표 3의 유사 특성의 고장도 같은 원리로 검출할 수 있다.



(a) 일반 BiCMOS회로의 경우



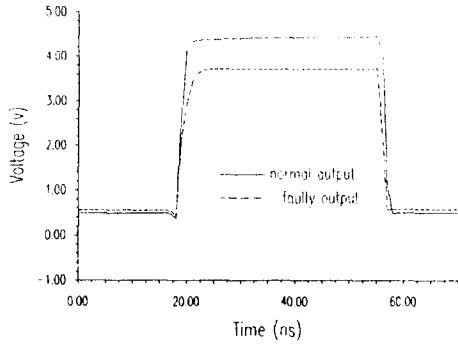
(b) 제안한 테스트가 용이한 BiCMOS회로의 경우

그림 7. F1 고장에 대한 회로시뮬레이션결과
Fig. 7. Simulation result for the fault F1.

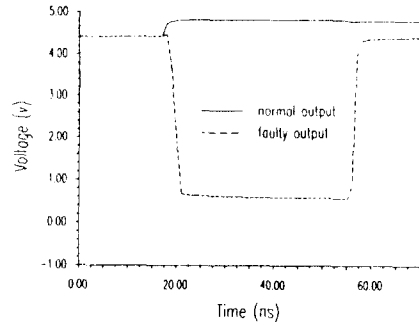
표 4. 표3의 특성별 고장을 위한 테스트 패턴
Table 4. Test patterns for the faults groups of table 3.

테스트 모드의 특성별 표본고장	테스트 패턴 {T1(A,B,C,CT1,CT2), T2(A,B,C,CT1,CT2)}
F1	{{(0,1,1,1,1),(1,0,0,0,0)}
F2	{{(0,0,0,0,0),(0,0,0,1,1)}
F3	{{(0,0,0,0,0),(0,0,0,1,1)}
F4	{{(1,0,1,0,1),(1,1,0,0,0)}
F5	{{(0,0,0,0,0),(0,1,1,1,0)}
F6	{{(0,0,0,0,0),(0,0,0,1,1)}
F7	{{(0,0,1,0,1),(0,1,0,1,1)}

표 4에 표3의 테스트 모드의 특성별 표본고장을 검출하기 위한 테스트 패턴들을 제시하였다. 제안한 설계 방식에서는 각 테스트패턴들을 사용하여 F1고장의 경우와 마찬가지로 F2 ~ F7의 고장들을 논리모니터링 방식으로 검출할 수 있다. 각 고장 발생 시의 테스트 동작을 확인하기 위하여 일반 BiCMOS회로와 제안한 테스트가 용이한 BiCMOS회로에 대해 시뮬레이션을

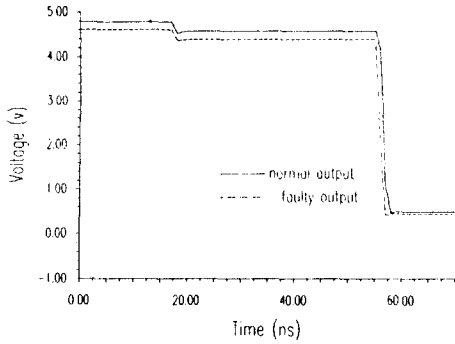


(a) 일반 BiCMOS회로의 경우

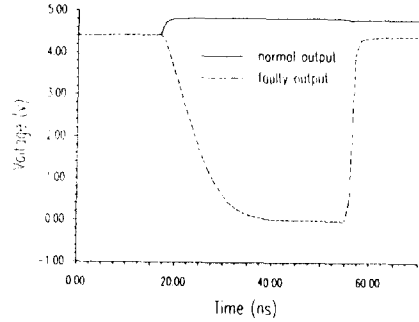


(b) 제한한 테스트가 용이한 BiCMOS회로의 경우

그림 8. F2 고장에 대한 회로시뮬레이션결과
Fig. 8. Simulation result for the fault F2.

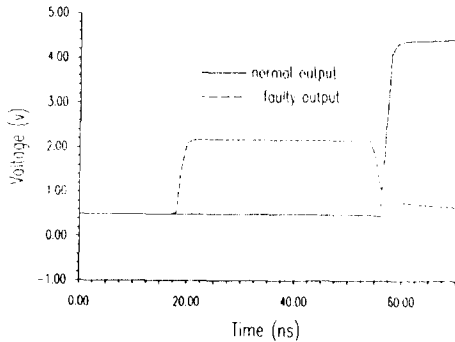


(a) 일반 BiCMOS회로의 경우

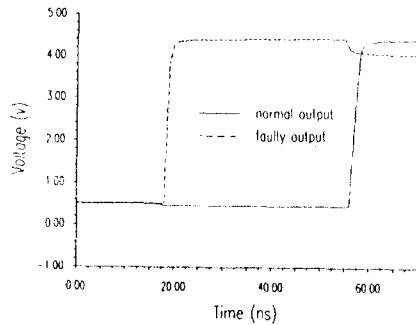


(b) 제한한 테스트가 용이한 BiCMOS회로의 경우

그림 9. F3 고장에 대한 회로시뮬레이션결과
Fig. 9. Simulation result for the fault F3.

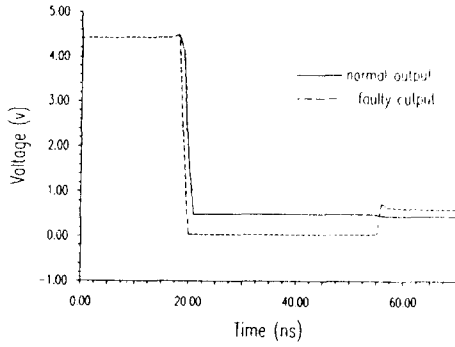


(a) 일반 BiCMOS회로의 경우

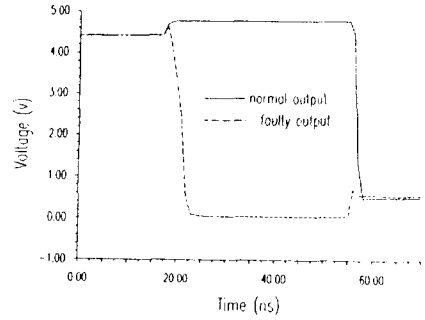


(b) 제한한 테스트가 용이한 BiCMOS회로의 경우

그림 10. F4 고장에 대한 회로시뮬레이션결과
Fig. 10. Simulation result for the fault F4.



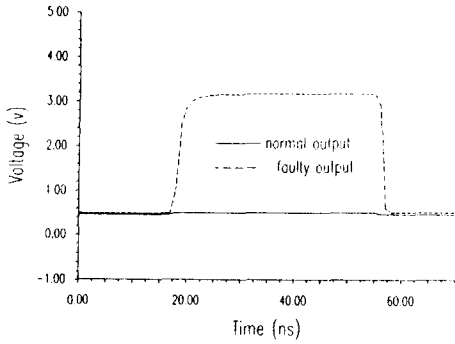
(a) 일반 BiCMOS회로의 경우



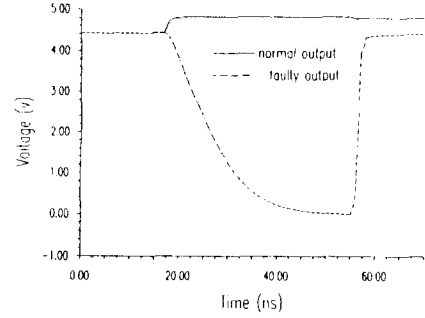
(b) 제안한 테스트가 용이한 BiCMOS회로의 경우

그림 11. F5 고장에 대한 회로시뮬레이션결과

Fig. 11. Simulation result for the fault F5.



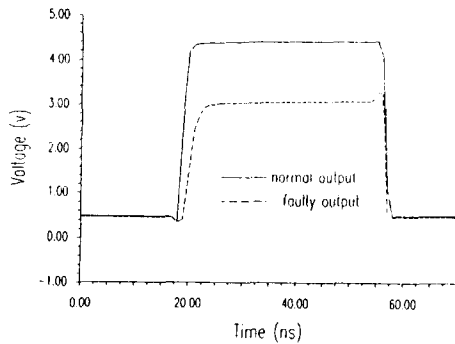
(a) 일반 BiCMOS회로의 경우



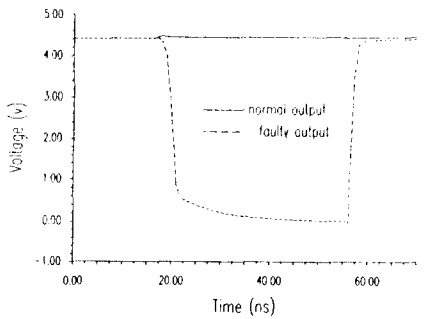
(b) 제안한 테스트가 용이한 BiCMOS회로의 경우

그림 12. F6 고장에 대한 회로시뮬레이션결과

Fig. 12. Simulation result for the fault F6.



(a) 일반 BiCMOS회로의 경우



(b) 제안한 테스트가 용이한 BiCMOS회로의 경우

그림 13. F7 고장에 대한 회로시뮬레이션결과

Fig. 13. Simulation result for the fault F7.

행하고 그 결과를 그림 8 ~ 그림 13에 나타내었다.

테스트 용이성을 향상시키기 위해 사용한 부가 트랜지스터에 고장이 발생하는 경우 이의 검출이 필요하다. 고려해야할 고장은 부가 트랜지스터 A1, A2, A3, A4의 단락 및 개방 고장들이다. 각각의 고장중 파라메트릭 고장들은 표 3에서와 같이 각 표본고장들과 유사한 특성을 갖고 그 검출방식도 유사하다. A1sGS, A1sGD, A4sGD는 출력의 stuck-at-0 고장과 등가이고 나머지 개방고장과 일부 단락고장은 천이지연고장의 형태로 나타난다. 부가회로의 고장들 가운데 A4트랜지스터의 각 단자 개방고장은 제안한 방식에서는 검출할 수 없는데 이는 고장 발생시 부가 트랜지스터 A4를 연결하지 않은 것과 같으므로 제안한 검사용이화 설계방식의 기능을 발휘하지 못하게 된다. 그러나 회로에 발생가능한 고장을 단일고장으로 가정하였으므로 회로의 정상동작에는 필요치 않은 부가회로인 A4트랜지스터의 개방고장이 발생하더라도 회로의 다른 부분들은 모두 정상이므로 회로는 정상적으로 동작하게 된다.

2. 천이지연고장의 테스트 기법

표 1 에서 고찰된 대부분의 개방고장과 몇몇 단락고장들은 천이지연고장의 형태로 나타난다. 이러한 고장들은 BiCMOS의 구조에서 드라이브단인 바이폴라의 부하구동능력을 저해하는 원인이 된다. 따라서 논리동작은 거의 정상으로 보이나 slow-to-fall 또는 slow-to-rise 형태의 천이지연 고장으로 나타나 정상 출력과 고장출력을 관측하는데 어려움이 따른다.

그림 14는 천이지연 고장을 용이하게 검출하기 위한 테스트 방법을 나타낸 것이다. 부하구동 능력을 저하시키는 천이지연 고장을 고려하여 CUT(테스트 대상 회로)의 출력과 ATE(자동 테스트 장치) 사이에 부하구동 임계치를 갖는 용량성 부하를 부가하여 지연시간의 증가를 가져오게 하므로써 테스트 응답 평가시 논리모니터링방식에의해 stuck-at 고장이나 stuck-open고장을 검출하는 것과 같이 고장을 테스트할 수 있게 된다. 그림 15는 제안하는 테스트방식을 Q1트랜지스터의 베이스 - 에미터 단락고장에 적용하여 시뮬레이션한 결과이다. Q1트랜지스터의 베이스 - 에미터 단락고장은 Q1트랜지스터의 구동능력을 저하시켜 논리 1 출력시 천이지연 고장을 일으킨다. 그림 15 (a)는 기본 방식에서 논리 1 출력시 정상출력과 고장출력의 시뮬레이션 결과를 비교한 것이다. 그림에서 보듯이 지연고장에 의한 출력은 논리모니터링 방식의 검출을 위한 테스트응답 평가시 정상출력과의 시간간격이 미소하므로 이의 관측이 어렵다.

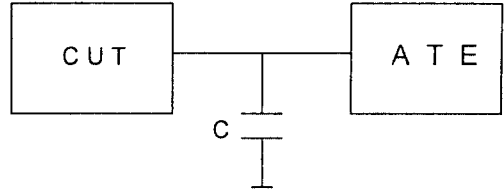
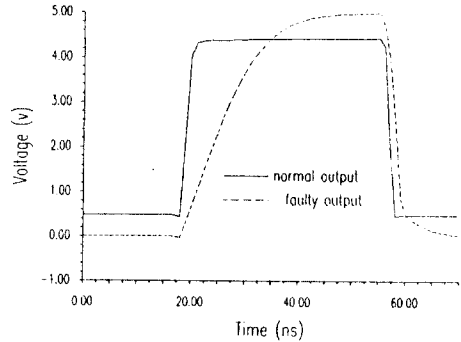
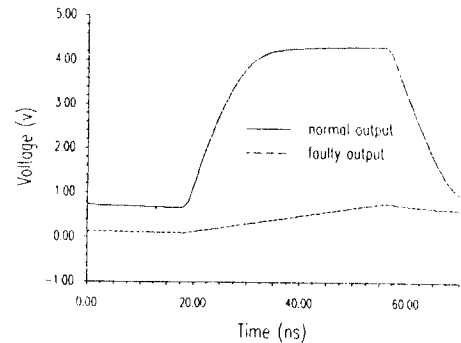


그림 14. 천이지연고장 검출을 위한 방법
Fig. 14. A method to detect transition delay faults.

그러나 제안한 방식으로 테스트를 하는 경우 그림 15 (b)와 같이 정상회로와 고장회로의 출력이 충분한 시간동안 보수의 논리값을 출력하므로 고장의 확인이 용이해진다. 회로내 유사한 다른 천이 지연 고장들도 같은 방식으로 검출 가능하다.



(a) 기본방식의 경우



(b) 제한한 방식을 적용한 경우

그림 15. 천이지연고장에 대한 시뮬레이션결과
Fig. 15. Simulation result for a transition delay fault.

3. BiCMOS회로의 테스트링 방식

BiCMOS회로에서 고려 할 수 있는 고장들로서는 stuck-at 고장, stuck-open고장, 파라메트릭 고장, 천이지연고장이 있으며 이러한 고장들을 검출하기 위해서는 stuck-at 고장의 경우 단일 테스트 패턴을 이용한 논리모니터링 방식이 사용된다. 테스트패턴 생성을 위해서는 기존의 테스트패턴 생성기인 PODEM, FAN등을 이용할 수 있다. stuck-open 고장의 경우 CMOS에서와 마찬가지로 출력단이 고임피던스상태가 되어 순서회로처럼 동작하게 되므로 초기화패턴 및 테스트패턴이 조합된 테스트 시퀀스가 필요하게 되며 이를 이용하여 논리 모니터링 방법으로 테스트할 수 있다. 파라메트릭 고장의 경우 기존의 설계방식에서는 고장이 발생하면 테스트 패턴을 인가하더라도 출력에서 충분한 논리값을 얻을 수 없으므로 적절한 테스트 패턴과 함께 전류 모니터링 방식이 반드시 필요하게 된다. 이는 기존의 바이폴라나 NMOS소자를 사용하여 설계한 회로의 테스트를 위해 논리 모니터링 방식만을 필요로 하는것과 비교하면 전류 모니터링을 위한 테스트 장치의 하드웨어 부담이 초래된다. 그러나 제안한 테스트가 용이한 BiCMOS에서는 이러한 파라메트릭 고장이 발생하더라도 적절한 테스트 패턴을 인가하므로써 전류 모니터링 방식을 사용하지 않고 논리 모니터링 방식으로 검출할 수 있게 된다. 천이지연고장은 대부분 바이폴라단의 개방과 단락고장으로서 천이시간이 증가하게 되고 slow-to-fall 과 slow-to-rise의 형태로 나타난다. 이의 테스트는 상태천이의 지연을 관측할 수 있도록 하기 위한 출력 0에서 1 또는 1에서 0으로 천이될 수 있는 초기화 패턴과 테스트 패턴으로 구성된 테스트 시퀀스를 이용하여 논리모니터링 방식으로 검출할 수 있다.

제안한 그림 6의 테스트가 용이한 BiCMOS회로에서 고려하는 stuck-at, stuck-open, 파라메트릭, 천이지연 고장들을 검출하기 위한 테스트집합을 표5에 나타내었다. 표 5의 T1 ~ T3는 회로의 입출력 신호선의 stuck-at고장 검출을 위한 테스트 패턴이고 T4 ~ T8은 각 트랜지스터의 stuck-open고장 검출을 위한 테스트패턴인데 테스트 패턴의 순서를 적절히 조합하므로써 고장 검출을 위한 평가 패턴이 다음 고장 검출을 위한 초기화 패턴이 될 수 있도록 한 것이다. T9 ~ T27은 회로내의 파라메트릭 고장 검출을 위한 테스트패턴으로서 제안한 테스트가 용이한 BiCMOS회로에서는 회로가 고장일 경우 테스트 모드시 폴업 또는 폴다운경로가 형성되고 정상일 경우는 고임피던스 상태가되어 전상태의 논리값을 갖게

되므로 테스트 시퀀스가 필요하게 된다. 따라서 고장일때의 출력논리값과 보수의 논리값을 갖도록 초기화 패턴을 인가하고 고장을 전파할 수 있는 테스트패턴을 인가하면 고장을 검출할 수 있게 된다. 이들 패턴들도 stuck-open고장과 마찬가지로 패턴의 순서를 조합한후 패턴의 길이를 간소화하였다. T28 ~ T31는 천이지연고장 테스트를 위한 제안한 테스트 용이화 기법에 의한 테스트 패턴으로서 STR와 STF형태의 고장들을 검출할 수 있다. 결국 표 5에 제시한 테스트 패턴들을 사용하면 제안한 BiCMOS회로의 가정된 모든 고장을 단지 논리모니터링 방식으로 테스트할 수 있게 된다. 이는 전류모니터링이 요구되었던 기존의 방식과 비교할때 테스트장비의 하드웨어 부담을 줄일 수 있고 서로 다른 테스트 방식을 수용하는 자동 테스트장치의 어려움을 극복할 수 있게 한다.

표 5. 테스트가 용이한 BiCMOS회로를 위한 테스트 집합

Table 5. Test set for the proposed testable BiCMOS circuits.

고장 종류	테스트 패턴					검출 가능 고장	
	A	B	C	T1	T2		
stuck-at	T1	0	1	1	0	1	M6aDS, Q1aC, B, Q1aCE
	T2	1	0	0	0	1	M4aGS
	T3	0	0	0	0	1	M1aGS, M10aGD, A1aGD, A1aGS(-A4aGD), Q2aCB, Q2aCF
stuck-open	T4	1	0	0	0	1	M10pD, M10pG, M10pS, M20pD, M20pG, M20pS
	T5	0	0	1	0	1	A30pD, A30pG, A30pS, M70pD, M70pG, M70pS, Q20pB, Q20pF
	T6	1	0	0	0	1	M30pD, M30pG, M30pS, A10pD, A10pG, A10pS, Q10pB, Q10pF
	T7	0	1	0	0	1	M80pD, M80pG, M80pS, M90pD, M90pG, M90pS, M10pGS
	T8	0	1	1	0	1	A2aGS
파라메트릭	T9	0	0	0	0	0	A2aGS
	T10	1	1	1	1	1	A1aDS, A3aGS
	T11	0	0	0	1	1	M2aGS, M4aGD, M5aDS, M5aGD, M7aGD, M8aDS, M8aGD
	T12	0	1	0	0	0	M3aGS, M6aDS, M6aGD, M9aDS, M9aGD
	T13	0	0	1	1	1	M3aGS, M6aDS, M6aGD, M9aDS, M9aGD
	T14	0	0	1	0	0	M3aGS, M6aDS, M6aGD, M9aDS, M9aGD
	T15	0	1	0	1	1	M4aDS, M7aDS
	T16	0	0	0	0	1	M4aDS, M7aDS
	T17	0	0	0	1	1	M1aDS, M1aGD
	T18	0	1	1	1	0	M2aDS, M2aGD, M3aDS, M3aGD, M5aGS
	T19	1	0	0	0	0	M2aDS, M2aGD, M3aDS, M3aGD, M5aGS
	T20	1	0	0	1	1	M7aGS, M8aGS, M9aGS, A2aDS, A3aDS
	T21	0	0	1	0	0	A2aGD, A3aGD
	T22	0	0	0	0	0	A4aGS
delay	T23	1	1	1	1	0	A4aGS
	T24	1	0	0	1	0	A4aGS
	T25	0	0	0	1	0	A2aGD, A3aGD
	T26	0	0	0	0	1	A2aGD, A3aGD
	T27	1	0	0	1	0	A2aGD, A3aGD
delay	T28	0	0	0	0	1	M40pD, M40pG, M40pS, M10aDS(-Q2aBE), Q20pC, A20pD, A20pG, A20pS
	T29	1	0	0	0	1	M100pD, M100pG, M100pS, Q10pC, A40DS(+Q1aBE)
	T30	0	0	0	0	1	M50pD, M50pG, M50pS, M60pD, M60pG, M60pS
	T31	0	1	1	0	1	

V. 결론

본 논문에서는 BiCMOS회로의 고장특성을 분석하고 고장검출을 향상과 테스트과정 개선을 위한 검사 용이화 설계방식을 제안하였다. 제안한 테스트가 용이한 BiCMOS회로에서는 전류모니터링 방식으로만

검출 가능하던 대부분의 파라메트릭 고장을 논리모니터링 방식으로 검출할 수 있게 하므로써 전류모니터링 방식의 사용에 따른 테스트장치 구현의 하드웨어 부담과 테스트비용의 상승을 피할 수 있다. 테스트를 위해 사용된 부가트랜지스터와 제어입력의 수는 회로의 구조와 크기에 관계없이 일정하다. 또한 부가된 회로는 정상동작시 BiCMOS의 부하구동능력에 거의 영향을 주지 않는다.

BiCMOS회로내 드라이브단의 바이폴라 결합에 의한 천이지연 고장을 용이하게 테스트할 수 있는 테스트용이화 방법을 제시하였다.

제안한 방식으로 설계한 BiCMOS회로의 테스트를 위해서는 기존의 테스트기법중 stuck-at, stuck-open, 및 지연고장 테스트 기법과 같은 논리적 검출 방식만을 필요로 한다. 제안한 설계방식을 검증하기 위하여 Stanford CIS의 표준 BiCMOS 모델 파라미터를 사용하여 SPICE로 시뮬레이션 하였으며 실제의 회로환경을 고려하여 각 입력과 출력에 CMOS 인버터를 부가하여 시뮬레이션 하므로써 회로동작의 타당성을 높였다.

앞으로의 연구과제는 다단 BiCMOS회로의 고장 검출기법 및 풀스윙(full swing) BiCMOS회로의 테스트 용이화 설계기법등이다.

參 考 文 獻

[1] H. C. Lin, J.C. Ho, R.Iyer and K. Kwong, "Complementary MOS - Bipolar transistor Structure," *IEEE Trans, Electronics Device*, vol. ED-16, No.11, pp.945-951, Nov. 1969.

[2] M.Kubo, I.Masuda, K. Miyata, and K.Ogiue, "Perspective on BiCMOS VLSI's," *IEEE J.Solid-State Circuits*, Vol.23, no.1, pp.5-11, Feb. 1988.

[3] A.R. Alvarez ed., *BiCMOS Technology and Applications*, Boston, Ma: Kluwer Academic, 1989.

[4] J.E. Buchanan, *BiCMOS/CMOS Systems Design*, McGraw-Hill, Inc., 1991.

[5] M. E. Levitt, K. Roy, and J. Abraham, "BiCMOS fault models: Is stuck-at

adequate?" *International Conference on Computer Design*, pp.294-297, 1990.

- [6] M.E. Levitt, K. Roy, and J. Abraham, "Test considerations for BiCMOS logic families," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp.172.1-4, 1990.
- [7] C.F. Hawkins, and J.M. Soden, "Electrical characteristics and testing considerations for gate oxide shorts in CMOS ICs", *Proc. Int. Test Conf.*, Philadelphia, Pa, pp.544-555, Nov. 1985.
- [8] R. Rajsuman., *Digital Hardware Testing : Transistor - Level Fault Modeling and Testing*, Artech House, Inc., 1992.
- [9] *PSpice Manual* by MicroSim Co., Jun. 1986.
- [10] C. Timoc et al., "Logical models of physical failures." in *Proc. IEEE Int. Test Conf.*, pp.546-556, 1983.
- [11] J.Galiay, Y.Crouzet, and M.Vergniault, "Physical Versus Logical Fault Models MOS LSI Circuits: Impact on their Testability" *IEEE Transactions on Computers*, Vol.c-29, no.6, pp.527-531, June 1980.
- [12] S.C. Ma, and E.J. McCluskey, "Non-Conventional Fault in BiCMOS Digital Circuits", *International Test Conference*, pp.882-891, 1992.
- [13] A.E. Salama, M.I.Elmasry, "Testing and Design for Testability of BiCMOS Logic Circuits", *IEEE VLSI Test Symposium*, pp.217-222, 1992.
- [14] A.E. Salama, M.I.Elmasry, "Fault Characterization, Testing Considerations, and Design for Testability of BiCMOS Logic Circuits" *IEEE J. of Solid-State Circuits*, Vol. 27, No. 6, pp.944-947, June 1992.

著者紹介



徐敬渙(正會員)

1967年 4月 28日生. 1992年 2月
관동대학교 전자공학과 졸업(공학사).
1994年 2月 관동대학교 대학원
전자공학과 졸업(공학석사).

1994年 3月 ~ 현재 (주)昌民테크
놀러지 부설연구소 연구원. 주관

심 분야는 집적회로 설계 및 테스트, 마이크로프로세서 설계 및 응용 등임.

李在旻(正會員)

1979年 2月 한양대학교 졸업(공학사). 1981年 2月
한양대학교 대학원 전자공학과 졸업(공학석사). 1987

年 2月 한양대학교 대학원 전자공학과 졸업(공학박
사). 1990年 8月 ~ 1991年 8月 University of

Illinois(Urbana-Champaign) Beckman Institute
에서 연구. 1986年 ~ 1994年 현재 관동대학교 전자

공학과 부교수. 주관심 분야는 VLSI 설계 및 테스트
(CAD), 신경망 설계 및 응용 등임.