

고속 전류 구동 Analog-to-Digital 변환기의 설계

(Design of A High-Speed Current-Mode Analog-to-Digital Converter)

曹栗鎬*, 孫漢雄*, 白濬鉉*, 閔丙茂*, 金壽遠*

(Yul Ho Cho, Han Woong Son, Jun Hyun Back, Byung Moo Min and Soo Won Kim)

要約

전류 모드 개념을 이용한 회로 설계 기술은 기존의 전압 모드 개념을 이용한 것에 비해 전력 소비와 칩 면적이 작을 뿐 아니라, 개선된 정확도 등의 장점을 제공한다. 본 논문에서는 전류 모드 회로 개념을 이용한 저전력, 고속도의 Flash A/D 변환기 설계에 대하여 제안하였다. 최근에 전류 모드 개념을 이용한 알고리즘 A/D 변환기에 관한 연구가 진행되어 왔으나, 변환 속도가 수백 KHz 정도로 제한되어 응용에 제한을 받고 있다. 본 논문에서는 전류구동 방법을 flash 변환기에 적용하여 변환 속도 7MHz, 소모 전력 2.0mW의 ADC를 설계하였으며, 1.2um의 CMOS 공정으로 제작된 ADC의 비직선성 오차는 최대 1.14LSB, THD는 -50dB로 측정되었다. 제안된 A/D 변환기는 고속의 변환속도, 고 해상도, 작은 면적, 저 전력 소비등의 특성을 요구하는 신호 처리 시스템에 디지털 회로와 함께 적용하여 동일 칩상에 설계 가능함을 보여 주었다.

Abstract

In this paper, a low power and high speed flash Analog-to-Digital Converter using current-mode concept is proposed. Current-mode approach offers a number of advantages over conventional voltage-mode approach, such as lower power consumption, small chip area, improved accuracy, etc. Recently, this concept was applied to algorithmic A/D Converter. But, its conversion speed is limited to medium speed. Consequently this converter is not applicable to the high speed signal processing system. This ADC is fabricated in 1.2um double metal CMOS standard process. This ADC's conversion time is measured to be 7MHz, and power consumption is 2.0mW, and differential nonlinearity is less than 1.14LSB, and total harmonic distortion is -50dB. The active area of analog chip is about 350 x 550um². The proposed ADC seems suitable for a single chip design of digital signal processing system required high conversion speed, high resolution, small chip area, and low power consumption.

1. 서론

*正會員, 高麗大學校 電子工學科
(Dept. of Elec. Eng., Korea Univ.)
接受日字: 1993年 11月 13日

VLSI 기술이 발달하면서 아날로그 회로에 의하여 수행되던 신호 처리 분야의 많은 기능들이 비교적 제

어가 용이한 디지털 회로에 의하여 수행되고 있다. 그러나 자연계 내의 모든 신호는 아날로그 형태로 존재하기 때문에 신호처리를 위한 디지털 시스템과의 인터페이스는 항상 존재하게 된다. 아날로그-디지털 인터페이스 역할을 수행하는 데이터 변환기는 그 변환 속도와 해상도에 의하여 저속 (Low speed: 1 - 100 conversions/second, 12 - 14 비트 해상도), 중속 (Medium speed: 10,000 - 100,000 conversions/second, 8 - 10 비트 해상도), 고속 (High speed: $10^6 - 2 \times 10^7$ conversions/second, 7 - 8 비트 해상도), 및 고성능 (High performance: 8000 - 20000 conversions/second, 12 - 15 비트 해상도)의 A/D 변환기 등으로 나눌 수 있다. 정보화 사회로의 발전이 가속화 되면서 정보 전달 체계에서 고속의 전달이 필수적으로 요구되고, 많은 양의 정보를 신속, 정확하게 주고 받는 것이 신호 처리 회로의 목적이므로 고속의 A/D 변환기는 신호처리, 통신 분야에 있어서 핵심 기술로 인정되고 있다.

이러한 변환기 중에서 전압을 그 신호의 기준으로 하는 고속 전압 구동 A/D 변환기는 그동안 많은 연구와 개발이 진행되어 왔으나, 전력 소비와 면적이 클 뿐만 아니라 높은 이득의 증폭기와 정확한 수동 소자가 요구되는 등 많은 제한 요소를 가지고 있었다. 이러한 문제점들을 신호의 기준을 전류 레벨로 하는 전류 구동(Current-mode) 개념을 이용하여 해결하려는 연구가 활발히 진행되고 있다. 그러나 지금까지의 전류 구동 A/D 변환기는 작은 면적과 변환 속도가 대략 25K - 500K conversions/second(6 - 10 비트) 정도의 중속 (Medium speed) Algorithmic A/D 변환기에 국한되어 연구가 진행되어 고속의 영상 신호 처리 회로에 사용하기에는 미흡한 점이 있다 본 논문에서는 기존의 고속 전압 구동 A/D 변환기를 대체하기 위한 병렬 비교(Parallel)방식의 전류 구동 A/D 변환기를 제안하여 동작속도를 7MHz까지 높였다.

이 고속의 전류 구동 병렬 비교 방식의 A/D 변환기는 continuous 동적(Dynamic) current mirror를 이용하여 입력되는 전류 신호를 샘플링(Sampling)한 후, 이 전류를 동시에 각각의 기준 전류와 비교하여 N 비트의 디지털 신호를 한번에 출력하는 구조를 가지고 있다. 이는 기본적으로 전압 구동 변환기와 그 접근 방식에 있어서는 유사하지만, 각각의 블럭들의 내부회로는 전류구동에 적합하게 설계되었다. ^[1, 2, 3]

II. 전류 구동 A/D 변환기

1. 전류 비교기

고속 전류 구동 A/D 변환기는 병렬구조 ADC와 같이 여러 개의 기준 전류와 입력된 전류를 비교하여 디지털 비트를 결정하므로 전압 구동 A/D 변환기와 같이 $2N - 1$ 개의 전류 비교기(current comparator)가 필요하다. 전압비교기는 속도의 제한 뿐 아니라 집적시 차지하는 면적이 커 집적시 제한이 되고 있다. 그러나, 전류 비교기는 반전기(inverter) 두 개를 연결하여 그림 2.1와 같이 구현한다.

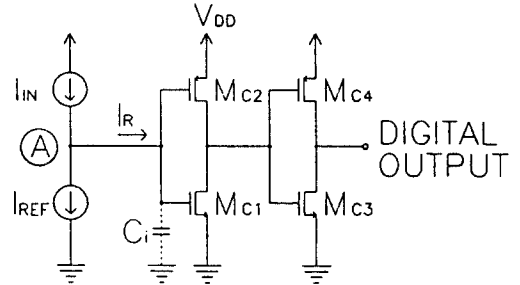


그림 2.1. 전류 비교기

Fig. 2.1. Current Comparator.

앞 단의 반전기 입력 커패시턴스를 C_i 라 할 때 동작 원리를 살펴 보면 입력 전류(I_{IN})가 기준 전류(I_{REF}) 보다 크다면 여유 전류(I_R)는 양의 방향으로 흘러 C_i 를 충전시키게 되고 A 노드(node)의 전압(V_A)을 V_{DD} 까지 상승시켜 비교기의 출력은 '1' (V_{DD})로 나타난다. 반대의 경우인 I_{IN} 이 I_{REF} 보다 작으면 여유 전류는 음의 방향으로 흘러 C_i 를 방전시키고 V_A 를 하강시켜 비교기의 출력은 '0'(GND)으로 나타난다. 이렇게 설계된 전류 비교기는 보통 OP-AMP가 사용되는 전압 비교기에 비하여 간단하며 작은 면적에 구현이 가능하고 전력 소비가 작으며, 오프셋(Offset)이 존재하지 않는 등의 여러 장점을 갖는다. 하지만, 입력전류와 기준전류의 차이가 작은 경우에는 지연시간이 커진다는 단점이 있다.

2. 전류 승산기(Multiplier), 전류 감산기(Subtractor)

그림 2.2에 전류 구동 A/D 변환기에 주로 사용되는 전류 승산기와 감산기의 구조를 보였다. 이 회로에서 감산은 V_{bias} 에 의하여 결정되어 있는 M1을 통과하는 전류 양만큼 전류 I_s 에서 감산되는 것으로 M3에 흐르는 전류는 $I_s - I_{M1}$ 이 된다. 전류 2배 승산은 소오스 전류(Source current)를 두배 크기의 트랜지스터로 Mirroring 해서 간단히 얻을 수 있다. 즉, 그림의 전류 I_o 는 트랜지스터 M3를 통하여 흐르

는 전류의 두 배 크기이다.

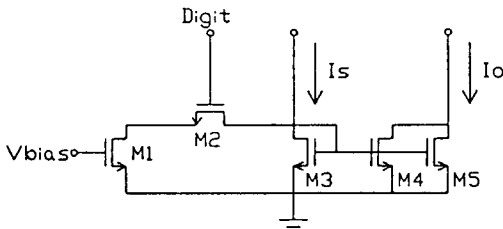


그림 2.2. 전류 승산기, 감산기
Fig. 2.2. Current Multiplier, Subtractor.

3. 전류 샘플 홀드 회로

시간의 연속함수인 입력신호를 디지털로 처리하기 위해서는 일정시간동안 신호의 순간치를 유지해야 하는데 이 기능을 수행하는 것이 샘플 홀드(sample-and-hold) 회로이다. 본 연구에서는 그림 2.3과 같은 동적 Current mirror를 전류 샘플 홀드 회로로 사용하였다. 바이폴라 트랜지스터(Bipolar transistor)와는 달리 MOS 트랜지스터의 드레인 전류는 게이트의 전압에 의해 제어되므로, 한 개의 트랜지스터를 이용하여 게이트 전압으로 드레인 전류를 샘플링할 수 있다. 기존의 Current mirror와는 달리, 동적 Current mirror는 한 개의 트랜지스터(M_{SH}), 3개의 스위치(S1, S2, S3) 및 커패시터(C_{SH})로 그림 2.3과 같이 구현되므로 기존의 Current mirror에서 생기는 오차를 줄일 수 있다.

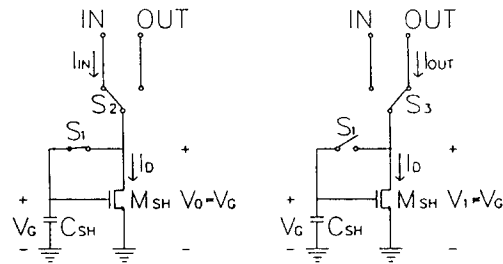


그림 2.3. 동적 전류 거울
Fig. 2.3. Dynamic Current Mirror.

동적 Current mirror의 동작 원리는 그림 2.3에서와 같이 샘플 단계와 홀드 단계로 나누어진다. 샘플 단계에서 동적 current mirror가 평형(Steady state) 상태에 도달하면 M_{SH}의 드레인 전류(I_D)는 입력 전류(I_{IN})와 같게 되며, I_D에 상응하는 게이트 전압 V_G를 커패시터 C_{SH}에 저장한다. 홀드 단계에서

회로는 그림 2.3(b)와 같이 M_{SH}의 드레인이 게이트에서 분리되어 출력 단자에 연결되므로 C_{SH}의 전하가 유지되는 한 V_G는 샘플 순간의 값으로 유지 된다. 결과적으로 출력 전류(I_{OUT})는 I_{IN}과 같은 크기의 I_D가 출력 된다. 앞의 두 단계 모두에서 M_{SH}는 V_G에 의해서만 I_D가 제어되어야 하므로 포화(saturation) 영역에서 동작되도록 설계 되어야 하며 한개의 트랜지스터만 사용하기 때문에 공정 파라미터의 변화와 트랜지스터 크기의 오차에 의한 전류의 오차를 줄일 수 있다. 본 연구에서는 스위치에 의해 발생하는 Clock feedthrough 문제를 가능한 한 최소화하고 샘플링 주파수를 높일 수 있도록 커패시터(C_{SH})의 크기를 최적화 하였다.

4. 기존의 전류 구동 순환 A/D 변환기

CMOS 기술을 이용하여 사용되는 변환기는 Flash, Successive-approximation, Cyclic A/D 변환기 등이 있다. 이들 중에서 flash와 successive-approximation A/D 변환기는 빠른 속도를 가지나 flash A/D 변환기는 N 비트 변환시 2^N-1개의 전압 비교기와 2^N개 이상의 저항을 필요로 하여 큰 면적을 요구한다. 반면 successive-approximation A/D 변환기는 그 변환 성능이 수동 소자들의 정확도에 의해 크게 좌우되기 때문에 해상도에 제약을 받게된다.

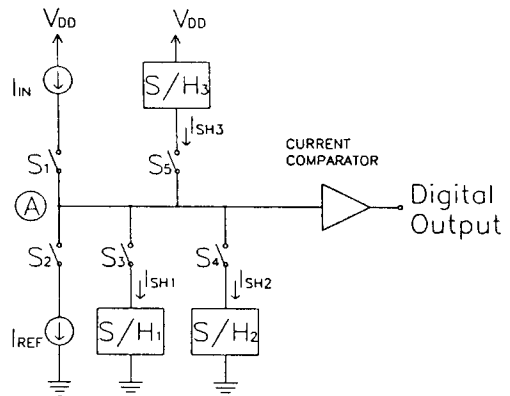


그림 2.4. 기존의 전류구동 순환 A/D 변환기
Fig. 2.4. Conventional Current-mode Cyclic A/D Converter.

그러나 cyclic A/D 변환기는 수동소자를 사용하지 않으므로 면적면에서 우수하며 또한 단차 A_V = 2인 증폭기만이 요구된다는 장점이 있다. 따라서 이러한 장점을 가진 순환 A/D 변환기에 전류 구동 개념을 도입하여 정확도를 개선하고 면적을 최소화 하려는

연구가 많이 진행되었다. 주로 순환방식이나 algorithmic 방법으로 구현되어온 A/D 변환기는 수십 KHz에서 수백 KHz정도로 동작하기 때문에 음성대역신호에만 응용가능하였다. 전류구동 순환 A/D 변환기의 bitcell을 간략하게 그림 2.4에 보였다.

이 변환기는 네 단계를 한주기로 해서 동작하는데, 첫 단계는 S_1, S_3 를 닫아 입력 전류(I_{IN})를 S/H_1 에 샘플링 한다. 두 번째 단계는 S_1, S_4 를 닫아 입력 전류를 S/H_2 에 샘플링하며 세 번째 단계는 입력 전류를 두 배하여 주는 단계로써 S_3, S_4, S_5 를 닫아 $S/H_1, S/H_2$ 에 홀드된 전류를 S/H_3 에 샘플링 한다. 마지막 단계로써 S_2 와 S_5 를 닫아 S/H_3 에 홀드된 전류(I_{SH3})와 기준전류(I_{REF})를 비교하는 단계로써 전류 비교기를 통하여 I_{SH3} 가 I_{REF} 보다 크면 디지털 비트를 '1'로하고 반대의 경우는 '0'으로 하여 네 단계의 한 주기를 완료한다. 다음 주기로 입력되는 출력 전류는 앞의 변환기와 같이 비교기 출력이 '1'인 경우와 '0'인 경우를 달리하여 동작한다. 디지털 출력이 '1'이면 S_2, S_3, S_5 를 닫아 I_{SH3} 에서 I_{REF} 를 감한 전류를 입력 전류로 하여 S/H_1 에 샘플링하고 다음 단계를 반복한다. 반면, 출력이 '0'이면 S_3 와 S_5 를 닫아 I_{SH3} 를 입력 전류로 S/H_1 에 샘플링하여 반복한다. 즉, 비교기의 출력에 따라서 다음 주기의 입력 전류를 결정하여 위와 같은 변환 과정을 반복한다.

이런 순환방식의 변환기는 최상위비트(MSB)부터 시작하여 최하위비트(LSB)까지로 출력되는데, N비트 디지털 출력을 얻기 위해서는 N번의 반복적인 주기를 거쳐야 하므로 속도가 느리다. 또, 한 주기 내에서도 각 단계를 동기시키기 위해서는 클럭이 여러 개 필요하다는 문제가 있다. 순환방식에서 생기는 이러한 문제점들은 병렬구조를 사용하면 쉽게 해결될 수 있다.

III. 고속 전류 구동 Flash A/D 변환기

1. 병렬 비교(Parallel) 방식의 A/D 변환기

Flash A/D 변환기라 불리는 병렬 비교 방식의 A/D 변환기는 여러 변환기중에서 아날로그 신호를 가장 빠르게 양자화 할 수 있다. 다시 말해서 각 샘플은 주기마다 N-비트로 변환된다. 이 구조는 양자화 레벨과 입력된 아날로그 신호를 동시에 비교하는 형태를 가지며 그림 3.1에 일반적인 Flash A/D 변환기를 보였다. 그림 3.1은 3비트의 병렬 A/D 변환기를 나타낸 것으로 V_{REF} 는 그림 3.1에서와 같이 8등분되어 전압 비교기(Voltage Comparator)의 (+) 단자에 가해진다. 전압 비교기의 출력단은 전압 비교

기의 출력들로부터 디지털 출력 워드를 결정하는 디지털 디코딩 네트워크(Digital decoding network)에 연결되어 있다. 이러한 병렬 비교 방식 A/D 변환기에서는 아날로그 신호를 디지털 워드로 변환하는데에 다음 두 단계의 처리 과정을 거친다. 첫 단계는 아날로그 신호를 샘플링한 후 전압 비교기의 입력으로 입력시키는 과정이며, 두번째 단계는 디지털 디코더 네트워크가 출력 디지털 워드를 결정하고 결정된 값을 레지스터/버퍼에 저장하는 단계이다.

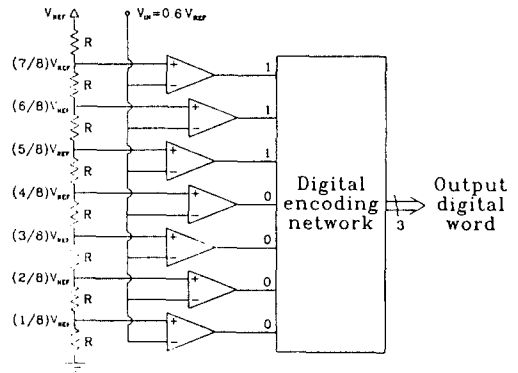


그림 3.1. 병렬 비교 방식의 A/D 변환기
Fig. 3.1. Parallel A/D Converter.

이런 병렬비교 방식의 변환기는 변환과정에서 거쳐야 하는 단계가 적기 때문에 속도가 빠르고, 오차 요인이 적다는 장점이 있지만, 비트 수가 증가할수록 필요로 하는 비교기의 수가 기하급수적으로 증가하기 때문에 8비트 이상에서는 사용하기가 힘들다.

2. 전류 구동 고속 A/D 변환기

본 논문에서 제안하는 전류 구동 A/D 변환기의 구조는 그림 3.2과 같다. 즉 입력되는 아날로그 전류 신호와 기준 전류 신호들을 동시에 비교하여 그 결과를 판정하는 병렬 비교(Parallel) 방식을 사용한다. 이러한 접근 방식은 기본적으로 전압 구동 회로의 병렬 비교 방식과 유사하지만 그 각각의 구성 블럭들은 전류 구동 회로에서 사용되는 간단한 회로를 사용하므로 그 구성 소자면에서는 많은 차이가 있다. 블럭도에 나타난 소자들의 구조는 대부분 앞 장의 전류 구동 A/D 변환기의 구현에 사용되었던 구조들이다. 전류 구동 A/D 변환기는 그림 3.2에서와 같이 크게 전류 승산기, 전류 감산기, 전류 비교기등으로 이루어진 bitcell 블럭, 여러 bitcell 블럭의 출력을 N 비트로 코딩하는 인코더(Encoder) 블럭, 입력 전류

신호의 빠른 샘플 홀드를 위한 continuous 동적 current mirror 즉, 전류 샘플 홀드 블럭의 3블럭으로 나누어진다.

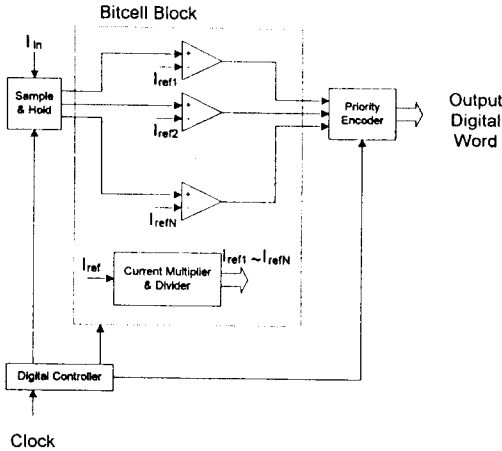


그림 3.2. 전류 구동 A/D 변환기의 블럭도
Fig. 3.2. Block Diagram of Current-mode A/D Converter.

bitcell 블럭의 동작은 입력되는 아날로그 전류 신호(I_{in})와 양자화된 기준전류들을 비교하여 한꺼번에 그결과를 출력하는 기본 블럭이다. 그림에서와 같이 bitcell 블럭에서 사용되는 기준 전류(I_{REF})는 정확한 전류 정확과 면적의 최소화를 위하여 4배까지만 전류 승산기를 사용하였다. 그 후에 전류 감산기를 이용하여, 입력된 전류로부터 기준전류의 4배만큼의 전류를 감산한 후 다음 단의 bitcell로 전달한다.

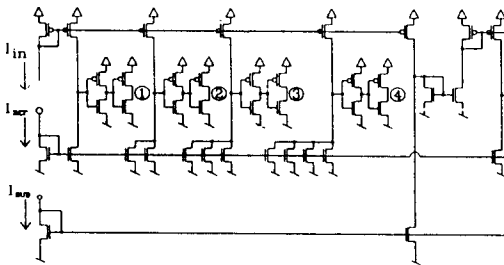


그림 4.1. 전류 구동 Flash A/D 변환기의 회로
Fig. 4.1. Current-mode A/D Converter's Circuit.

그 상세한 구조는 그림 4.1에 보였다. 디코더 블럭은 bitcell에서 출력되는 디지털 신호를 N 비트로 코딩(Coding)하는 디지털 블럭으로 CMOS 디지털 회로

로 구현되었다. 그 구성은 출력되는 디지털을 저장하는 레지스터/버퍼와 전류 샘플 홀드 회로의 여러 스위치를 제어하는 논리 회로로 이루어져 있다.

전류 샘플 홀드는 앞 장에서 설명한 동적(Dynamic) current mirror 기본 셀(cell) 2개를 병렬로 연결하여 사용한다. 즉, 두개의 똑같은 동적 current mirror를 연결하여 연속적인 출력 전류를 공급하도록 하여 전류 샘플 홀드 회로의 샘플링 속도를 향상시켰다.

IV. 고속 전류 구동 Flash A/D 변환기의 구현 및 실험 결과

1. 전류 구동 Flash A/D 변환기의 구현

본 연구에서 제안한 고속의 전류 구동 Flash A/D 변환기의 아날로그 구조를 그림 4.1에 보였다. 그림에서와 같이 기본적으로 이 ADC는 전류 비교기, 전류 감산기등으로 이루어진 bitcell들과 전류 샘플 홀드 회로로 이루어지며 동작 원리는 다음과 같다. 먼저 입력된 아날로그 전류 신호를 Continuous 전류 샘플 홀드 회로에 샘플링을 하고, 입력 전류는 current mirror에 의하여 복사된 후에 전류 승산기를 이용하여 만들어진 기준 전류들과 동시에 비교된다. 이때, 전류 승산기를 이용하여 만들어지는 기준 전류는 1 - 4배까지의 전류 승산기만을 이용하여 만들어진다. 그 이상의 배수는 전류 감산기를 거쳐 다시 1 - 4배까지의 전류 승산기를 이용하여 생성한다.

기준 전류와 동시에 비교된 후에 전류 비교기로부터 출력되는 '1' 또는 '0'의 디지털들은 디지털 인코더에 입력되어서 코딩된다. 이 변환기는 이러한 기능의 아날로그 부분과 전류 샘플 홀드 회로의 스위치를 제어하고 출력되는 디지털을 저장하는 레지스터/버퍼의 디지털 부분으로 구성된다.

2. 실험결과

전류 구동 4비트 Flash A/D 변환기를 1.2um의 double metal CMOS 공정으로 제작하였다. 칩 크기는 아날로그 블럭이 172um x 450um의 면적을 차지하였고, 이 중에서 전류 샘플 홀드 회로는 260-um x 550um의 크기를 가지는 것으로 나타났다. 그 80배 확대 칩 사진을 그림 4.2에 보였다. 그리고 변환기의 디지털 출력을 4비트로 코딩하여 주는 디코더는 EPLD(EPM5032DC-25)를 이용하여 구현하였다.

제작된 ADC의 특성을 측정하기 위하여 P-MOS 입력단에 2V($I_{in} = 50\mu A$)에서 5V($I_{in} = 0\mu A$)로 변하는 입력을 가한 후 코딩되어 출력된 4비트 b4.

b3, b2, b1가 1111에서 0000으로 변하는데 걸리는 시간을 측정하였다.

수있다. 제작된 4비트 Flash A/D 변환기의 실험 결과를 표 1에 정리하였다.

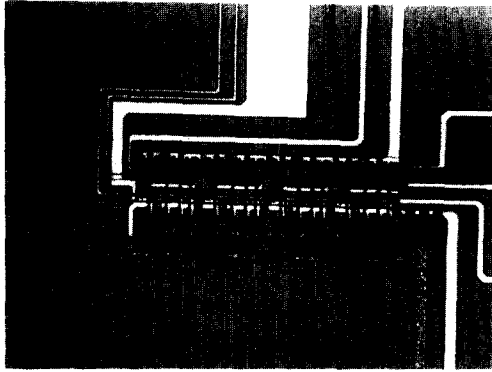


그림 4.2. 제안된 변환기의 제작 사진
Fig. 4.2. Photomicrograph of the Proposed A/D Converter.

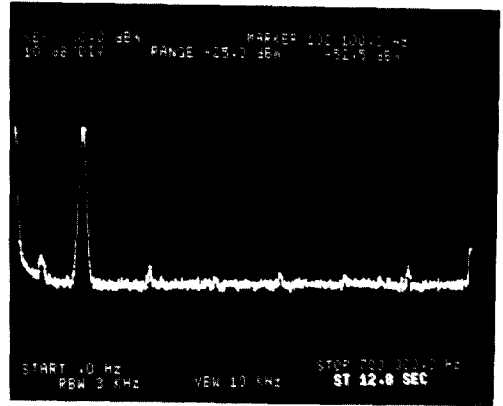


그림 4.4. 100kHz의 Sine파를 재합성한 경우의 스펙트럼
Fig. 4.4. Spectrum of a Reconstructed 100kHz Sine-wave.

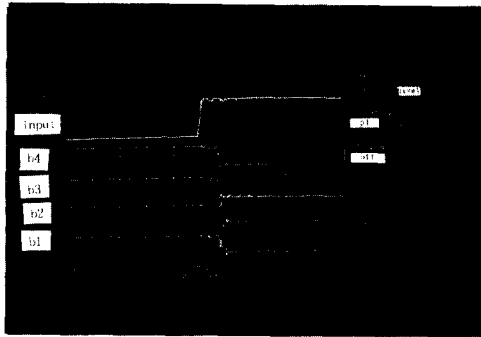


그림 4.3. 변환속도 측정사진
Fig. 4.3. Photograph of the Proposed ADC's Conversion-time.

그림 4.3에 보인 바와 같이 최대 지연시간은 140ns 이하임을 볼 수있다. 입력되는 전류가 양자화 기준 전류(I_{REF})와 비슷한 값을 가질 때 변환 시간은 길어지는데, 이는 전류 비교기의 입력 커패시턴스를 충.방전시키는 여유 전류의 크기가 작기 때문이다.

또한, 본 실험에서는 A/D 변환기의 특성을 나타내는 중요한 요소인 미분 비직선성 오차(Differential Nonlinearity Error)는 1.14LSB이하로 측정되었고, 아날로그 변환부분의 전력 소비는 대략 2.0mW를 보였다.

그림 4.4에는 이 출력파의 스펙트럼 특성을 보인 것으로 두번째 harmonic이 대략 50dB 이하임을 알

표 1. 제작된 ADC의 특성
Table 1. Measured results of proposed ADC.

전원공급	+ 5V
입력전류	0 - 50uA
기준전류	3.125uA
감산전류	12.5uA
전력소비	2.0mW
변환속도	> 7MHz
미분 비직선성 오차	< 1.14LSB

V. 결론

이상과 같이 본 논문에서는 전류 구동 개념을 이용하여 해결한 고속의 전류 구동 Flash A/D 변환기를 설계 제작하였다.

제안된 고속의 4 비트 Flash 전류 구동 A/D 변환기는 1.2um의 Double Metal 공정을 이용하여 전압 구동 변환기중 중속의 변환 속도를 가진 Cyclic A/D 변환기 면적과 비슷한 정도의 172 x 450 um²의 작은 면적에 집적되었다. 제작된 ADC의 변환속

도는 7 MHz. 미분 비직선성 오차(Differential Error)는 1.14LSB 이하의 특성을 보였다. 전력 소비는 2.0mW로 전압 구동 회로의 수백 mW에 비하여 아주 작음을 알 수있다.

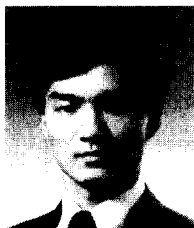
또한 본 A/D 변환기는 전압 구동 Parallel A/D 변환기의 제한 요소중 하나인 저항등의 수동 소자를 사용하지 않음으로 인하여 공정상 디지털 신호 처리부와 한 칩내에 집적이 가능하다. 결과적으로 본 A/D 변환기는 작은 면적에 고속,고해상도의 저전력 소비 특성을 지니고 있어서 시스템 집적화에 크게 기여할 수 있을 것으로 생각된다.

앞으로의 연구 방향은 현재 전류 구동 A/D 변환기 변환 속도의 제한 요소중 하나인 전류 비교기의 속도 개선등의 연구가 필요하다.

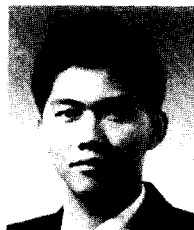
參考文獻

- [1] Phillip. E. Allen and Douglas. R. Holberg, "CMOS Analog Circuit Design", Holt, Rinehart and Winston, 1987.
- [2] David G. Nairn and C. Andre T. Salama, "Current-mode Algorithmic Analog-to-Digital Converters", *IEEE Journal of Solid-State Circuits*, Vol.sc-25, No.4, August 1990.
- [3] C. Toumazou, J. B. Hughes and N. C. Battersby, "Switched-Currents an analogue technique for digital technology", Peter Perengrinus Ltd, 1993.

著者紹介



曹栗鎬(正會員)
1970年 9月 4日生. 1994年 2月
고려대학교 전자공학과 졸업(학사, 석사). 1994년 삼성전자 근무중



白濬鉉(正會員)
1969年 6月 26日生. 1994年 2月
고려대학교 전자공학과 졸업(학사, 석사). 1994년 금성 일렉트론 근무중

孫漢雄(正會員) 第 29卷 B編 第 6號 參照

金壽遠(正會員) 第 27卷 B編 第 4號 參照



閔丙茂(正會員)
1961年 5月 28日生. 1985年 2月
고려대학교 전기공학과 졸업(학사, 석사). 1985년 ~ 1993년 2월 금성 일렉트론 반도체 연구소 선임 연구원. 1993년 3월 ~ 현재 고려대학교 전자공학과 박사과정