

論文94-31A-7-10

비정질 실리콘 박막에서 결정상 실리콘의 입자성장에 관한 고분해능 투과전자현미경에 의한 연구

(A High-Resolution Transmission Electron Microscopy Study of the Grain Growth of the Crystalline Silicon in Amorphous Silicon Thin Films)

金 鎮 赫*, 李 廷 鎔**, 南 基 守***

(Jin Hyeok Kim, Jeong Yong Lee and Kee Soo Nam)

要 約

저압화학증착법을 이용하여 520 °C에서 실리콘 산화막 위에 증착시킨 비정질 실리콘 막을 550 °C, 건조 질소 분위기에서 로 열처리하여 고상결정화시킬 때, 결정화과정 초기 핵의 내부, 성장하는 입자의 결정질/비정질 계면 및 입자내부에 존재하는 원자들의 배열을 고분해능 투과전자현미경을 사용하여 원자단위로 연구한 결과 다음과 같은 사실들을 밝혔다. 결정질 실리콘 핵은 원형으로 형성되었고, 성장된 입자의 모양은 타원 혹은 수직상 구조이었으며, 모든 입자내부에는 긴 방향에 평행한 {111} 정합경계면을 갖는 쌍정이 많이 존재하였다. 이 결과로 실리콘의 입자성장속도는 쌍정에 의하여 증가되고 성장된 입자의 모양은 {111} 쌍정면에 평행한 <112> 방향으로 길게 자라는 형태가 되는 사실을 밝혔다. 결정질 실리콘 입자내부에는 쌍정 외에도 intrinsic 적층결함, extrinsic 적층결함, Shockley 부분전위 등과 같이 적층순서의 오류 및 완전전위의 분해에 의하여 생성될 수 있는 결함들이 존재하였고, 소성변형에 의하여 형성될 수 있는 완전전위나 여분의 실리콘 혹은 공공의 모임에 의하여 형성될 수 있고 적층결함을 유발시키는 Frank 부분전위 등은 존재하지 않았다. 이 결과로, 비정질상에서 고상결정화되는 실리콘 입자내부에 존재하는 결함들은 결정화 과정에서 발생하는 적층순서의 오류에 의하여 생성되는 사실을 밝혔다.

Abstract

A high-resolution transmission electron microscopy study of the solid phase crystallization of the amorphous silicon thin films, deposited on SiO₂ at 520°C by low pressure chemical vapor deposition and annealed at 550°C in a dry N₂ ambient, was carried out so that the arrangement of atoms in the crystalline silicon and at the amorphous/crystalline interface of the growing grains could be understood on an atomic level. Results show that circular crystalline silicon nuclei have formed and then the grains grow to an elliptical or dendritic shape. In the interior of all the grains, many twins whose {111} coherent boundaries are parallel to the long axes of the grains are observed. From this result, it is concluded that the twins enhance the preferential grain growth in the <112> direction along {111} twin planes. In addition to the twins, many defects, such as, intrinsic stacking faults, extrinsic stacking faults, and Shockley partial dislocations, which can be formed by the errors in the stacking sequence or by the dissociation of the perfect dislocation, are found in the silicon grain. But, neither Frank partial dislocations which can be formed by the condensation of excess silicon atoms or vacancies and can form stacking fault, nor perfect dislocations which can be formed by the plastic deformation, are observed. So, it is concluded that most defects in the silicon grain are formed by the errors in the stacking sequence during the crystallization process of the amorphous silicon thin films.

* 學生會員, ** 正會員, 韓國科學技術院 電子材料工學科
(Dept. of Elec. Materials Eng., KAIST)

*** 正會員, 韓國電子通信研究所 微細構造研究室

(Electronics and Telecommunications
Research Institute)

接受日字: 1993年 11月 13日

I. 서론

다결정 실리콘 박막은 고집적 반도체 공정의 필수 재료로 널리 사용되고 있다. N형이나 P형의 불순물을 주입하여 면저항을 낮춘 다결정 실리콘 박막은 배선재료, metal oxide semiconductor (MOS) 트랜지스터의 게이트 전극, DRAM의 축전전극, 바이폴라 트랜지스터의 접합재료 등으로 사용된다. 특히 비정질 기판 위의 다결정 실리콘 박막 트랜지스터(thin film transistors)는 액정표시소자, 3차원 집적회로, 센서, VLSI 메모리 셀 등에 높은 수행능력을 지니고 응용될 가능성이 높기 때문에 최근 많은 관심의 대상이 되고 있다. 다결정 실리콘 박막 트랜지스터를 소자에 직접 응용하기 위해 고려해야 할 가장 중요한 변수는 전하 전송자의 이동도이다. 한편 전하 전송자의 이동도를 감소시키는 가장 주된 원인은 실리콘 입자사이의 입계와 입자내부의 결함이므로, 최근 수년간 이 문제를 해결하기 위하여 고상결정화^{1,2}, 레이저열처리^{3,4}, 이온주입법⁵ 등의 방법을 이용하여 실리콘 입자의 크기를 증대시켜 입계면적을 감소시키고, 내부결함을 최소화시켜 전하 전송자 이동도를 높이기 위한 노력이 계속 되어 왔다.

이렇듯, 비정질기판 위 다결정 실리콘 박막의 소자 개발측면에 관한 실용적인 연구는 많이 수행되었지만 비정질 실리콘 박막에서 결정질 실리콘의 핵생성과 입자성장 및 결함 형성에 관한 근본적인 연구가 행해진 예는 드물다. Nakamura 등은⁶ 비정질 실리콘에서 결정질 실리콘이 생성될 때 <110> 방향으로 배향된 핵이 형성되고, 실리콘 입자의 모양이 쌍정정계를 따른 <112> 방향의 우선적인 성장에 의하여 수직상 구조로 변화하는 것을 밝혔으며, Noma 등은⁷ 실리콘 박막표면과 {111} 쌍정면이 놓여 있는 위치관계에 따라 입자의 모양이 원반형과 3축대칭(three-fold symmetry)형으로 변화되는 것을 보고하였다. 하지만 이들 모두 실리콘 입자의 핵생성 초기 단계와 입자성장시 발생하는 각종 결함의 생성 원인, 그리고 입자성장에 미치는 결함의 영향에 관하여 원자단위의 설명은 못하였다.

본 연구에서는 고분해능 투과전자현미경(high-resolution transmission electron microscopy) 기술을 이용하여 비정질 위의 비정질 실리콘 박막을 열처리 방법으로 결정화시켜, 결정질 실리콘 핵이 생성되는 초기에, 핵과 실리콘의 입자내부, 성장하는 입자의 비정질/결정질 계면 등에 위치하는 원자들의 배열등을 직접 육안으로 관찰하고 확인하여, 핵의 모양을 알아내고 결정화된 입자내부에 존재하는 각종

결함을 원자단위로 분석하였다. 또한 이 결과를 이용하여 각종 결함의 생성 원인을 밝히고 입자모양 변화에 미치는 결함의 역할을 밝혀내었다.

II. 실험 방법

5" 단결정 실리콘 기판 위에 실리콘 산화막을 650 nm 입힌 후, 기판을 520 °C로 유지하며 저압화학증착법을 이용하여 실리콘 산화막 위에 실리콘을 비정질 상태로 50 nm 증착시켰다. 이와 같은 방법으로 제작한 비정질 위의 비정질 실리콘 박막을 열처리 방법으로 550 °C, 건조 질소 분위기에서 10 시간, 25 시간, 64 시간씩 열처리하여 결정화시켰다. 열처리된 시편을 알칼, 아세톤, 증류수 등으로 초음파 세척한 후, HF : H₂O = 1 : 1 용액속에 담가두어 결정화시킨 실리콘 박막과 단결정 실리콘 기판 사이의 실리콘 산화막을 녹여내고, 상부의 실리콘 박막을 희석된 불산 용액 위로 띄우는 lift-off 방법을 이용하여 투과전자현미경 시편으로 제작하였다. 고분해능 투과전자현미경상을 얻기 위한 시편은 두께가 수 nm 정도로 얇아야되므로, 실리콘 산화막을 제거시키기 전에 HF : CH₃COOH : HNO₃ = 1 : 1 : 5 용액으로 결정화시킨 실리콘 박막을 먼저 녹여내어 두께를 감소시킨 후 lift-off 방법을 이용하였다.

결정화시킨 실리콘 박막의 미세구조는 투과전자현미경을 이용하여 명시야상, 암시야상, 전자회절상, 고분해능상 등의 분석기술을 사용하여 조사하였다. 고분해능 투과전자현미경상은 가속전압이 200 kV이며, 고분해능 pole piece를 지니고 있는 JEOL사의 JEM-2000EX 전자현미경을 이용하여 관찰하였다.

III. 결과 및 고찰

1. 원형 핵의 생성

그림 1은 550 °C, 건조 질소 분위기에서 10 시간 열처리한 시편의 고분해능 투과전자현미경상 사진이다. 비정질상의 전형적인 고분해능 투과전자현미경상인⁸ 불균일 형태의 명암을 보여주는 주변 영역과의 경계가 명확히 구분되면서, 중앙부위에 일정한 주기의 명암을 나타내는 영역의 내부에 존재하는 줄무늬의 줄간 간격은 0.31 nm로, 이 값은 실리콘 {111} 면들의 면간거리와 일치하는 것이다. 그러므로, 사진 중앙부위의 일정한 명암의 주기를 갖는 영역은 결정질 실리콘 핵임을 알 수 있다. 이 핵은 약 32 개의 {111} 면들로 이루어져 10 nm 정도의 크기를 갖고, 그 모양은 원형을 이루고 있다. 관찰한 대부분의 다

른 실리콘 핵들도 그 모양은 원형을 이루었다.

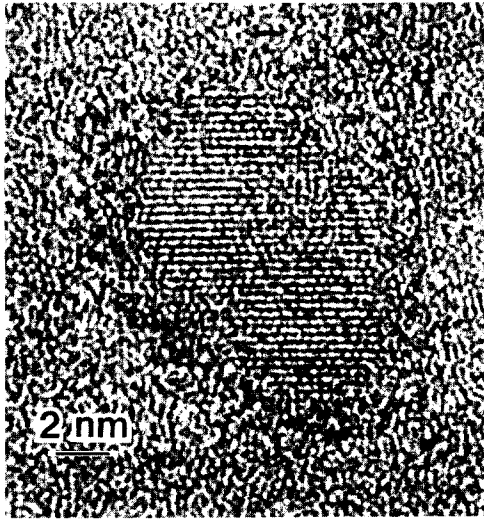


그림 1. 550℃, 건조 질소 분위기에서 10 시간 열처리한 실리콘 박막에 존재하는 결정질 실리콘 핵의 고분해능 투과전자현미경상

Fig. 1. High-resolution TEM micrograph showing the crystalline silicon nucleus in the silicon thin film annealed at 550℃ in a dry N₂ ambient for 10 h.

고전적 이론에서 상변태의 핵생성이 새로운 상의 군집체(cluster) 형성에 의하여 일어나고, 비정질상 내에서 성장하는 군집체는 응력장을 발생시키지 않는다고 가정하면^[9], n 개의 원자로 이루어진 군집체를 형성하기 위한 자유에너지 변화 ΔG_n 은

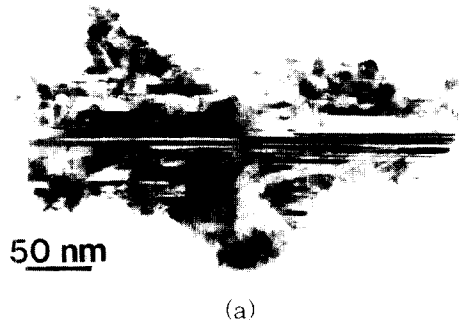
$$\Delta G_n = n\Delta G' + A_n\sigma$$

로 표시된다.^[9] $\Delta G'$ 은 새로운 상이 형성될 때 변화되는 새로운 상의 원자당 체적 자유에너지 변화이고, A_n 은 n 원자로 이루어진 군집체의 표면적이며, σ 는 결정질/비정질 계면의 단위 면적당 계면에너지이다. $\Delta G'$ 은 음의 값이며 σ 는 양의 값이다. 핵이 형성될 때 전체 자유에너지 변화, ΔG_n 에 영향을 미치는 변수는 상변태된 원자수 n 과 상변태된 결정질의 표면적 A_n , 핵의 표면을 이루고 있는 면들의 계면에너지 σ 이다. 아주 작은 핵이 형성되는 초기에 핵의 표면은 그림 1과 같이 특정한 $\{hkl\}$ 면을 이루지 않으므로, 계면에너지 σ 가 원자단위의 $\{hkl\}$ 면을 따라 변화하지 않고 평균값 σ_{avg} 로 일정하다고 생각할 수 있다.

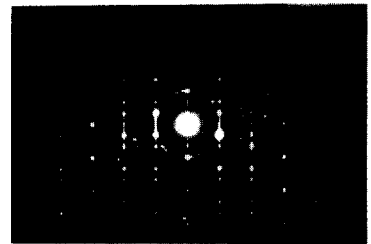
이 때, 전체 자유에너지 변화에 영향을 미치는 변수는 n 과 A_n 만이 남게된다. 한편 핵이 안정하게 생성될 확률은 전체 자유에너지 변화 ΔG_n 이 작은 값을 가질수록 더욱 높아진다. 군집체를 이루는 원자들의 갯수가 n 개로 일정한 경우, ΔG_n 을 최소화하기 위해서는 전체 자유에너지 변화에 양의 영향을 미치는 σ 항의 계수 A_n 이 최소값이 되어야 한다. 그러므로, 핵은 일정한 부피를 갖는 입체에서 최소의 표면적을 갖는 모양인 구형이 되어야 한다. 이 예측은 실험결과와 잘 일치한다. 이 결과로 결정질 실리콘의 핵은 구형을 갖는 사실을 밝혔다.

2. 입자의 모양변화

그림 2(a)는 550℃, 건조 질소 분위기에서 64 시간 열처리된 실리콘 막내에 존재하는 실리콘 입자를 보여주는 투과전자현미경 명시야상이다. 타원과 비슷



(a)



(b)

그림 2. 550℃, 건조 질소 분위기에서 64 시간 열처리한 실리콘 박막에 존재하는 실리콘 입자를 보여주는 (a) 투과전자현미경 명시야상과 (b) 전자회절상

Fig. 2. (a) Bright-field TEM micrograph showing the silicon grain in the silicon thin film annealed at 550℃ in a dry N₂ ambient for 64 h and (b) corresponding electron diffraction pattern.

한 형태의 긴 모양을 갖는 실리콘 입자가 주위의 하얗게 보이는 배경과 명확히 구분된다. 다른 영역에서 관찰된 대부분의 실리콘 입자들도, 그림 2(a)의 입자와 비슷한 모양을 하고 있었다. Hatalis 등이¹⁰⁾ 제안한 방법을 이용하여 계산하면 입자크기는 약 210 nm 정도이다. 입자의 중앙부위에는 검고 밝게 보이는 긴 줄무늬들이 입자의 장축 방향에 평행하게 놓여 있고, 많은 짧은 줄무늬들이 입자의 긴 방향과 혹은 상호간에 70.5°의 각도관계를 유지하고 있다. 짧은 줄무늬가 많이 존재하는 입자의 왼쪽 상부는 다른 부위보다 비교적 많이 돌출되었다. 그림 2(b)는 그림 2(a)에 있는 다이아몬드 격자구조를 갖는 실리콘 입자의 <110> 방향에서 전자선이 입사되었을 때 얻어진 전자회절상이다. 전자회절상에서 관찰되는 연속적인 선(streak)들은 <111> 방향을 향하여 있는데, 이 방향은 사진 2(a)의 실리콘 결정에서 관찰되는 검고 밝은 긴 줄무늬들이 놓인 방향과 수직한 관계를 갖는다. 이런 선들은 얇은 쌍정의 영향에 의한 것으로 설명될 수 있다.¹¹⁾

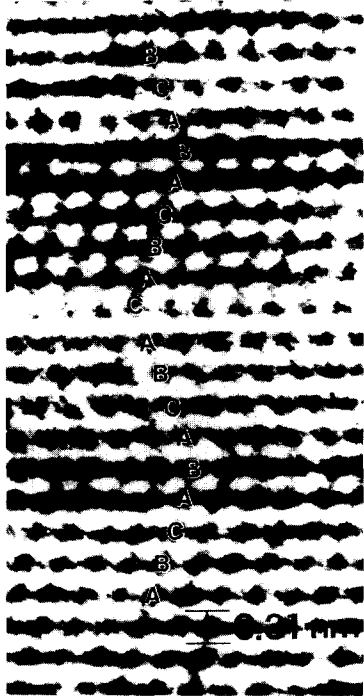


그림 3. 실리콘 입자내부에 있는 검고 밝은 줄무늬를 관찰한 고분해능 투과전자현미경상

Fig. 3. High-resolution TEM micrograph showing a part of the stripe which has a bright and dark contrast in the silicon grain.

그림 3은 그림 2의 입자내부에 존재하는 것과 같은 검고 밝은 줄무늬의 한 부분을 관찰한 고분해능 투과전자현미경상 사진이다. 사진에 표시된 원자들의 적층순서는 ABCA₂BACBAC₂ABCABACB이고, 사진 내의 흰 점들중에서 가장 가까운 거리에 있는 것들로 이루는 면들 사이의 각도는 70.5° 관계를 유지한다. 다이아몬드 격자구조에서 층상구조는 AaBbCc AaBbCc의 순서를 갖는 {111} 면들로 이루어져 있다.¹²⁾ 이 구조를 {111} 면에 수직한 방향에서 관찰하면 A와 a, B와 b, C와 c는 같은 자리에 위치하므로, 적층순서를 Aa, Bb, Cc와 같은 이중지수정의(double index notation)를 없애고 A, B, C 등의 한 문자가 Aa, Bb, Cc와 같은 한 쌍의 원자층을 나타내는 ABCABC로 표현할 수 있다. 한편 다이아몬드 격자구조의 적층결과 쌍정은 면심입방구조의 적층결함, 쌍정과 동일하므로, intrinsic 적층결함내의 원자들의 적층순서는 ABCA₂CAB이고, extrinsic 적층결함은 ABCAC₂BCA이며, 쌍정은 ABCAC₂BCA이다. 다른 관점으로 생각하면 extrinsic 적층결함은 C 층의 상하층 면인 A, B 면이 쌍정면이 되는 미세 쌍정이다. 이런 사실을 이용하면, 그림 3의 실리콘 원자들의 배열은 B, C, B면이 쌍정면인 쌍정을 이루고 있음을 알 수 있다. 이 영역에서 쌍정의 두께는 5층의 {111} 면이지만 실제로 입자내부에 존재하는 쌍정은 수 층의 {111} 원자면에서 수십 층의 {111} 원자면에 이르는 입자의 두께를 가졌다. 다이아몬드 구조에는 다음과 같은 두가지 이유 때문에 많은 쌍정이 존재할 수 있다. 첫째는 쌍정면이 {111} 면이고, 쌍정의 형성을 위한 핵생성시 필요한 원자 수는 3개로 완전결정의 {111} 면이 수직 성장을 위해 필요로 하는 핵생성 원자 수와 같은 것이다.¹³⁾ 둘째는 쌍정의 핵이 형성되는 경우에도 완전결정의 경우와 같이 최인접 원자들의 공유결합 특성에 변화를 주지 않는 것이다.¹²⁾ 그러므로, 쌍정은 낮은 잉여에너지를 갖고 쉽게 형성되며 결정 내에는 많은 쌍정이 존재할 수 있다. 실제 실험결과 실리콘 입자가 결정화될 때 실리콘 입자내부에는 그림 3과 같은 쌍정이 많이 존재하였고, 실리콘 입자가 길게 자란 방향에는 그 방향에 평행한 쌍정면을 갖는 쌍정이 항상 존재하였으며, 이 쌍정은 투과전자현미경 명시야상에서 검고 흰 줄무늬로 관찰되었다.

그림 4는 실리콘 입자를 <110> 방향으로 바라본 고분해능 투과전자현미경상 사진이다. 입자내의 가장 가까운 점들로 이루어진 줄무늬는 {111} 면들이므로 쌍정면은 {111}이다. 실리콘 입자가 길게 성장하는 방향은 쌍정면과 평행한데, <112> 방향은 쌍정면에

평행한 방향이다. 이 결과는 Nakamura 등이^[6] 전자회절상을 이용하여 실리콘 입자가 <112> 방향으로 우선성장한다고 보고한 사실과 일치하는 것이다. 즉 실리콘 입자는 <110> 방향에서 관찰하면 <112> 방향으로 길게 자란 모양을 갖는다. 또한 그림 4는 입자가 길게 자란 방향의 비정질/결정질 계면에서 쌍정면이 만나는 곳을 보여준다. 입자 내에 많은 쌍정이 존재하고 입자가 길게 성장된 끝 부위, 즉 쌍정면이 만나는 비정질과 결정질 계면이 원자단위로 오목한 곳들(1, 3, 5, 7)과 볼록한 곳들(2, 4, 6)이 존재한다. 하지만 입자가 길게 자란 방향에 평행한 결정질/비정질 계면에는 쌍정에 의한 오목하고 볼록한 계면이 존재하지 않았다.

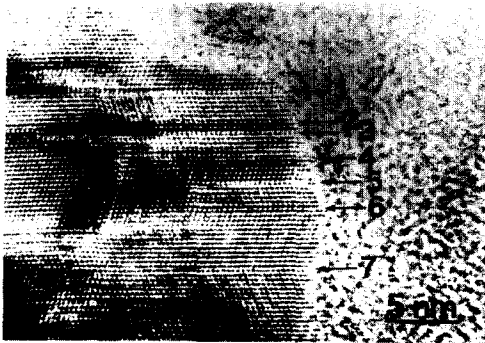


그림 4. 550°C, 건조 질소 분위기에서 64 시간 열처리한 실리콘 박막에 존재하는 실리콘 입자의 고분해능 투과전자현미경상. 결정과 비정질사이의 계면이 요철을 이루고 있는 것을 잘 보여주고 있다

Fig. 4. High-resolution TEM micrograph showing the growth front of the silicon grain in the silicon thin film annealed at 550°C in a dry N₂ ambient for 64 h. The growth front has two types of interfaces. One is a reentrant and the other is a salient.

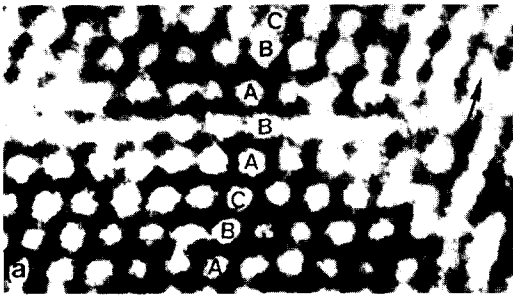
다이아몬드 구조에서 입자성장속도는 계면에너지가 가장 낮고 성장속도가 가장 늦은 {111} 면의 성장에 의하여 지배된다. 한편 {111} 면의 성장속도를 지배하는 과정은 {111} 면의 성장을 위하여 세 원자가 동시에 결합되어야 하는 핵생성 과정이다.^[13] {111} 면의 성장은 그 면의 성장을 위한 핵생성과 그 핵에 원

자들이 결합되는 측면성장에 의하여 이루어진다.^[14] 하지만 핵의 내부에 쌍정이 존재하는 경우, 쌍정은 {111} 면의 수직 성장을 돕는 역할을 하므로^[14] 다른 결과를 얻게 된다. 결정내부에 쌍정이 존재할 때, 결정질과 비정질 계면에서 쌍정면이 만나는 부분은 오목한 곳과 볼록한 곳 두 종류가 존재한다.^[15] 그 중 계면이 오목한 곳에서는, 쌍정면에 70.5°의 각도를 갖는 새로운 {111} 면들의 수직성장을 위한 핵생성시 필요한 원자수가 2개이다.^[14] 이것은 쌍정이 없는 결정에서 {111} 면의 수직성장을 위한 핵생성시 필요한 원자수 3개^[13] 보다 적은 것이다. 그러므로, 쌍정면이 만나는 결정질과 비정질 계면이 오목한 곳에서는 {111} 면의 성장을 위한 핵이 쉽게 형성되고, 입자성장속도가 증가되어 그 부위에서 입자성장이 많이 일어난다. 위의 사실은 쌍정에 의한 원자단위의 오목한 계면이 존재하는 방향으로 입자가 길게 성장한 본 연구결과와 잘 일치한다. 한편, 쌍정면에 평행한 결정질/비정질 계면에는 쌍정에 의한 오목한 곳이 존재하지 않았으므로 이 계면에 수직인 방향의 입자성장이 가속되지 않았다. 한편, 초기 원형의 입자가 쌍정에 의하여 입자성장속도가 증가되어 쌍정면에 평행한 방향으로 길게 자라는 과정 중에, 길게 자라는 방향과 70.5°의 각도를 유지하며 자라는 {111} 면이 새로운 쌍정면이 되면, 이 새로운 쌍정면에 평행한 방향의 성장도 가속될 것이다. 즉 입자는 한 축으로 길게 자라는 타원형의 입자모양에서 길게 자란 방향에 70.5°의 각도로 가지쳐 나오는 형태가 될 것이다. 이 사실은 그림 2(a)의 명시야상에서 작은 줄무늬가 많은 좌측상단부위에서 입자의 성장이 많이 일어난 것을 설명해준다. 이렇게 새로운 {111} 쌍정면이 형성되고 입자가 성장되는 과정의 반복에 의하여 최종적인 입자의 모양은 타원 혹은 수직상 구조를 갖는다.

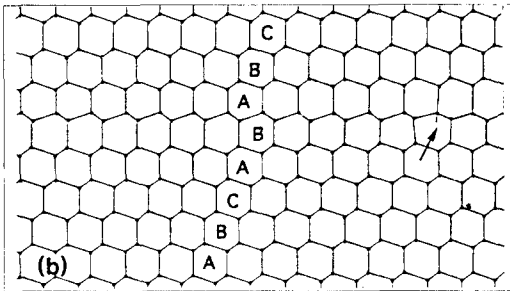
3. 입자내부 결합 관찰

그림 5(a)는 실리콘 입자내부의 한 부분을 원자단위로 보여주는 고분해능 투과전자현미경상 사진이다. 이 부위에는 원자들의 적층순서가 ABCAB_ABC로, C층이 한 층 사라진 intrinsic 적층결함이 형성되었다. 이 결함의 오른쪽 상부에 화살표로 표시된 잉여반면(extra half plane)이 존재하고, 잉여반면에서 좌측으로 2-3 원자층 거리에 있는 원자들의 적층순서가 intrinsic 적층결함의 완전한 적층순서를 만족시킨다. Olsen 등이^[16] 제한한 적층결함결정법에 따르면 그림 5(a)의 흰 점은 다이아몬드 구조에서 원자들로 둘러싸인 터널(tunnel)이 되므로, 이를 이용하여 그림 5(a)의 고분해능 사진을 보여주는 실리콘 원자

들의 가능한 배열을 그린 개략도가 그림 5(b)이다. 개략도에서 우측의 잉여반면을 중심으로 Burgers 회로를 그려서 얻은 Burgers 벡터의 방향과 크기는 30° Shockley 부분전위의 그것과 일치하였고, 고분해능 사진에서 관찰되는 잉여반면의 코아(core)영역은 30° Shockley 부분전위의 코아가 보여주는 고분해능 투과전자현미경 이미지와^[17] 같은 형태를 유지하고 있다. 또한 Hornstra는^[18] 적층결함이 이차원의 결함이므로 일차원 결함인 전위에 의하여 둘러싸이고 이 전위는 부분 전위가 되는 것을 예측하였다. 이런 사실들로 그림 5에 존재하는 전위는 30° Shockley 부분전위임을 밝혔다.



(a)



(b)

그림 5. 실리콘 입자내부에 존재하는 intrinsic 적층결함을 보여주는 (a) 고분해능 투과 전자현미경상과 (b) 원자모델의 개략도

Fig. 5. (a) High-resolution TEM micrograph and (b) corresponding atomic model showing a typical example of an intrinsic stacking fault in the silicon grain.

그림 6은 결정화된 실리콘 입자내의 다른 한 부분을 관찰한 고분해능 투과전자현미경상 사진이다. 사

진에 표시된 원자들의 적층순서가 ABCACBCAB로, 이 부위에는 C층이 한 층 삽입된 extrinsic 적층결함이 형성되었다. 이 결함의 양 끝 부위에서는 intrinsic 적층결함에서 관찰되었던 것과 같은 잉여반면을 관찰할 수 없었다. 이 결함은 C 층의 상하층인 A, B 층이 쌍정면인 미세쌍정으로도 생각할 수 있다.

다이아몬드 격자구조에서 그림 5와 6에서 보여주는 것과 같은 적층결함들은 쌍정과 마찬가지로 4개의 최인접 원자들의 공유결합 특성에 변화를 주지 않기 때문에 적층결함에너지는 표면에너지나 입계에너지에 비해 상대적으로 낮다. 그러므로, 적층결함은 낮은 에너지를 갖고 쌍정과 같이 입자내부에 쉽게 형성될 수 있다.^[12]

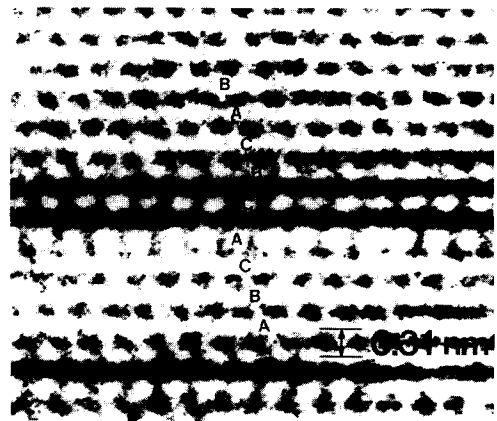


그림 6. 실리콘 입자내부에 존재하는 extrinsic 적층결함의 고분해능 투과전자현미경상

Fig. 6. High-resolution TEM micrograph showing a typical example of an extrinsic stacking fault in the silicon grain.

그림 7(a)는 실리콘 입자내부에서 {111} 격자 줄무늬가 관찰되는 부분을 보여주는 고분해능 투과전자현미경상 사진이고, 7(b)는 7(a)와 같이 줄무늬로 나타난 고분해능 투과전자현미경상에서 원자들의 적층순서를 얻기 위한 그림이다. 그림 7(a)의 사진에 화살표로 표시된 잉여반면 a, b, c가 존재하고, 잉여반면 b를 중심으로 좌우측 영역의 격자 줄무늬의 모습이 다른 것을 관찰할 수 있다. 실리콘 결정의 <110> 방향에서 바라보았을 때, 하나의 정대축(zone axis)을 갖는 {111} 면들은 두가지이고 이들 사이의 각도는 70.5°이다. 한편, 고분해능 투과전자현미경상의 한 점은 이 두 {111} 면들이 교차하는 곳과 대응된다.

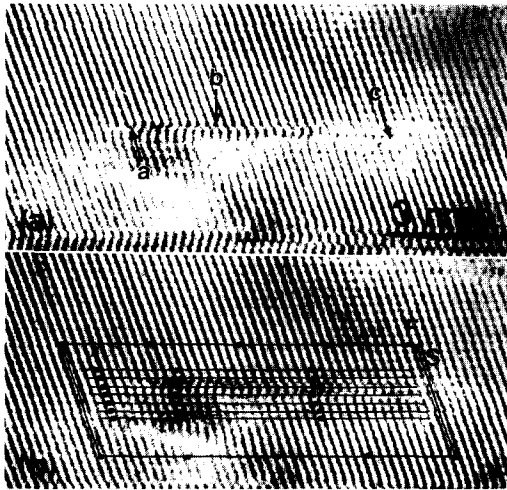
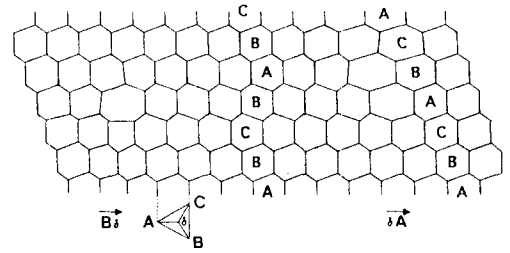


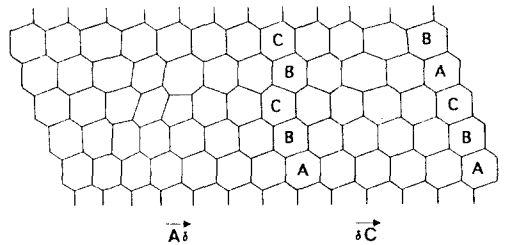
그림 7. (a) Extrinsic 적층결함과 intrinsic 적층결함이 만나서 형성된 결함을 보여주는 고분해능 투과전자현미경상과 (b) 적층순서를 얻기위한 그림

Fig. 7. (a) High-resolution TEM micrograph of the defect formed by the reaction between an intrinsic stacking fault and an extrinsic stacking fault and (b) drawing to get the stacking sequence in this region.

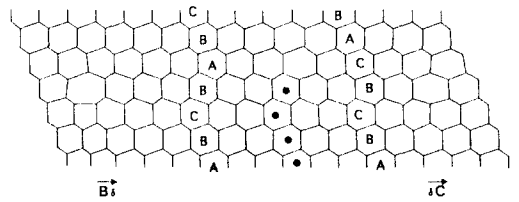
이런 사실들을 이용하면 줄무늬로 나타난 결정질 실리콘의 고분해능 투과전자현미경상에서 실리콘 원자들의 정확한 위치는 알 수 없어도 {111} 면의 적층순서는 알 수 있다. 우선 고분해능 투과전자현미경상의 {111} 면과 같은 면간 간격을 갖는 평행한 선들을 그은 후 이것을 줄무늬로 나타난 고분해능 투과전자현미경상 사진에 사진의 {111} 격자 줄무늬와 그린 줄무늬가 이루는 각도가 70.5° 가 되도록 올려 놓는다. 그리고 고분해능 투과전자현미경상 사진의 {111} 면과 올려놓은 선이 교차하는 점들이 나타내는 적층순서가 실리콘 원자들의 적층순서에 대응된다고 생각한다. 이 방법으로 그림 7(b)의 사진에서 원자들의 적층순서를 알아보면 화살표시된 b의 왼쪽은 ABCAC₂BC로 C층이 한 층 끼어든 extrinsic 적층결함의 적층순서를 이루고, 오른쪽은 ABCA₂CAB로써 B층이 한 층 사라진 intrinsic 적층결함의 적층순서를 갖는다. 이 결함은 두 60° 완전전위의 분해에 의하여 형성된 extrinsic 적층결함과 intrinsic 적층결함이 b 부위에서 만나서 형성된 것으로 설명될 수 있다. 그



(a)



(b)



(c)

그림 8. 원자모델의 개략도: (a) 60° 완전전위가 extrinsic 적층결함을 형성하며 분해되는 경우, (b) intrinsic 적층결함을 형성하며 분해되는 경우와 (c) extrinsic 적층결함과 intrinsic 적층결함이 만나서 형성된 결함

Fig. 8. Schematic drawings of the atomic model: (a) dissociation of a 60° dislocation into a 30° (left) and a 90° (right) partial dislocation which accompanies the formation of an extrinsic stacking fault, as viewed along [101], (b) dissociation of a 60 dislocation into a 90 (left) and a 30 (right) partial dislocation which accompanies the formation of an intrinsic stacking fault and (c) defect formed by the interaction between the extrinsic stacking fault in (a) and the intrinsic stacking fault in (b).

림 8은 두 적층결합의 결합으로 그림 7과 같은 결합을 형성하는 원자모델의 개략도이고, 여기서 각 전위들의 Burgers 벡터를 Thompson의 정사면체를 이용하여 표시하였다. 지면을 뚫고 들어가는 방향을 $[10]$ 으로 생각하자. 그림 8(a)는 $1/2a[0\bar{1}1](=\overline{BA})$ 의 Burgers 벡터를 갖는 60° 완전전위가 $1/6a[\bar{1}\bar{1}2](=\overline{B\bar{D}})$ 의 30° 부분전위와 $1/6a[1\bar{2}1](=\overline{\delta A})$ 의 90° 부분전위로 분해되어 형성된 extrinsic 적층결합의 원자모델이고, 그림 8(b)는 $1/2a[110](=\overline{AC})$ 의 Burgers 벡터를 갖는 60° 완전전위가 $1/6a[\bar{1}2\bar{1}](=\overline{A\bar{D}})$ 의 90° 부분전위와 $1/6a[\bar{2}11](=\overline{\delta C})$ 의 30° 부분전위로 분해되어 형성된 intrinsic 적층결합의 원자모델이다.^[19] 만약 extrinsic 적층결합의 90° 부분전위와 intrinsic 적층결합의 90° 부분전위가 만나면 두 90° 부분전위들은 그림 8(c)와 같이 벡터방정식 $1/6a[1\bar{2}1]+1/6a[\bar{1}2\bar{1}]=0$ 을 만족시키며 중앙부위에서 소멸되고 결합의 양 끝은 $1/6a[\bar{1}\bar{1}2](=\overline{B\bar{D}})$ 와 $1/6a[\bar{2}11](=\overline{\delta C})$ 의 Burgers 벡터를 갖는 30° 부분전위들로 둘러싸인 형태로 존재한다. 이 두 30° 부분전위들의 벡터 합은 다음 벡터방정식에 의하여

$$1/6a[\bar{1}\bar{1}2]+1/6a[\bar{2}11]=1/2a[\bar{1}01]$$

로 합벡터는 지면을 뚫고 들어가는 방향과 같은 방향을 갖는다. 두 전위를 포함하여 전체 Burgers 회로를 그리면, Burgers 벡터는 0이고 잉여반면은 존재하지 않는다.

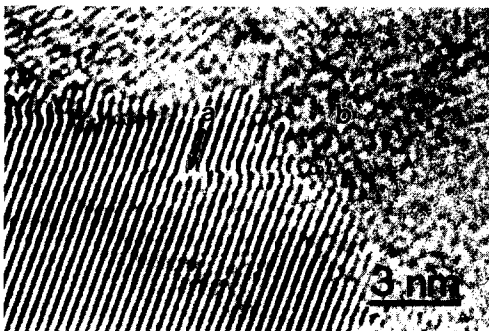


그림 9. 결정질/비정질 계면에서 적층순서의 오류를 보여주는 고분해능 투과전자현미경상

Fig. 9. High-resolution TEM micrograph showing the stacking sequence error at the amorphous/crystalline interface.

그림 9는 550°C , 건조질소 분위기에서 25시간 열처리한 실리콘 막에서 성장중인 실리콘 입자의 비정

질/결정질 계면을 보여주는 고분해능 투과전자현미경상 사진이다. 중앙부위에 있는 결합의 적층순서는 ABC₂BCA로써 A층이 한 층 사라진 intrinsic 적층결합이며, 이 결합의 왼쪽부위에 화살표시된 30° 부분전위가 존재한다. 적층결합의 오른쪽 끝 부위의 결정질/비정질 계면에 결합되는 실리콘 원자는 실리콘 입자의 $\{111\}$ 격자면의 연장선상(○표된 곳)에 결합되지 않고 완전결정의 적층순서에서 벗어난 화살표시된 곳에 결합되는 것을 잘 보여주고 있다.

비정질상에서 고상결정화된 실리콘 입자내의 적층결합과 부분전위는 완전전위가 분해되거나, 잉여실리콘이나 공공의 모임에 의하여, 혹은 비정질에서 결정이 형성될 때 원자가 결합되는 순서의 오류에 의하여 형성될 수 있다. 만약 적층결합이 완전전위의 분해에 의하여 형성된 것이라면 실리콘 입자내부에 분해되지 않은 완전전위가 약간은 존재하여야 한다. 하지만 본 실험에서는 실리콘 입자내부에서 완전전위를 관찰할 수 없었다. 또한, 본 실험에서는 intrinsic 적층결합과 extrinsic 적층결합이 모두 관찰되었는데, 완전전위가 두개의 부분전위로 분해되어 적층결합을 만드는 경우, intrinsic 적층결합은 비교적 쉽게 형성되나 extrinsic 적층결합은 많은 결손결합과 커다란 변형 에너지를 필요로하므로 형성되기 어렵다.^[18] 한편, intrinsic 적층결합의 끝 부위에서는 잉여반면에 의한 부분전위를 관찰할 수 있었지만 extrinsic 적층결합의 끝 부위에서는 그것을 관찰할 수 없었다. 만약 extrinsic 적층결합이 완전전위의 분해에 의한 것이라면 잉여반면이 존재해야 한다. 또한 본 실험에서는 잉여 실리콘이나 공공의 모임에 의하여 형성되는 Frank 부분전위 및 이에 의한 적층결합들도 관찰되지 않았다. 위의 사실들로 비정질 실리콘을 고상결정화 시킬 때 생성되는 적층결합이나 부분전위는 완전전위의 분해에 의해 형성되거나 잉여실리콘 원자나 공공의 모임에 의하여 생성되는 Frank 부분전위에 의하여 형성되는 것이 아니라 결정화 과정중의 적층순서의 오류에 의하여 형성된다는 결론을 얻었다. 그림 9는 결정화 과정중 적층순서의 오류가 일어나는 것을 잘 보여주는 사진이다.

IV. 결론

저압화학증착법을 이용하여 520°C 에서 실리콘 산화막 위에 증착시킨 비정질 실리콘 막을 550°C , 건조질소 분위기에서 열처리하여 고상결정화시킬 때, 결정화과정 초기 핵과 성장한 입자의 내부, 성장하는 입자의 결정질/비정질 계면 등에 존재하는 원자들의

배열을 고분해능 투과전자현미경을 사용하여 원자단위로 연구한 결과 다음과 같은 결론을 얻었다. 결정질 실리콘 핵은 원형으로 형성되어 한 쪽 방향으로 길게 성장하였다. 길게 자란 모든 입자내부에는 긴 방향에 평행한 {111} 정합경계면을 갖는 쌍정이 많이 존재하였고 이 쌍정은 실리콘 입자성장 속도를 증가시켜 실리콘 입자는 {111} 쌍정면에 평행한 <112> 방향으로 길게 자라는 형태가 되었다. 결정질 실리콘 입자내부에는 쌍정외에도 intrinsic 적층결합, extrinsic 적층결합, Shockley 부분전위 등과 같이 적층순서의 오류 및 완전전위의 분해에 의하여 생성될 수 있는 결함들이 존재하였지만 소성변형에 의하여 형성될 수 있는 완전전위나, 여분의 실리콘 혹은 공공의 도입에 의하여 형성될 수 있고 적층결합을 유발시킬 수 있는 Frank 부분전위 등은 존재하지 않았다. 이 결과로 비정질상에서 고상결정화되는 결정질 실리콘 입자내부에 존재하는 결함들은 결정화 과정에서 발생하는 적층순서의 오류에 의하여 생성되는 사실을 밝혀냈다.

參考文獻

- [1] O.S. Panwar, R.A. Moore, N.S.J. Mitchell, H.S. Gamble, and B.M. Armstrong, "Low-temperature crystallization of amorphous-silicon films for the fabrication of thin film transistors," *Appl. Surf. Sci.*, vol. 36, pp. 247-256, Jan. 1989.
- [2] T. Aoyama, G. Kawachi, N. Konish, T. Suzuki, Y. Okajima, and K. Miyata, "Crystallization of LPCVD silicon films by low temperature annealing," *J. Electrochem. Soc.*, vol. 136, no. 4, pp. 1169-73, Apr. 1989.
- [3] H. Kuriyama, S. Kiyama, S. Noguchi, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, S. Tsuda, and S. Nakamura, "High mobility poly-Si TFT by a new excimer laser annealing method for large area electronics," *IEDM*, pp. 563-566, 1991.
- [4] H. Kuriyama and S. Kiyama, "Enlargement of poly-Si film grain size by eximer laser annealing and its application to high performance poly Si thin film transistor," *Japan. J. Appl. Phys.*, vol. 30, no. 12B, pp. 3700-3703, Dec. 1991.
- [5] C. Spinella and S. Lombardo, "Grain growth kinetics during ion beam irradiation of chemical vapor deposited amorphous silicon," *Appl. Phys. Lett.*, vol. 57, no. 6, pp. 554-556, Aug. 1990.
- [6] A. Nakamura, F. Emoto, E. Fujii, Y. Uemoto, A. Yamamoto, K. Senda, and G. Kano, "Recrystallization mechanism for solid phase growth of poly-Si films on quartz substrates," *Japan. J. Appl. Phys.*, vol. 27, no. 12, pp. L2408-L2410, Dec. 1988.
- [7] T. Noma, T. Yonehara, and H. Kumomi, "Crystal forms by solid-state recrystallization of amorphous Silicon films on SiO₂," *Appl. Phys. Lett.*, vol. 59, no. 6, pp. 653-655, Aug. 1991.
- [8] C. Cseari, G. Nihoul, J. Marfaing, W. Marine and B. Mutaftschiev, "High resolution electron microscopy studies on laser annealed unsupported amorphous germanium films," *J. Appl. Phys.*, vol. 57, no. 12, pp. 5199-5204, Jun. 1985.
- [9] K.F. Kelton, A.L. Greer, and C.V. Thompson, "Transient nucleation in condensed systems," *J. Chem. Phys.*, vol. 77, no. 12, pp. 6261-6279, Dec. 1983.
- [10] M.K. Hatalis and D.W. Greve, "Large grain polycrystalline silicon by low-temperature annealing of low pressure chemical vapor deposited amorphous silicon films," *J. Appl. Phys.*, vol. 63, no. 7, pp. 2260-2266, Apr. 1988.
- [11] G. Thomas and M.J. Goringe, *Transmission electron microscopy of materials*, John Wiley & Sons, New York, pp. 80-87, 1979.
- [12] J. P. Hirth and J. Lothe, *Theory of dislocations*, 2nd edition, John Wiley & Sons, New York, pp. 374-383, 1982.
- [13] J. Narayan, "Interface structures

- during solid-phase-epitaxial growth in ion-implanted semiconductors and a crystallization model," *J. Appl. Phys.*, vol. 53, no. 12, pp. 8607-8614, Dec. 1982.
- [14] R. Drosd and J. Washburn, "Some observation on the amorphous to crystalline transformation in silicon," *J. Appl. Phys.*, vol. 53, no. 1, pp. 397-403, Jan. 1982.
- [15] D.R. Hamilton and R.G. Seidensticker, "Propagation mechanism of germanium dendrites," *J. Appl. Phys.*, vol. 31, no. 7, pp. 1165-1168, Jul. 1960.
- [16] A. Olsen and J.C.H. Spence, "Distinguishing dissociated glide and shuffle set dislocation by high resolution electron microscopy," *Philos. Mag. A*, vol. 43, no. 4, pp. 945-965, 1981.
- [17] D. Gerthsen, F.A. Ponce, and G.B. Anderson, "High-resolution transmission electron microscopy of 60 dislocations in Si-GaAs," *Philos. Mag. A*, vol. 59, no. 5, pp. 1945-1958, Apr. 1989.
- [18] J. Hornstra, "Dislocations in the diamond lattice," *J. Phys. Chem. Solids*, vol. 5, pp. 129-141, 1958.
- [19] S. Amelinckx, *Dislocations in solids*, vol. 2, edited by F.R.N. Nabarro, North-Holland, New York, pp. 288-300, May. 1979.

 著者紹介



金鎮赫(學生會員)

1968年 7月 23日生. 1990年 3月 한국과학기술대학 전자재료공학과 졸업. 1991年 3月 ~ 현재 한국과학기술원 전자재료공학과 박사과정. 주관심 분야는 고분해능 투과전자현미경을 이용하여 반도체 재료의 핵생성과 결함분석, 미세구조, 계면특성 등을 원자단위로 연구하는 것. 특히 TFT에 쓰이는 실리콘 박막의 결정화현상에 관한 연구 등임.

李廷鎔(正會員) 第 26卷 第 8號 參照

南基守(正會員) 第 27卷 第 5號 參照