

## 다중 비트 다중화 환경에서의 병렬 혼화 기법

# (Parallel Scrambling Techniques for Multibit-Interleaved Multiplexing Environments)

金錫昌\*, 李秉基\*

(Seok Chang Kim and Byeong Gi Lee)

### 要 約

본 논문에서는 다중 비트 다중화 환경에 적용가능한 병렬 혼화 기법을 제시한다. 이를 위해서, 먼저 단순형 수열 발생기(SSRG : simple shift register generator)와 모듈형 수열 발생기(MSRG : modular shift register generator)의 개념을 도입하고, 그들의 성질을 분석한다. 수열 발생기의 병렬형인 병렬 수열 발생기(PSRG : parallel shift register generator)의 개념을 도입하고, SSRG와 MSRG를 이용하여 PSGR을 구현하는 방법을 제시한다. 끝으로, SDH 시스템의 병렬 혼화에 PSGR를 어떻게 응용하는지를 살펴 본다.

### Abstract

In this paper, we propose the parallel scrambling technique which is applicable in the multibit-interleaved multiplexing environment. For this, we introduce the concept of SSRG (simple shift register generator) and MSRG(modular shift register generator), and investigate their properties. We also introduce the concept of PSRG(parallel shift register generator) – parallel form of shift register generator, and consider realizations of PSRGs based on SSRGs and MSRGs. Finally, we show how to apply PSRGs to the parallel scrambling for the SDH system.

### I. 서론

오늘날의 광전송에서는, 전송 속도가 수백 Mbps에서 수 Gbps에 이르고 있다. 전송 신호는 보통 다수의 기본 속도(base-rate) 신호로 구성되는데, 여기

서 기본 속도란 동기화 정보가 삽입되어 프레임이 형성되는 속도를 말한다. 기본 속도 신호는 바이트 단위로 다중화되어 전송 신호가 되며, 전송 신호는 혼화된 후, NRZ(non-return-to-zero) 또는 RZ(return-to-zero)로 선로 부호화(line coding)되어 전송된다. 여기서 혼화는, 데이터 천이를 증가시키고, 심불간 간섭을 줄임으로써 수신측의 클럭 복원을 용이하게 하는 작용을 한다.<sup>1, 2</sup> 이러한 광전송 시스템의 전형적인 보기로 CCITT에서 표준화된 SDH

\* 正會員, 서울大學校 電子工學科  
(Dept. of Elec. Eng., Seoul Univ.)  
接受日字 : 1993年 6月 8日

(synchronous digital hierarchy) 시스템을 들 수 있다.<sup>1)</sup> 이 시스템의 전송 신호 STM-1, STM-4 및 STM-16의 속도는 각각 155.520 Mbps, 622.080 Mbps, 2488.320 Mbps이다.

고속의 전송 속도에서 행하는 혼화, 즉 직렬 혼화는 비용이 비싸고 또한 혼존 기술로서는 구현이 불가능해 질 수 있으므로, 가능한한 이를 기본 속도에서 행하도록 하는 것이 바람직하다. 이에, 병렬 혼화의 개념이 도입되어서, 비트 단위의 다중화 환경에서의 직렬 혼화를 대신하게 되었다.<sup>1)</sup> 병렬 혼화는 기본 속도에서 행하는 혼화로서, 병렬 혼화된 신호를 다중화하면 직렬 혼화와 동일한 효과를 가진다. 즉, 병렬 혼화된 기본 속도 신호를 비트 단위로 다중화한 신호는 비트 단위로 다중화한 기본 속도 신호를 직렬 혼화한 신호와 동일하게 된다.<sup>1)</sup>

기존의 병렬 혼화 기법은, 병렬 혼화에 사용되는 병렬 수열이 원래의 직렬 혼화에 사용되는 직렬 수열의 추림(decimation) 수열과 같다는 성질로부터 출발하고 있다.<sup>1)</sup> 아울러, 참고 문헌 [6] 과 [7]에 있는 수열 발생기(shift register generator)의 성질들도 병렬 혼화를 가능하게 하는데 일조하고 있다. 그러나, 이러한 성질들은 바이트 단위로 다중화되는 상황에서는 성립하지 않게 되고, 따라서 이러한 병렬 혼화 기법은 SDH 시스템의 전송 신호인 STM-4 또는 STM-16의 병렬 혼화에는 적용될 수 없다.

본 논문에서는, 다중 비트 다중화에서의 병렬 혼화를 위해서 병렬 수열 발생기(PSRG : parallel shift register generator)에 대한 이론을 정립하고자 한다. 이 이론을 정립함에 있어서, 단순형 수열 발생기(SSRG : simple shift register generator)와 모듈형 수열 발생기(MSRG : modular shift register generator)의 개념을 도입하고, 그들의 성질을 분석한다. 수열 발생기의 병렬형인 PSRG를 정의하고, 이를 SSRG와 MSRG를 이용하여 어떻게 구현하는지를 보인다. 끝으로, PSRG 이론을 SDH 신호인 STM-4와 STM-16의 병렬 혼화에 적용한다.

## II. 수열 발생기

수열 발생기(shift register generator)는 두 가지 형태, 즉 단순형 수열 발생기(SSRG : simple

1) 병렬 혼화는 컴퓨팅 기법과 함께 사용되면, 신호 정렬을 용이하게 하는 장점도 있다.<sup>1)</sup>

2) 본 논문에서의 디셀과 곱셈은 윗첨자와 아래첨자에 있는 경우를 제외하고는 모두 이법(modulo-2) 연산이다.

shift register generator)와 모듈형 수열 발생기(MSRG : modular shift register generator)로 구분할 수 있다. SSRG는 특성 다항식

$$C(x) = \sum_{i=0}^L c_i x^i \quad (1a)$$

에 의해서, MSRG는 발생 다항식

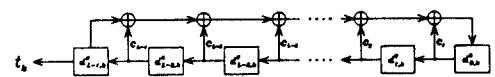
$$G(x) = \sum_{i=0}^L g_i x^i \quad (1b)$$

에 의해서 그 구조가 결정된다.<sup>2)</sup> 여기서  $L$ 은 수열 발생기의 길이(시프트 레지스터의 갯수)이며, 계수  $c_i$  와  $g_i$ 는  $i = 0$  또는  $L$ 일 경우에는 1이며,  $i = 1, 2, \dots, L-1$  일 경우에는 0 또는 1이다.

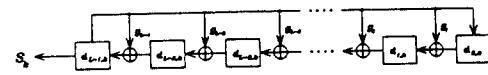
SSRG와 MSRG 각각에 대해서,  $d_{i,k}$ 와  $d_{i,k}$ ,  $i = 0, 1, \dots, L-1$ ,  $k = 0, 1, \dots$ 를 시간  $k$ 에서의  $i$ 번째 시프트 레지스터의 상태값으로 표기하자. 그러면, SSRG 수열  $\{t_k, k = 0, 1, \dots\}$ 은  $\{d_{L-1,k}, k = 0, 1, \dots\}$ 와 동일하고, MSRG 수열  $\{s_k, k = 0, 1, \dots\}$ 은  $\{d_{L-1,k}, k = 0, 1, \dots\}$ 와 동일하게 된다. 즉,

$$t_k = d_{L-1,k}, \quad k = 0, 1, \dots, \quad (2a)$$

$$s_k = d_{L-1,k}, \quad k = 0, 1, \dots. \quad (2b)$$



(a)



(b)

그림 1. 수열 발생기들 (a) SSRG, (b) MSRG

Fig. 1. Shift register generators.

(a) SSRG, (b) MSRG.

그림 1은 특성 다항식과 발생 다항식이 각각 식 (1a)와 (1b)인 SSRG와 MSRG의 구조를 보여준다. 그림에서, 각각의 사각형 블럭은 시프트 레지스터를 나타내고, 사각형 블럭의 내부에 있는  $d_{i,k}$ 와  $d_{i,k}$ 는 시간  $k$ 에서의 시프트 레지스터 상태값이다.

SSRG와 MSRG 각각에 대해서,  $k$ 번째 상태 다항식  $D_k(x)$ 와  $D_k(x)$ ,  $k = 0, 1, \dots$ 를 시간  $k$ 에서의

시프트 레지스터의 상태를 나타내는 다항식으로 정의 한다. 즉<sup>3)</sup>.

$$D_k(x) = \sum_{i=0}^{l-1} d_{i,k} x^i, \quad (3a)$$

$$D_l(x) = \sum_{i=0}^{l-1} d_{i,l} x^i. \quad (3b)$$

여기서,  $D_0(x)$ 와  $D_l(x)$ 를 각각 SSRG와 MSRG의 초기 상태 다항식이라고 부르기로 한다. 그러면, SSRG 수열  $\{t_k\}$ 는 특성 다항식  $C(x)$ 와 초기 상태 다항식  $D_0(x)$ 에 의해서 완전히 결정되고, 마찬가지로 MSRG 수열  $\{s_k\}$ 는 발생 다항식  $G(x)$ 와 초기 상태 다항식  $D_l(x)$ 에 의해서 완전히 결정된다. 그러므로, SSRG 수열  $\{t_k\}$ 를  $S_{SSRG} [C(x), D_0(x)]$ 로, 그리고 MSRG 수열  $\{s_k\}$ 를  $S_{MSRG} [G(x), D_l(x)]$ 로 표기하기로 한다.

다음의 정리는 SSRG 수열과 MSRG 수열사이에 일대일 대응 관계가 있음을 보여준다.<sup>4)</sup>

정리 1(변환). SSRG 수열  $S_{SSRG} [C(x), D_0(x)]$  와 MSRG 수열  $S_{MSRG} [G(x), D_l(x)]$ 에 대해서, 만약  $C(x)$ 가  $x^l G(x^l)$ 과 같고 또한  $D_0(x)$ 가  $x^l D_l(x)$ 를  $G(x)$ 로 나눈 몫과 동일하면, 두 수열은 동일하다.

위의 정리에 의하면, 일단 한 형태의 수열 발생기가 그것의 초기 상태와 함께 주어지면, 이와 동일한 수열을 발생시키는 다른 형태의 수열 발생기와 그것의 초기 상태를 알 수 있다. 그러므로, 수학적으로 다루기 쉬운 MSRG 형태에 대해서만 관심을 집중시키기로 한다.

발생 다항식과 초기 상태 다항식이 서로 소인 MSRG를 축약 불가(irreducible) MSRG라고 부르기로 하자. 그러면, 다음의 성질은 임의의 MSRG에서 발생되는 수열은 그보다 작은 길이의 축약 불가 MSRG에 의해서도 발생될 수 있음을 보여 준다.<sup>5)</sup>

- 3) MSRG 관련된 변수들을 표기하는데 있어서 잇첨자  $g$ 는 붙이는 것이 더욱 체계적이다. (예를 들면,  $d_{i,k}$  또는  $t_k(x)$ ) 그러나, 본 논문에서는 MSRG가 주로 사용되기에, 표기법의 단순화를 위해서 잇첨자  $g$ 를 생략하기로 한다.
- 4) 본 논문에 나오는 정리들에 대한 증명은 모두 부록에 수록되어 있다.
- 5) 본 논문에 나오는 성질들은 모두 간단히 얻을 수 있으므로 생략하도록 한다.
- 6) 본 논문에서 그냥 “다중화”라고 쓴 경우는 1비트 다중화를 의미한다

성질 1(인수 분해). 0이 아닌 다항식  $a(x)$ 에 대해서, 관계식  $S_{MSRG} [a(x)G(x), a(x)D_0(x)] = S_{MSRG} [G(x), D_0(x)]$  가 성립한다.

다음의 성질은 임의의 수열에 대해서 그것을 발생시키는 축약 불가 MSRG는 유일함을 보여 준다.

성질 2(유일성). 두 개의 MSRG 수열  $S_{MSRG} [G(x), D_0(x)]$  와  $S_{MSRG} [\hat{G}(x), \hat{D}_0(x)]$  가 축약 불가라고 하자. 그러면,  $G(x) = \hat{G}(x)$  그리고  $D_0(x) = \hat{D}_0(x)$ 일 경우에만, 두 개의 수열이 동일하다.

이제, 임의의 수열에 대해서, 그것을 발생시키는 최소 길이의 MSRG를 어떻게 구하는지를 생각해 보자. 이러한 MSRG를 그 수열에 대한 최소 MSRG라고 부르기로 한다. 즉, 어떤 수열에 대한 최소 MSRG는 그 수열을 발생시키는 모든 MSRG 중에서 차수가 가장 낮은 발생 다항식을 갖는 MSRG이다. 그러면, 성질 1과 2로부터, 주어진 수열에 대한 최소 MSRG는 그것을 발생시키는 축약 불가 MSRG가 된다는 것을 쉽게 알 수 있다. 다음의 정리는 주어진 수열에 대한 최소 MSRG. 즉 축약 불가 MSRG를 어떻게 구하는지를 보여 준다.

정리 2(최소 MSRG). 주어진 수열  $\{s_k\}$ 에 대해서,  $d(x)$ 를 다항식  $x^l + 1$ 과  $\sum_{i=0}^{l-1} s_k x^{k+i}$ 의 최대 공약 다항식이라고 하자. 그러면, 수열  $\{s_k\}$ 에 대한 최소 MSRG는 발생 다항식이  $(x^l + 1)/d(x)$ 이고 초기 상태 다항식이  $\left(\sum_{i=0}^{l-1} s_k x^{k+i}\right)/d(x)$ 인 축약 불가 MSRG이다.

### III. 병렬 수열 발생기

본 절에서는 수열 발생기의 병렬형을 생각해 보기로 한다. 먼저, 병렬 수열 발생기(PSRG : parallel shift register generator)를 정의하고, 다음으로 PSGR와 관련된 MSRG 수열의 성질을 분석한 후, 이를 토대로 PSGR를 어떻게 구현하는지를 보이고자 한다.

병렬 수열 발생기(PSRG)를 다수의 수열을 발생시키는 수열 발생기로 정의하고, PSGR에서 발생되는 다수의 수열을 병렬 수열이라 정의한다. 또한, 주어진 수열  $\{s_k\}$ 에 대해서, 만약 PSGR가  $N$ 개의 병렬 수열  $T_i$ ,  $i=0, 1, \dots, N-1$

$$\begin{aligned} T_0 &= \{s_0, s_1, \dots, s_{M-1}; s_{M}, s_{M+1}, \dots, s_{M+N-1}; \dots\}, \\ T_i &= \{s_M, s_{M+1}, \dots, s_{2M-1}; s_{M+N+1}, s_{M+N+2}, \dots, s_{M+N+2i-1}; \dots\}, \\ T_{N-1} &= \{s_{M+N+1}, s_{M+N+2}, \dots, s_{M+N-1}; s_{M+2N+1}, s_{M+2N+2}, \dots, s_{M+N+2N-1}; \dots\} \end{aligned} \quad (4)$$

를 발생시키면, 이 PSGR를 수열  $\{s_k\}$ 에 대한 ( $M$ ,

$(M, N)$ PSRG라고 부른다. 즉, 주어진 수열에 대한  $(M, N)$ PSRG는  $N$ 개의 병렬 수열을 발생시키는데, 그 수열을  $M$ 비트 단위로 다중화했을 때 원래의 수열이 된다. 그럼 2는 수열  $\{s_k\}$ 에 대한  $(M, N)$ PSRG를 보여 준다.

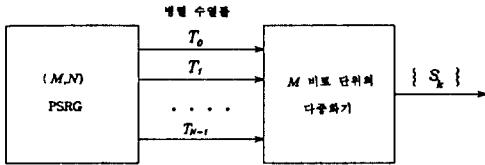


그림 2 수열  $\{s_k\}$ 에 대한  $(M, N)$ PSRG

Fig. 2. An  $(M, N)$ PSRG for a sequence  $\{s_k\}$ .

먼저, 병렬 수열을 어떻게 얻을 수 있는지를 알아보기 위해서, 수열  $\{s_k\}$ 의  $i$ 번째  $n$ -추림(decimation) 수열  $U_i$ ,  $i = 0, 1, \dots, n-1$ , 를  $U_i = \{s_i, s_{rn}, s_{r2n}, \dots\}$ 로 정의하자. 그러면,식 (4)에 있는  $(M, N)$ PSRG에서 발생되는 병렬 수열은  $MN$ -추림한 수열을 다중화함으로써 얻을 수 있다.<sup>16</sup> 즉, 수열  $\{s_k\}$ 를  $MN$ -추림하여 추림 수열  $U_i$ ,  $i = 0, 1, \dots, MN-1$ 을 얻은 후, 인접한  $M$ 개의 수열  $U_{iM}$ 부터  $U_{(i+1)M}$ 을 다중화하면  $i$ 번째 병렬 수열  $T_i$ 를 얻을 수 있다. 주어진 수열에 대한 추림 수열과 다중화한 수열들은 다음의 두 성질에 의해서 얻어질 수 있다.

성질 3(추림). 수열  $U_i$ ,  $i = 0, 1, \dots, n-1$ 을 수열  $S_{MSRG}[G(v^n) \sum_{i=0}^n d_{i,0} v^i]$ 를  $i$ 번째  $n$ -추림 수열이라고 하자. 그러면,  $U_i = S_{MSRG}[G(v) \sum_{i=0}^n d_{i,0} v^{i+n}]$ 이다.

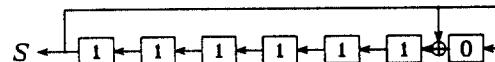
성질 4(다중화). 수열  $T$ 를  $n$ 개의 수열  $S_{MSRG}[G(x), D_n(x)]$ ,  $i=0, 1, \dots, n-1$ 을 다중화한 수열이라고 하자. 그러면,  $T = S_{MSRG}[G(v^n) \sum_{i=0}^n v^{i+n} D_i(v)]$ 이다.

예를 들어, 그림 3a에 있는 MSRG 수열  $S_{MSRG}[x^7+x^6+1, x^6+x^5+x^4+x^3+x]$ 에 대한 (8.4) PSRG 병렬 수열을 구해 보자. 변환 정리에 의하면, 이 수열은 그림 3b에 있는 SSRG 수열  $\{S_{SSRG}[x^7+x^6+1, x^6+x^5+x^4+x^3+x^2+x]\}$ 과 동일하다.<sup>17</sup> 이 수열에 인수분해 성질을 적용한 후, 추림 성질을 이용하면 다음과 같은 32개의 32-추림 수열  $V_i$ ,  $i=0, 1, \dots, 31$ , 을 쉽게 얻을 수 있다.

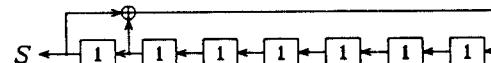
6) 본 논문에서 그냥 “다중화”라고 쓴 경우는 1비트

다중화를 의미한다.

7) 그림 3b에 있는 SSRG는 SDH 신호에 혼화에 사용되는 수열 발생기이다.



(a)



(b)

그림 3. SDH 시스템에 사용되는 수열 발생기들

(a) MSRG 구조 (b) SSRG 구조

Fig. 3. The SRGs employed in the SDH system (a) MSRG configuration, (b) SSRG configuration.

$$V_0 = S_{MSRG}[x^7 + x + 1, x^6 + x^5 + x^3 + x^2 + x + 1],$$

$$V_1 = S_{MSRG}[x^7 + x + 1, x^6 + x^5 + x^2 + x + 1],$$

$$V_2 = S_{MSRG}[x^7 + x + 1, x^6 + x^5 + x^2],$$

$$V_3 = S_{MSRG}[x^7 + x + 1, x^6 + x^4 + x^2],$$

$$V_4 = S_{MSRG}[x^7 + x + 1, x^6 + x^4 + x^3 + x^2 + x],$$

$$V_5 = S_{MSRG}[x^7 + x + 1, x^6 + x^5 + x^4 + x^3 + x^2 + 1],$$

$$V_6 = S_{MSRG}[x^7 + x + 1, x^6 + 1],$$

$$V_7 = S_{MSRG}[x^7 + x + 1, x^3].$$

이제,  $n = 8$ 과 함께 다중화 성질을 적용해 보자. 그러면, 다음과 같은 4개의 병렬 수열  $T_i$ ,  $i = 0, 1, 2, 3$ 을 얻을 수 있다.

$$\begin{aligned} T_0 &= S_{MSRG}[x^{36} + x^8 + 1, x^{35} + x^{34} + x^{33} + x^{32} + x^{31} + x^{30} + x^{29} + x^{27} + x^{26} + x^{25} + x^{24} + x^{23} + x^{22} + x^{21} + x^{20} + \\ &\quad x^{19} + x^{18} + x^{17} + x^{16} + x^{15} + x^{14} + x^{13} + x^2 + x^1 + x], \end{aligned} \quad (5a)$$

$$T_1 = S_{MSRG}[x^{36} + x^8 + 1, x^{30} + x^{26} + x^{24} + x^{21} + x^{20} + x^{18} + x^{16} + x^{15} + x^{13} + x^{12} + x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^4 + x^3 + x^2 + x + 1], \quad (5b)$$

$$\begin{aligned} T_2 &= S_{MSRG}[x^{36} + x^8 + 1, x^{32} + x^{31} + x^{27} + x^{26} + x^{24} + x^{23} + x^{21} + x^{20} + x^{19} + x^{17} + x^{16} + x^{14} + \\ &\quad x^{13} + x^{11} + x^{10} + x^{9} + x^{8} + x^{7} + x^{6} + x^{5} + x^{4} + x^{3} + x^{2} + x + 1], \end{aligned} \quad (5c)$$

$$\begin{aligned} T_3 &= S_{MSRG}[x^{36} + x^8 + 1, x^{34} + x^{32} + x^{28} + x^{27} + x^{26} + x^{24} + x^{23} + x^{21} + x^{20} + x^{19} + x^{17} + x^{16} + \\ &\quad x^{15} + x^{14} + x^{13} + x^{12} + x^{11} + x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^4 + x^3 + x^2 + x + 1]. \end{aligned} \quad (5d)$$

이제 PSRG를 어떻게 구현하는지를 알아 보자. 여기서는 주어진 수열  $\{s_k\}$ 의 발생 다항식  $G(x)$ 가 축약 불가(irreducible)이며, 그 주기  $P$ 는  $MN$ 과 서로 소

라고 가정한다.<sup>8,9)</sup> 편의상 0번째  $MN$ -추림된 수열  $V_0$  와 0번째 병렬 수열  $T_0$ 의 최소 MSRG 표현을 각각  $S_{MSRG}[\hat{G}(x), \hat{D}_0(x)]$  와  $S_{MSRG}[\bar{G}(x), \bar{D}_0(x)]$ 로 표기하자.<sup>10)</sup> 또한 PSRG의 구현을 위해서 두 종류의 보조 수열  $W_i$ 와  $\hat{W}_i, i = 0, 1, \dots, ML-1$ 을 다음과 같이 정의하자.

$$W_i = S_{MSRG}[\bar{G}(x), \bar{D}_i(x)],$$

$$\hat{W}_i = \sum_{j=0}^i \bar{g}_{ML-i-j} W_j.$$

여기서  $\bar{D}_i(x)$ 는 0번째 병렬 수열  $T_0$ 에 대한 최소 MSRG의  $i$ 번째 상태 다항식이고,  $\bar{G}(x) = \sum_{i=0}^M \bar{g}_i x^i$ 이다. 그러면, PSRG의 구현과 관련하여 다음의 네 가지 정리를 얻을 수 있다.

정리 3A(병렬 수열 분해). 정수  $m$ 을  $mMN = 1$  modulo  $P$ 가 되는 최소수라고 하고,  $x^{imM}$ 을  $\hat{G}(x)$ 로 나눈 나머지를  $\sum_{i=0}^m \alpha_i x^i$ 라고 하자. 그러면,  $T_i = \sum_{i=0}^m \alpha_i W_m, i = 0, 1, \dots, N-1$ 이다.

정리 3B(병렬 수열 분해).  $x = \sum_{i=0}^m \alpha_i x^i$ 을  $\hat{G}(x)$ 로 나눈 몫을  $\sum_{i=0}^m \beta_i x^i$ 라고 하자. 그러면,  $T_i = \sum_{i=0}^m \beta_i W_m, i = 0, 1, \dots, N-1$ 이다.

정리 4A(SSRG 기반 구현). 0번째 병렬 수열  $T_0$ 에 대한 최소 SSRG에 대해서<sup>11)</sup>, 관계식  $W_i = \{d_{ML-1-i-k}\}, i = 0, 1, \dots, ML-1$ 가 성립한다.

정리 4B(MSRG 기반 구현). 0번째 병렬 수열  $T_0$ 에 대한 최소 MSRG에 대해서, 관계식  $\hat{W}_i = \{d_{ML-1-i-k}\}, i = 0, 1, \dots, ML-1$ 가 성립한다.

정리 3A와 3B는 각각의 병렬 수열  $T_i, i = 0, 1, \dots, N-1$ 개의 수열  $W_m, i = 0, 1, \dots, L-1$  또는  $L$ 의 수열  $\hat{W}_m, i = 0, 1, \dots, N-1$ 의 합으로써 분해될 수 있음을 의미한다. 정리 4A와 4B는 보조 수열들  $W_i$ 와  $\hat{W}_i$ 를 어떻게 얻는지를 보여주는 것으로써, 수열  $W_i$ 는 0번째 병렬 수열  $T_0$ 에 대한 최소 SSRG의 시프트 레지

스터 출력 수열  $\{d_{ML-1-i-k}\}$ 와 동일하고, 수열  $\hat{W}_i$ 는 0번째 병렬 수열  $T_0$ 에 대한 최소 MSRG의 시프트 레지스터 출력 수열  $\{d_{ML-1-i-k}\}$ 와 동일함을 의미한다. 그러므로, 위의 네 가지 정리로부터 0번째 병렬 수열  $T_0$ 에 대한 최소 SSRG 또는 최소 MSRG를 이용하여 PSRG를 구현할 수 있다.

예를 들어, 식 (5)에 있는 병렬 수열들을 발생시키는 PSRG, 즉 MSRG 수열  $S_{MSRG}[x^7+x+1, x^6+x^5+x^4+x^3+x]$ 에 대한 (8,4) PSRG를 구현해 보자. 이 MSRG 수열의 발생 다항식  $x^7+x+1$ 은 촉약 불가능하며, 또한 주기가 127 이므로  $8 \times 4$ 와 서로 소이다. 이 경우  $m=4$ 이며, 이를 정리 3A에 적용하면 식 (5)에 있는 병렬 수열들은 다음과 같이 분해된다.

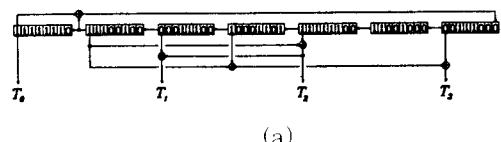
$$T_0 = W_0,$$

$$T_1 = W_8 + W_{16} + W_{32},$$

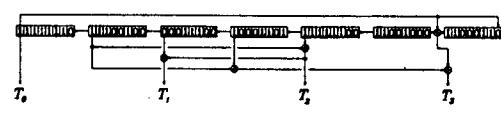
$$T_2 = W_8 + W_{32},$$

$$T_3 = W_8 + W_{24} + W_{48}.$$

그리면, 정리 4A에 의해서 각각의 보조 수열  $W_i$ 는 0번째 병렬 수열  $T_0$ 에 대한 최소 SSRG의 시프트 레지스터 출력 수열  $\{d_{ML-1-i-k}\}$ 와 같음을 알 수 있으므로, 그림 4a와 같은 SSRG에 기반을 둔 PSRG를 얻을 수 있다. 여기서,  $T_0$ 에 대한 최소 SSRG는 식 (5a)와 변환 정리로부터 얻은 것이다. 유사한 방법으로, 식 (5a)와 정리 3B와 4B를 이용하면 그림 4b와 같은 MSRG에 기반을 둔 PSRG를 얻을 수 있다.



(a)



(b)

그림 4. 그림 3에서 발생되는 수열에 대한 (8,4) PSRG (a) MSRG 구조 (b) SSRG 구조

Fig. 4. An example of (8,4) PSRGs for the sequence generated in Fig. 3. (a) SSRG configuration (b) MSRG configuration.

#### IV. SDH 시스템의 병렬 혼화에의 적용

본 절에서는, PSRG를 SDH 시스템의 병렬 혼화

8) 실제의 경우, 혼화에 사용되는 수열의 발생 다항식은 원시 다항식(primitive polynomial)이므로 촉약이 불가능하며, 주기 또한  $MN$ 과 서로 소이다.

9) 일반적인 경우의 PSRG 구현법은 참고 문헌 [8] 과 [9]에 있다.

10) 이 경우,  $\hat{G}(x)$ 의 차수는  $G(x)$ 와 같으며,  $\bar{G}(x) \equiv \hat{G}(x^M)$  가 됨에 유의해야 한다. 참고 문헌 [8] 과 [9]를 참조하라.

11) 최소 SSRG는 최소 MSRG와 마찬가지로, 주어진 수열을 발생시키는 최소 길이의 SSRG를 말한다. 변환 정리를 이용하여 최소 MSRG를 SSRG로 변환하면, 이것이 바로 최소 SSRG가 된다.

에 어떻게 적용하는지를 보이고자 한다 SDH 시스템에서는  $N$ 개의 AUG(administrative unit group) 신호들이 바이트 단위로 다중화되어 STM-  $N$  신호의 유료 부하(payload)를 형성한다. 여기에 구간 오버 헤드(section overhead)가 붙여져 STM-  $N$  신호가 형성되며, 혼화된 후 전송된다. STM-  $N$  신호의 프레임 형식은 그림 5에 나타나 있으며, 최초의  $9N$  바이트(그림의 그늘진 부분)는 혼화되지 않는다. 수신측에서는 송신측의 역과정이 일어나며, SDH 시스템의 전체 과정은 그림 6과 같이 그려질 수 있다. 혼화 및 역혼화에는 특성 다항식이  $x^k+x^{k+1}$ 인 수열 발생기가 사용되며, 각 프레임의 시작에서 모든 시프트 레지스터가 1로 된다. 이것은 그림 3b에 있는  $C(x) = x^k+x^{k+1}+1$ 이고  $D_0(x) = x^k+x^k+x^k+x^k+x^k+1$ 인 SSRG에 해당된다. STM-  $N$  신호의 최초의  $9N$  바이트는 혼화에서 제외되므로, 각 프레임의  $(9N+1)$ 번째 바이트에서 혼화기 및 역혼화기 SSRG의 초기 상태가  $D_0(x)$ 로 된다.

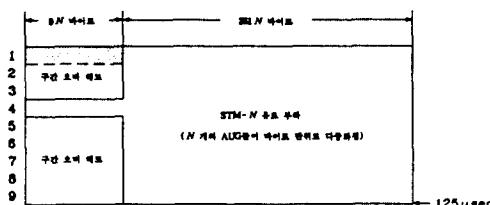


그림 5. STM-N 신호의 프레임 형식

Fig. 5. Frame format for the STM-N signal.

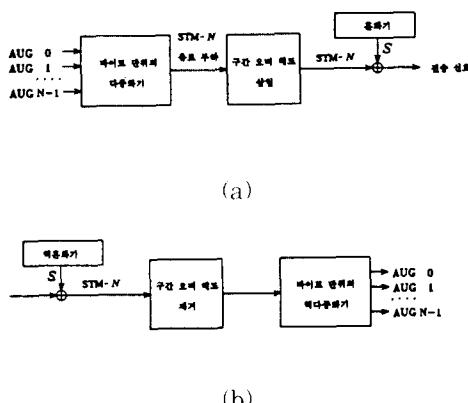


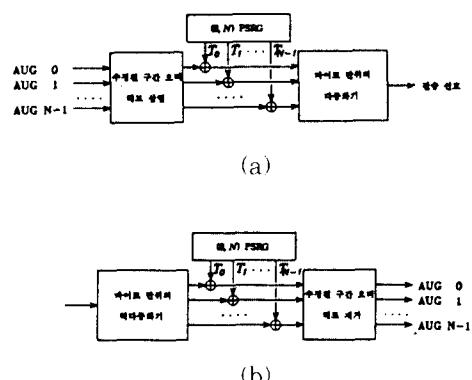
그림 6. SDH 시스템의 구성도

(a) 송신측 (b) 수신측

Fig. 6. Blockdiagram of the SDH system.  
(a)Transmitter, (b) receiver.

SDH 시스템의 혼화 및 역혼화에 사용되는 SSRG는 STM-  $N$  신호 속도와 동일한 속도로 동작한다. 즉, 혼화 속도는  $N = 1$  인 경우에는 155.520 Mbps,  $N = 4$  이면 622.080 Mbps,  $N = 16$  이면 2488.320 Mbps가 된다. 그러나, 만약  $N = 4$  또는 16 인 경우에 SSRG 대신에 PSRG를 사용하면, 혼화 속도는 STM-  $N$  신호 속도에서 STM-1 신호 속도로 떨어지게 된다. 이것은 622.080 Mbps 또는 2488.320 Mbps에 행해야 하는 혼화를 155.520 Mbps에서 할 수 있다는 것을 의미하며, 이는 결국 상당한 비용을 절감할 수 있음을 의미한다. PSRG를 이용한 혼화를 병렬 혼화라고 부르며, 특히 다중 비트 환경에 사용되는 병렬 혼화를 다중 비트 다중화 병렬 혼화라고 부른다. 이와는 반대로, 원래의 SSRG를 이용한 전송 속도에서의 혼화를 직렬 혼화라고 부른다.

SDH 시스템에 병렬 혼화를 적용하면, 그림 7과 같이 재구성할 수 있다. 그림으로부터, 병렬 혼화가 바이트 단위의 다중화기 앞으로 옮겨졌음을 알 수 있다. 이 때, 첨가되는 구간 오버 헤드는 적절히 변형되어야 함에 유의해야 한다. 바이트 단위의 다중화는 8 비트 단위의 다중화이므로, 병렬 혼화를 위해서는  $(8, N)$  PSRG가 필요하게 된다.<sup>12)</sup>

그림 7. 바이트 단위의 병렬 혼화기를 사용한 SDH 시스템의 구성도  
(a) 송신측 (b) 수신측Fig. 7. Blockdiagram of the SDH system employing byte-parallel scrambler.  
(a)Transmitter, (b) receiver.

12) 병렬 혼화를 행한다고 해서, 전송 신호를 달라져서는 안됨에 유의해야 한다. 즉, 병렬 혼화-다중화는 다중화-직렬 혼화와 등가가 되어야 한다.

STM-4 신호의 병렬 혼화를 위해서는 (8.4) PSRG가 필요하게 되는데, 이는 이미 앞 절에서 구한 바 있다. 그러므로, 이 경우 그림 7에서 사용되는 네 개의 병렬 신호  $T_0$ 부터  $T_3$ 은 그림 4a 또는 4b에 있는 것을 사용하면 된다. 마찬가지로, STM-16 신호의 병렬 혼화에 적용 가능한 (8.16) PSRG를 그림 8과 같이 얻을 수 있다.

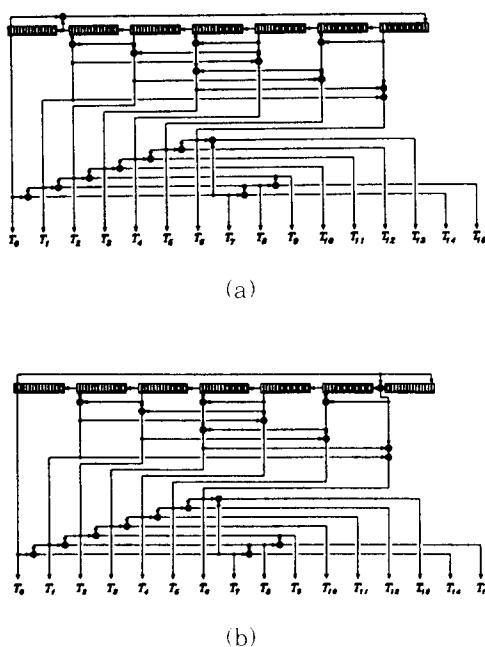


그림 8. 그림 3에서 발생되는 수열에 대한 (8.16) PSRG의 예

(a) MSRG 구조 (b) SSRG 구조

Fig. 8. An example (8.4) PSRGs for the sequence generated in Fig. 3.

- (a) SSRG configuration.
- (b) MSRG configuration.

## V. 결론

본 논문에서는, 다중 비트 다중화 환경에서의 병렬 혼화를 가능하게 하기 위해서, PSRG에 대한 이론을 정립하였다. 여기서 얻어진 다중 비트 다중화에서의 병렬 혼화 기법은 기존의 병렬 혼화 기법의 일반화에 해당한다. 병렬 혼화 이론을 정립함에 있어서, SSRG, MSRG 및 PSRG의 개념을 도입하였고, 그들의 성질을 분석하였다.

$N$ 개의 신호가  $M$ 비트 단위로 다중화되는 상황을 고려하기 위해서,  $(M, N)$  PSRG의 개념을 도입하였다. 원래 혼화 수열의 발생 다항식이 축약 불가능 실체적인 경우에는, 0번째 병렬 수열에 대한 최소 SSRG와 최소 MSRG를 이용하여  $(M, N)$  PSRG를 구현할 수 있음을 보였다. 이렇게 얻어진  $(M, N)$  PSRG는 다중 비트 다중화 병렬 혼화를 가능하게 하는데, 이는 기존의 (단일 비트 단위) 병렬 혼화의 일반화에 해당한다. 기존의 병렬 혼화는  $(1, N)$  PSRG를 사용한 특수한 경우이다.

마지막으로, SDH 시스템에 PSRG 이론을 어떻게 적용하는지를 보았다. SDH 시스템에서는 바이트 단위로 다중화되므로  $M$ 을 8로 놓았고, STM-4 신호의 병렬 혼화를 위해서  $N$ 을 4로 놓고 (8.4) PSRG를 구하였다. 또한 STM-16 신호의 병렬 혼화를 위해서  $N$ 을 16으로 놓고 (8.16) PSRG를 구하였다.

여기서 구한 (8.4) PSRG와 (8.16) PSRG는 실제 SDH 시스템에 사용되는 STM-4와 STM-16 신호의 병렬 혼화에 직접 사용될 수 있는 것이다. 두 경우 모두, 혼화 속도는 전송 속도인 622,080 Mbps 또는 2488,320 Mbps 대신 기본 신호 속도인 155,520 Mbps가 된다. 이것은 MOS 기술로서 병렬 혼화기를 구현할 수 있음을 의미하므로, 상당한 비용 절감을 수반할 수 있게 된다.

## 부 록

### 1. 정리 1의 증명

SSRG 수열  $S_{SSRG} [C(x), D_0(x)]$  와 MSRG 수열  $S_{MSRG} [G(x), D_0(x)]$  를 각각  $\{t_k\}$  와 MSRG 수열  $\{s_k\}$  로 표기하자. 그러면, 그림 1a로부터 SSRG 수열  $\{t_k\}$ 에 대해서 관계식

$$t_k = \sum_{i=1}^L c_i t_{k-i} \quad (\text{A.1a})$$

$$D_0(x) = \sum_{i=0}^{L-1} t_i x^{L-1-i}, \quad (\text{A.1b})$$

가 성립함을 쉽게 알 수 있고, 마찬가지로 그림 1b로부터 MSRG 수열  $\{s_k\}$ 에 대해서 관계식

$$s_k = \sum_{i=1}^L g_i s_{k-i} \quad (\text{A.2a})$$

$$Q[G(x), x^L D_0(x)] = \sum_{i=0}^{L-1} s_i x^{L-1-i}, \quad (\text{A.2b})$$

가 성립함을 쉽게 알 수 있다. 여기서  $Q [G(x), x^L D_0(x)]$  는  $x^L D_0(x)$  를  $G(x)$  로 나눈 몫이다. 만약

$C(x) = x^l G(x^{-1})$ 이면, 식 (A.1a)와 (A.2a)로부터 두 수열  $\{t_k\}$ 과  $\{s_k\}$ 에 대한 회귀 관계식(recurrence relation)이 동일함을 알 수 있고 : 만약  $D_0(x)Q [G(x), x^l D_0(x)]$  이면, 식 (A.1b)와 (A.2b)로부터  $t_k = s_k, k = 0, 1, \dots, L-1$ 가 된다. 그러므로,  $C(x) = x^l G(x^{-1})$ 과  $D_0(x)Q [G(x), x^l D_0(x)]$  가 동시에 성립하면, SSRG 수열  $\{t_k\}$ 과 MSRG 수열  $\{s_k\}$ 가 동일하다.

## 2. 정리 2의 증명

MSRG의 구조를 보여주는 그림 1b로부터, 주기가  $P$ 인 수열  $\{s_k\}$ 는 발생 다항식이  $\hat{G}(x) = x^P + 10$ 이고 초기 상태 다항식이  $D_0(x) = \sum_{n=0}^{L-1} s_n x^n$ 인 MSRG에서 발생될 수 있음을 알 수 있다. 그러므로 성질 1에 의해서 수열  $\{s_k\}$ 는 발생 다항식이  $G(x) = \hat{G}(x)/d(x)$ 이고 초기 상태 다항식이  $D_0(x) = \hat{D}_0(x)/d(x)$ 인 MSRG에서도 발생된다. 그런데, 이 MSRG는 수열  $\{s_k\}$ 를 발생시키는 축약 불가 MSRG이므로 최소 MSRG이다.

## 3. 정리 3A 및 3B의 증명

먼저 정리 3A를 증명하겠다. 수열  $T_i$ 는  $s_{MSRG}[\bar{G}(x), \bar{D}_0(x)]$ 와 동일하고<sup>9)</sup>. 또한 수열  $\sum_{i=0}^{L-1} \alpha_i W_{M,i}$ , 즉  $\sum_{i=0}^{L-1} \alpha_i s_{MSRG}[x^i, \bar{D}_{M,i}(x)]$ 와 동일하기 때문에<sup>10)</sup>  $\bar{D}_{M,i}(x) = \sum_{i=0}^{L-1} \alpha_i \bar{D}_{M,i}(x)$ 를 증명하면 충분하다.  
 $\bar{D}_{M,M}(x) \stackrel{11)}{=} R[\bar{G}(x), x^{M+M'} \bar{D}_0(x)]$ 와 동일하기 때문에<sup>11)</sup>.  
 $\bar{D}_{M,M}(x) = R[\bar{G}(x), R[\bar{G}(x), x^{M+M'}] \bar{D}_0(x)]$ 가 된다. 여기서  $R[a(x), b(x)]$ 는  $b(x)$ 를  $a(x)$ 로 나눈 나머지이다. 그런데 가정에 의해서  $R[\bar{G}(x^M), x^{M+M'}] = \sum_{i=0}^{L-1} \alpha_i x^{i+M}$ 가 되므로,  
 $\bar{G}(x) = \hat{G}(x^M)$ 에 의해서<sup>12)</sup>. 관계식  $\bar{D}_{M,M}(x) = R[\bar{G}(x), \left( \sum_{i=0}^{L-1} \alpha_i x^{i+M} \right) \bar{D}_0(x)]$ 를 얻는다. 그러므로  $\bar{D}_{M,M}(x) = \sum_{i=0}^{L-1} \alpha_i R[\bar{G}(x), x^{i+M}] \bar{D}_0(x)$ 가 되고, 결국  $\bar{D}_{M,M}(x) = \sum_{i=0}^{L-1} \alpha_i \bar{D}_{M,i}$ 를 얻는다.<sup>13)</sup>

이와 유사한 방법으로 정리 3B도 증명할 수 있다.

## 4. 정리 4A 및 4B의 증명

먼저 정리 4A를 귀납법으로 증명하겠다.  $i = 0$ 인 경우에는 SSRG 수열의 정의에 의해서  $\{d_{ML,1,k}\} = T_0$ 이다. 이제,  $W_i = \{d_{ML,1+i,k}\}, i=0, 1, \dots, ML-2$ 라고 가정하고,  $W_{i+1} = \{d_{ML,1+(i+1),k}\}$ 임을 보이겠다. 수열  $W_{i+1}$ 은 수열  $W_i$ 의 1 비트 지연된 수열이므로<sup>14)</sup>,  $W_{i+1} = \{d_{ML,1+k+1}\}$ 가 된다. 그런데, 그림 1a로부터 관계식  $d_{ML,1+i,k+1} = d_{ML,1+(i+1),k}$ 가 성립한다. 그러므로,  $W_{i+1} = \{d_{ML,1+(i+1),k}\}$ 이다.

이와 유사한 방법으로 정리 4B도 증명할 수 있다.

## 参考文献

- [1] J. E. Savage, "Some simple self-synchronizing digital data scramblers", *Bell Syst. Tech. J.*, vol. 46, pp. 449-487, Feb. 1967.
- [2] H. Kasai, S. Senmoto, and M. Matsushita, "PCM jitter suppression by scrambling", *IEEE Trans. Commun.*, vol. COM-22, pp. 1114-1122, Aug. 1974.
- [3] CCITT Recommendations G.707-709 and 781-784, 1990.
- [4] D. W. Choi, "Parallel scrambling techniques for digital multiplexer", *AT&T Tech. J.*, pp. 123-136, Sept./Oct. 1986.
- [5] S. C. Kim and B. G. Lee, "A signal-alignment theory in rolling-based lightwave transmission systems", *IEEE Trans. Commun.*, vol. 38, no. 12, pp. 2119-2130, Dec. 1990.
- [6] S. W. Golomb, *Shift Register Sequences*, 2nd ed., Aegean Park Press, 1982.
- [7] R. C. Dixon, *Spread Spectrum Systems*, 2nd ed., John Wiley and Sons, New York, 1984.
- [8] S. C. Kim and B. G. Lee, "Parallel shift register generators - Part I : A theory", submitted to *IEEE Trans. Commun.* for publication.
- [9] S. C. Kim and B. G. Lee, "Parallel shift register generators - Part I : Applications to parallel scrambling in multibit-interleaved multiplexing environments", submitted to *IEEE Trans. Commun.* for publication.
- [10] S. C. Kim and B. G. Lee, "Parallel scrambling techniques for multibit-interleaved multiplexing environments", in Proc. ICC(International Conference on Communications), May 1993, pp. 1526-1530, (Geneva)

---

著者紹介

---



金錫昌(正會員)

1964年 8月 16日生. 1987年 서울대학교 전자공학과(공학사). 1989년 서울대학교 전자공학과(공학석사). 1994年 서울대학교 전자공학과(공학박사). 주관심분야는 BISIN, SDH/SONET, 디지털 전송 등임.

李秉基(正會員) 第31卷 第1號 參照

현재 서울대학교 전자공학과 부교수