

論文94-31B-3-6

정밀한 완전 차동 Sample-and-Hold 회로

(An Accurate Fully Differential Sample-and-Hold Circuit)

奇重植*, 鄭德均*, 金元燦*

(Joong Sik Kih, Deog-Kyoon Jeong and Won Chan Kim)

要約

본 논문에서는 연산 증폭기의 오프서 전압과 MOS스위치의 charge injection을 효과적으로 보상할 수 있는 새로운 완전 차동 sample-and-hold 회로를 제안하였다. 제안된 회로는 출력 전압이 reset되거나 입력 전압을 track하는 구간이 없는 엄밀한 의미에서의 sample-and-hold 동작을 한다. $1.2\mu\text{m}$ double-polysilicon CMOS공정을 이용하여 제작된 회로는 $550\mu\text{m} \times 288\mu\text{m}$ 의 면적을 차지하며 DC에서 샘플된 출력 전압은 3V의 입력 전압에 대하여 평균 0.056%의 오차를 갖는다.

Abstract

A new fully differential sample-and-hold circuit which can effectively compensate the offset voltage of an operational amplifier and the charge injection of a MOS switch is presented. The proposed circuit shows a true sample-and-hold function without a reset period or an input-track period. The prototype fabricated using a $1.2\mu\text{m}$ double-polysilicon CMOS process occupies an area of $550\mu\text{m} \times 288\mu\text{m}$ and the error of the sampled output is 0.056% on average for 3V input at DC.

I. 서론

Continuous time 신호를 discrete time 신호로 변환하는 Sample-and-Hold (S/H) 회로는 신호 처리 시스템에 있어서 중요한 기본 블록들 중의 하나이다.^[1, 2] 하지만 지금까지 발표된 많은 회로들은 샘플링 기간 동안 출력이 reset되거나^[1], 이 기간 동안

출력이 입력 신호를 track하는 track-and-hold 회로이다.^[3, 4] 샘플링 기간 동안에도 그전 주기에서 샘플된 전압이 출력단에 계속 유지되는 진정한 의미의 S/H 회로도 발표되었으나, 연산 증폭기의 오프서 전압이나 스위치의 charge injection에 의하여 발생하는 오차를 보상하지 못하거나^[5], 이 오차를 보상하기 위하여 부가의 회로와 복잡한 클럭을 사용하였다.^[6]

differential 구조가 single-ended 구조에 비하여 dynamic range가 넓고 power supply rejection, common mode rejection과 clock feed-through rejection이 우수하기 때문에^[7], 근래에는 differential

* 正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字 : 1993年 6月 26日

구조로 회로를 설계하는 것이 보편화되고 있다. 이에 따라 differential 구조로 된 S/H 회로의 필요성도 증가하고 있다.

본 논문에서는 부가의 복잡한 회로를 사용하지 않고도, differential 구조의 특성을 이용하여 연산 증폭기의 오프서 전압과 스위치에 의한 charge injection의 영향을 보상시킬 수 있는 fully differential sample-and-hold 회로를 제안하고자 한다.

II. 회로의 구성

1. 제안한 S/H 회로의 구성

그림 1은 제안한 differential S/H 회로의 개념으로 두 개의 differential amplifier, 두 개의 샘플링 캐패시터, 두 개의 홀딩 캐패시터, 그리고 이들을 연결하는 스위치들로 구성된다.

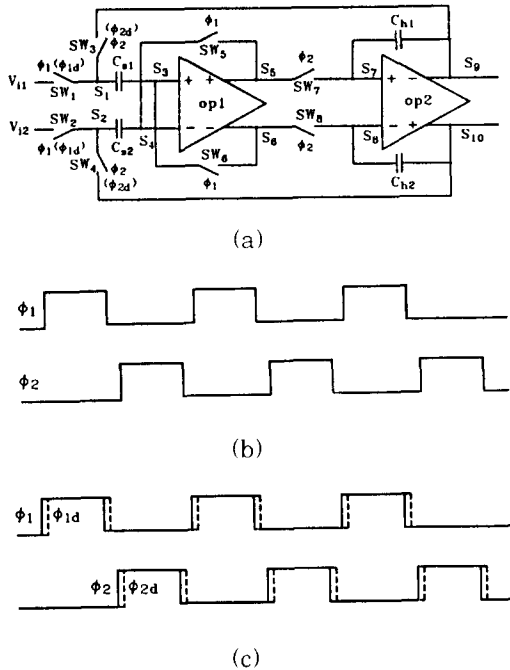


그림 1. 제안한 differential S/H 회로
 (a) 회로도 (b) 2-phase 클럭
 (c) delayed 클럭
 Fig. 1. The proposed differential S/H circuit.
 (a) schematic diagram.
 (b) 2-phase clock, (c) delayed clock

그림 2를 이용하여 제안한 S/H 회로의 동작을 설명하면 다음과 같다. 클럭은 그림 1 (b)의 2-phase

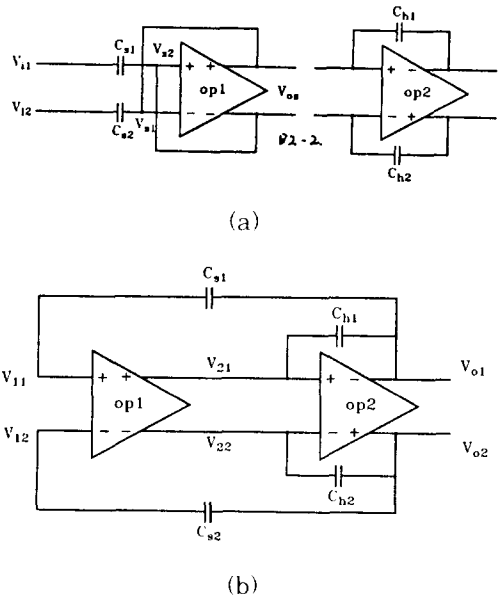


그림 2. S/H 회로의 동작 설명도
 (a) 샘플링 단계
 (b) 입력 전달 및 홀딩 단계
 Fig. 2. Operation of the S/H circuit.
 (a) sampling period,
 (b) input transfer and holding period.

클럭을 사용한다. 먼저 ϕ_1 이 'H', ϕ_2 가 'L'이면 그림 2 (a)가 되어 첫번째 연산 증폭기 op1의 (+)출력단과 (-)입력단, (-)출력단과 (+)입력단이 각각 서로 연결되어 연산 증폭기의 출력단에는 연산 증폭기의 오프서 전압이 나타나게 된다. 따라서 샘플링 캐패시터 C_{s1} 과 C_{s2} 의 한쪽 단자에는 입력 전압이, 다른 단자에는 첫번째 연산 증폭기 op1의 오프서 전압이 가해지게 되어 샘플링 캐패시터에는 입력 전압과 연산 증폭기의 오프서 전압의 차가 저장된다. 이때 S/H 회로의 출력에는 홀딩 캐패시터 C_{h1} , C_{h2} 와 연산 증폭기 op2에 의해 이전 주기에 샘플링된 전압이 계속 나오게 된다. ϕ_1 이 'L'가 되면 S/H 회로의 입력단은 신호원과 단절되며 이 순간 샘플링 캐패시터에 저장된 전압이 샘플링된 입력 신호가 된다. ϕ_2 가 'H'가 되면 그림 2 (b)와 같이 되어 두 연산 증폭기는 캐스캐이드로 연결되고 캐패시터 C_{s1} 과 C_{s2} 의 한 쪽 단자가 출력단에 연결되어 샘플링 캐패시터에 저장된 입력 전압이 출력단에 전달된다. 이때 홀딩 캐패시터 C_{h1} 과 C_{h2} 에는 새로운 전압이 저장된다. 이 홀딩 캐패시터들은 캐스캐이드로 연결된 두 증폭기에 대하여 Miller pole-splitting compensation을 하여 회로

의 안정성을 유지하는 역할도 하게 된다.

제한한 회로가 어떻게 두 연산 증폭기의 오프셋 전압의 영향을 감소시키는지를 분석하면 다음과 같다. 두 연산 증폭기의 오프셋 전압을 각각 V_{os1} , V_{os2} 라고 하면, 그림 2 (a)의 샘플링 단계에서 두 샘플링 캐패시터 C_{s1} 과 C_{s2} 양단의 전압 V_{cs1} , V_{cs2} 는 각각 식 (1. a) (1. b)로 표시할 수 있다.

$$V_{os1} = V_{s1} - V_{s2} \quad (1. a)$$

$$V_{cs1} = V_{i1} - V_{s2} \quad (1. b)$$

$$V_{cs2} = V_{i2} - V_{s1} \quad (1. c)$$

그리고 그림 2 (b)의 입력 전압 전달 및 홀딩 단계에서 각 노드 사이의 전압들의 관계는 식 (2. a) - (2. d)와 같다.

$$V_{o1} - V_{o2} = -A_2 \cdot (V_{21} - V_{22} + V_{os2}) \quad (2. a)$$

$$V_{21} - V_{22} = A_1 \cdot (V_{11} - V_{12} + V_{os1}) \quad (2. b)$$

$$V_{o1} - V_{11} = V_{cs1} = V_{i1} - V_{s2} \quad (2. c)$$

$$V_{o2} - V_{12} = V_{cs2} = V_{i2} - V_{s1} \quad (2. d)$$

여기에서 A_1 과 A_2 는 각각 첫번째 연산 증폭기와 두번째 연산 증폭기의 전압 이득이고, MOS스위치의 charge injection에 의한 영향은 고려하지 않았다. 식 (1)과 식 (2)로부터 S/H 회로의 출력 전압 ($V_{o1} - V_{o2}$)을 구하면 식 (3)과 같다.

$$V_{o1} - V_{o2} = \frac{A_1 A_2}{1 + A_1 A_2} \left[(V_{i1} - V_{i2}) - \frac{1}{A_1} V_{os2} \right] \quad (3)$$

즉 출력 전압에는 첫번째 연산 증폭기의 오프셋 전압 V_{os1} 의 영향은 나타나지 않고 두번째 연산 증폭기의 오프셋 전압은 첫번째 연산 증폭기의 전압 이득 A_1 으로 나누어진 V_{os2}/A_1 으로 감소되어 나타난다. 따라서 제안한 S/H 회로는 연산 증폭기의 오프셋 전압의 영향을 충분히 감소시킬 수 있다.

데이터 저장 단자와 신호원을 연결시키는 MOS스위치가 꺼질 때 스위치로부터 데이터 저장 단자로의 charge injection과 클럭 전압의 gate-to-source/drain overlap capacitor에 의한 coupling은 캐패시터에 저장된 신호 전압의 변화를 가져오고 결국 S/H 회로의 정확도를 저하시킨다.⁸ MOS스위치에 의한 이러한 오차를 줄이기 위하여 dummy 스위치를 사용하거나⁹, dummy 스위치와 dummy 캐패시터를 함께 사용하는¹⁰ 등의 여러 가지 technique들이 발표되었다. 본 논문에서 제안한 S/H 회로에서는 overlap capacitance에 의한 clock feed-

through를 줄이기 위하여 CMOS 스위치를 사용하였으며, 캐패시터의 양단 중 전위가 거의 일정한 값을 유지하는 단자 쪽의 스위치를 그렇지 않은 단자 쪽의 스위치보다 먼저 끄는 그림 1 (c)와 같은 delayed 클럭을 채택함으로써 신호 성분에 따른 샘플된 신호의 오차 변화를 줄였다.¹⁰ Differential 구조에서는 두 differential 단자에 나타나는 charge injection의 영향이 같다면 이는 common mode 성분이 되어 출력 전압에는 아무런 영향을 미치지 않게 된다. 그런데 본 논문에서 제안한 그림 1과 같은 구조의 S/H 회로에서는 클럭이 'H'에서 'L'로 바뀔 때, 첫번째 연산 증폭기의 두 입력 단자 S_1 , S_2 의 전압은 연산 증폭기 op1의 입력 오프셋 전압만큼, 두번째 연산 증폭기의 입력 단자 S_3 , S_4 의 전압은 출력 전압을 연산 증폭기 op2의 전압 이득으로 나눈 값과 연산 증폭기 op2의 입력 오프셋 전압의 합만큼 차이가 있는데, 이들 전압 값은 약 10mV에서 20mV정도이므로 이들 단자의 전위는 큰 변화가 없다. 따라서 그

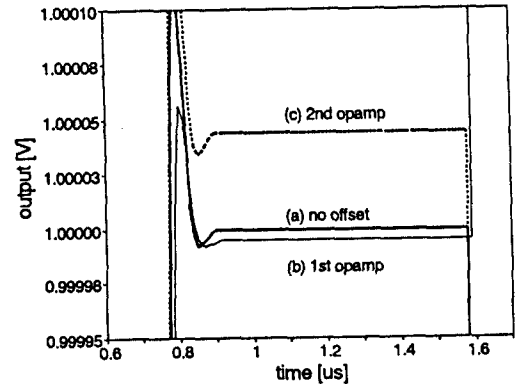


그림 3. 증폭기의 오프셋 전압에 따른 출력 전압의 변화

- (a) 두 증폭기가 모두 오프셋 전압이 없는 경우
- (b) 첫번째 증폭기만 10mV의 오프셋 전압이 있는 경우
- (c) 두번째 증폭기만 10mV의 오프셋 전압이 있는 경우

Fig. 3. The change of output voltage depending on the offset voltage of the amplifier.

- (a) both amplifiers have no offset voltage.
- (b) the first amplifier has an offset voltage of 10mV.
- (c) the 2nd amplifier has an offset voltage of 10mV.

림 1 (b)의 2-phase 클럭 대신 그림 1 (c)와 같은 delayed 클럭을 사용하여, 이들 단자에 연결된 스위치들 SW₅(SW₆)와 SW₇(SW₈)을 SW₂(SW₁)과 SW₃(SW₄)보다 먼저 끄면 S/H의 출력에는 charge injection에 의한 영향이 대부분 common mode로 나타나 오차를 줄일 수 있다.

그림 3은 연산 증폭기의 오프서 전압이 출력 전압에 어떤 영향을 미치는지를 SPICE로 모의 실험한 결과이다. (a)는 연산 증폭기가 오프서 전압이 없을 때, (b)는 첫번째 연산 증폭기만 오프서 전압이 약 10mV 있을 때, (c)는 두번째 연산 증폭기만 오프서 전압이 약 10mV 있을 때의 출력 전압이다. 위 모의

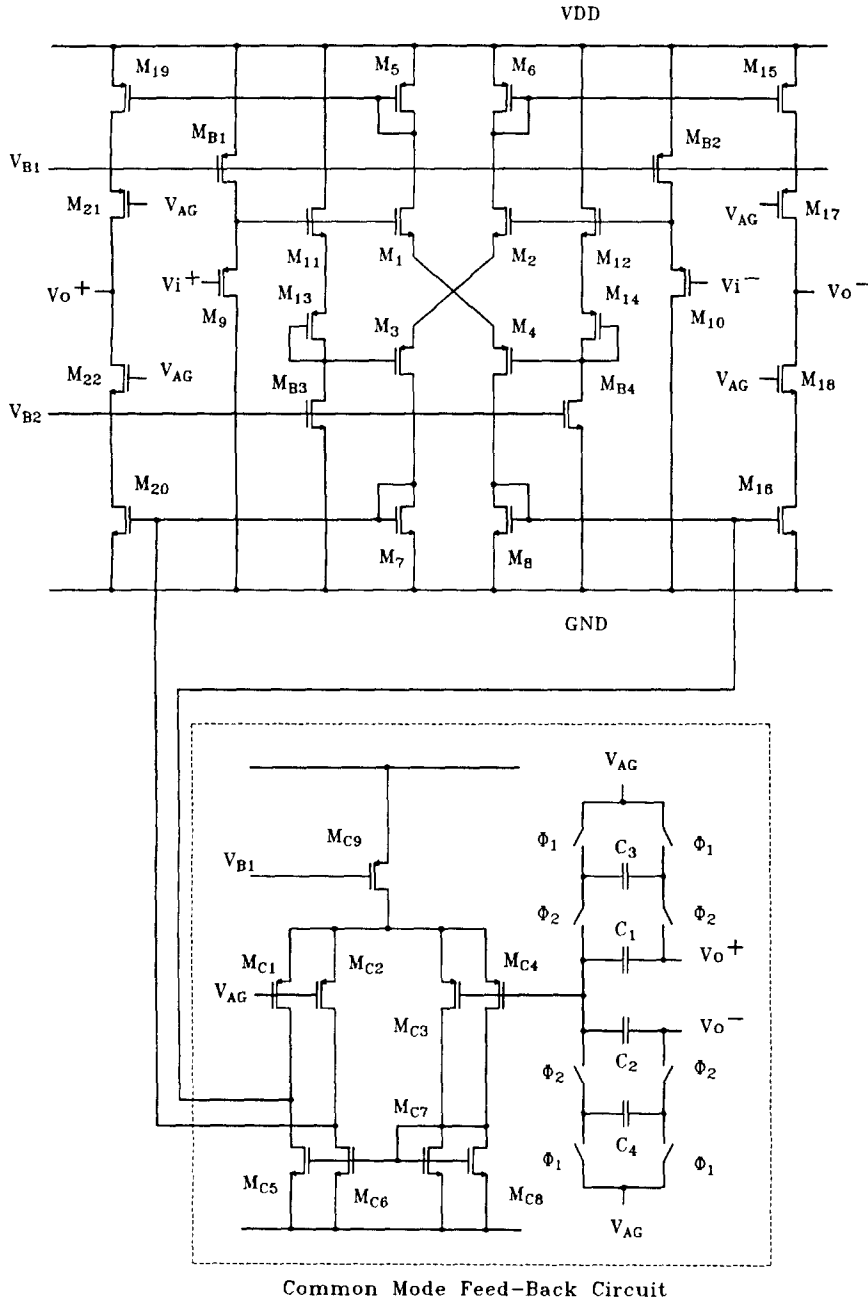


그림 4. S/H 회로에 사용된 single stage class-AB differential 증폭기
 Fig. 4. A single stage class-AB differential amplifier used in the S/H circuit.

실험에서 오프서 전압의 영향만을 분석하기 위해서 스위치는 charge injection이 없는 이상적인 스위치를 사용하였다. 위 모의실험 결과 약10mV의 오프서 전압에 대하여 첫번째 연산 증폭기는 약 5 μ V, 두번째 연산 증폭기의 경우에는 0.05mV이하로 출력 전압에 영향을 준다. 따라서 제한한 S/H 회로는 연산 증폭기의 오프서 전압을 효과적으로 보상함을 알 수 있다.

2. differential 연산 증폭기의 설계

본 논문에서 제한한 S/H 회로는 본래 큰 정전 용량을 가진 부하를 구동해야 하는 특정 application을 염두에 두고 설계를 했기 때문에 연산 증폭기는 이에 적절한 AB급을 사용하였다. 그리고 입력 전달 단계에서 두 연산 증폭기가 cascade로 연결되기 때문에 전체 회로가 발진하지 않도록 두 연산 증폭기를 설계하여야 한다. 이런 조건을 만족시킬 수 있도록 그림 4와 같은 single stage class-AB amplifier [7]를 설계하였다. 그리고 differential amplifier에 반드시 필요한 common mode feedback회로는 소모 전력이 작은 dynamic 형태를 채택하였다.

Ⅲ. 실험 결과

제한한 S/H 회로는 1.2 μ m, n-well, double-polysilicon, double-metal CMOS공정을 사용하여 제작하였다. 그림 5는 제작한 S/H 회로의 칩 사진으로 면적은 550 μ m \times 288 μ m이고 5V 전원으로 작동시킬 때의 소모 전력은 3.8mW이다. 8개의 샘플에 대하여 DC 입력 전압에 대한 출력 전압의 오차를 측정 한 결과 differential입력 전압이 3V일 때의 입력 전

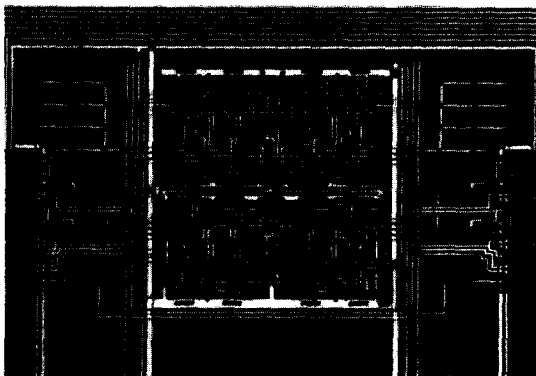


그림 5. 제작된 S/H 회로의 현미경 사진
Fig. 5. Microphotograph of the fabricated S/H circuit.

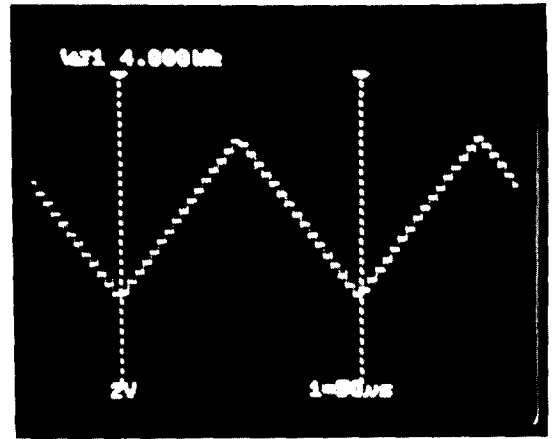


그림 6. 진폭이 3V, 주파수가 4kHz인 삼각파를 가했을 때의 S/H 회로의 출력 파형
Fig. 6. Output waveform of the S/H circuit for the 4kHz triangular input with 3V amplitude.

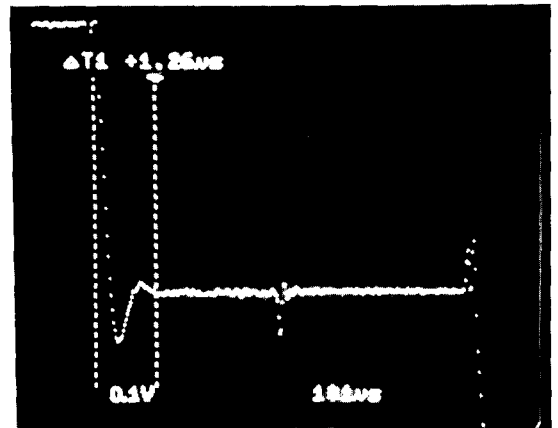


그림 7. 출력 신호가 0.6V 변할 때의 transient response (시간축 = 1 μ s/div)
Fig. 7. Transient response of the output voltage with 0.6V step (time scale = 1 μ s/div).

압에 대한 출력 전압의 오차는 평균 0.055%, 표준편차 0.015이다. 그림 6은 입력단에 주파수가 4kHz인 삼각파를 인가했을 때의 S/H 회로 출력단의 파형이다. 이때 사용한 클럭의 주파수는 128kHz이다. 그림 7은 출력 신호가 약 0.6V 변할 때의 transient response를 측정한 것인데 settling time은 약 1.26 μ s이다. 이 시간은 128kHz의 클럭에 동작하기에 충분한 값이다. settling time은 S/H 회로에 연결된

부하의 정전 용량, 홀딩 캐패시터의 정전 용량, 연산 증폭기 op2의 구동 능력에 따라 결정되는데 큰 capacitive 부하를 구동하도록 설계된 본 S/H 회로는 회로의 안정성을 유지하기 위하여 홀딩 캐패시터의 정전 용량이 큰 값을 가진다. 따라서 제작한 S/H 회로는 비교적 큰 settling time을 가지나 연산 증폭기 op2의 구동 능력을 높이고 홀딩 캐패시터의 정전 용량도 줄임으로써 settling time을 충분히 줄일 수 있다.

VI. 결론

본 논문에서는 새로운 형태의 완전 차동 sample-and-hold 회로를 제안하였다. 제안한 S/H 회로는 연산 증폭기의 오프서 전압과 MOS스위치의 charge injection을 효과적으로 보상할 수 있으며 출력이 reset되거나 출력이 입력 전압을 tracking하는 구간이 없는 엄밀한 의미의 S/H 동작을 한다. single stage class-AB 증폭기를 사용하여 설계한 S/H 회로는 1.2 μ m double-polysilicon CMOS공정으로 제작하였으며, DC에서 출력 전압은 3V의 입력 전압에 대하여 평균 0.055%의 오차를 가지는 것으로 측정되었다.

參考文獻

- [1] K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters Using Switched Capacitor 14-MHz Circuits," *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1096-1102, Dec. 1985.
- [2] S.H. Lewis and P.R. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 954-961, Dec. 1987.
- [3] M. Nayebi and B.A. Wooley, "A 10-bit Video BiCMOS Track-and-Hold Amplifier," *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 1507-1516, Dec. 1989.
- [4] M. Ishikawa and T. Tsukahara, "An 8-bit 50-MHz CMOS Subranging A/D Converter with Pipelined Wide-Band S/H," *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 1485-1492, Dec. 1989.
- [5] G. Nicollini, P. Confalonieri, and D. Senderowicz, "A Fully Differential Sample-and-Hold Circuit for High-Speed Application," *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 1461-1465, Oct. 1989.
- [6] U. Gatti, F. Maloberti, and G. Palmisano, "An Accurate Sample-and-Hold Circuit," *IEEE J. Solid-State Circuits*, vol. SC-27, pp. 120-122, Jan. 1992.
- [7] R. Castello, "Low-Voltage Low-Power MOS Switched-Capacitor Signal-Processing Techniques," *Ph. D. Dissertation*, University of California, Berkeley, Aug. 1984.
- [8] B.J. Sheu and C. Hu, "Switched-Induced Error Voltage on a Switched Capacitor," *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 519-525, Aug. 1984.
- [9] R.E. Suarez, P.R. Gray, and D.A. Hodges, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques: Part II," *IEEE J. Solid-State Circuits*, vol. SC-10, pp. 379-385, Dec. 1975.
- [10] L.A. Bienstman and H. Deman, "An 8-Channel 8b P Compatible NMOS Converter with Programmable Ranges," in *Dig. 1980 ISSCC*, Feb. 1980.
- [11] K. Lee and R.G. Meyer, "Low-Distortion Switched-Capacitor Filter Design Techniques," *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1103-1113, Dec. 1985.

著者紹介



奇 重 植(正會員)

1958年 10月 28日生. 1981年 2月
서울大學校 電子工學科(學士),
1983年 2月 서울大學校 電子工學
科(碩士), 1994年 2月 서울大學校
電子工學科(博士), 1983年 2月 ~
현재 현대전자산업(주)에 근무중.

주관심 분야는 mixed mode signal processing을
위한 VLSI 설계, 고집적 DRAM cell 등임.

鄭 德 均(正會員) 第 30卷 A編 第 12號 參照

현재 서울大學校 電子工學科 助교수

•

金 元 燦(正會員) 第 30卷 A編 第 12號 參照

현재 서울大學校 電子工學科 교수