

CDMA 기지국 설계

柳 銀 榮
金星情報通信(株)

I. 서론

이동통신 서비스의 급증한 수요를 해결하기 위하여 무선채널상의 수용용량을 늘일수 있는 디지털 셀룰러 이동통신이 TDMA방식과 CDMA방식으로 개발 및 실용화가 진행되고 있다. CDMA 방식으로는 주파수 도약방식과 직접시퀀스 방식 등이 있는데 미국의 Qualcomm사에서 직접시퀀스 방식을 이용하여 시험 제품을 성공적으로 개발하였으며 이를 바탕으로 표준화를 진행하고 있다. 직접시퀀스 방식의 디지털 셀룰러는 기존 FDMA방식의 아날로그 셀룰러에 비해 가입자 수용량이 10배 이상 크며, 다경로 페이딩에 강하고, 소프트/소프트 핸드오프가 가능하는 등의 여러 가지 장점이 있지만, 강력한 전력제어 방식이 필요한 등 시스템 복잡성이 크다. 당사는 Qualcomm방식을 이용한 CDMA 디지털 셀룰러 시스템 및 단말기의 개발을 한국전자통신연구소와 공동으로 진행하고 있다.

개발 진행중인 시스템은 교환국(MSC: Mobile Switching Center), 제어국(BSC: Base Station Controller), 기지국(BTS: Basestation Transceiver Subsystem)으로 나눌수 있는데 본고에서는 기지국 시스템의 개요, 구성, 기능 등에 대하여 당사가 개발한 시스템 위주로 언급하고자 한다.

II. 시스템 개요

Unit (DU)와 RF Unit (RFU)로 구성되어 있다. 그림 2는 기지국 시스템의 block diagram을 나타낸다.

Digital Unit는 Digital Shelf와 Basestation Packet Router (BPR) Shelf로 구성되어 있다. Digital Shelf는 Channel Card, Sector Interface Card (SIC), Analog Common Card (ACC), 그리고 Termination Card로 구성되어있다. 전체 시스템의 동기를 위하여 RFU에 위치한 GPS 수신기로부터 1 Pulse Per Second (PPS) 신호와 10 MHz Reference Clock을 공급받는다. 이 Reference Clock을 이용하여 Sector Interface Card에서 19.6608 MFz의 system clock (SYS CLK)을 생성시켜 공급한다.

RF Unit의 Transceiver Shelf는 Digital Shelf에서 출력되는 4.95 MHz의 IF 신호를 UHF 신호로 upconverting 하고, 수신된 UHF 신호를 IF 신호로 downconverting 하는 역할을 한다.

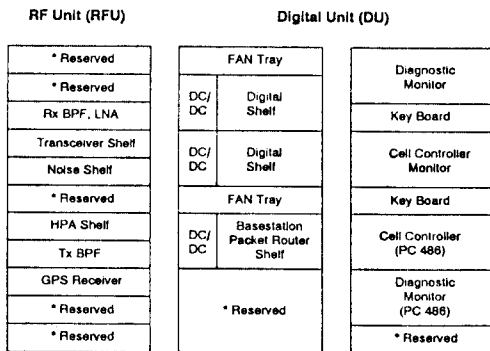


그림 1. 기지국 시스템 구성도

기지국 시스템은 그림 1.에 나타낸것 처럼 Digital

(CE), Channel Card Controller (CCC), Digital Combiner, DAC 등으로 구성되어 있다.

Channel Card Controller는 CE와 Diagnostic Monitor, Cell Controller 사이에 위치하여 CDMA Cellular System의 Cell 작동을 관리한다. Diagnostic Monitor는 기지국 Processor들의 상태를 display한다.

Channel Element는 Main Processor, 주변장치 (RAM, EPROM, I/O), 네개의 Demodulator, Modulator, Viterbi Decoder ASIC등으로 구성되어 있다. Channel Card는 기본적으로 Cell내의 호 처리를 담당한다. 이 Channel Card는 digital sample의 수신과 전송할 baseband data를 보내기 위하여 Analog Common Card와 접속되어 있으며,

Vocoder 음성 data와 제어정보를 송수신하기 위하여 BPR을 통하여 BSC와 접속되어 있다.

또한 호 형성, 호 절단, Handoff 등과 관련된 제어 정보의 송수신을 위하여 Cell Controller와 접속되어 있다. Channel Card에 있는 Channel Element는 load되는 program에 따라 Traffic Channel 또는 Overhead Channel로 사용되는데, Channel Element가 수행하는 기본적인 기능은 다음과 같다.

- Traffic Channel (송, 수신)
- Pilot Channel (송신)
- Synch. Channel (송신)
- Paging Channel (송신)
- Access Channel (수신)

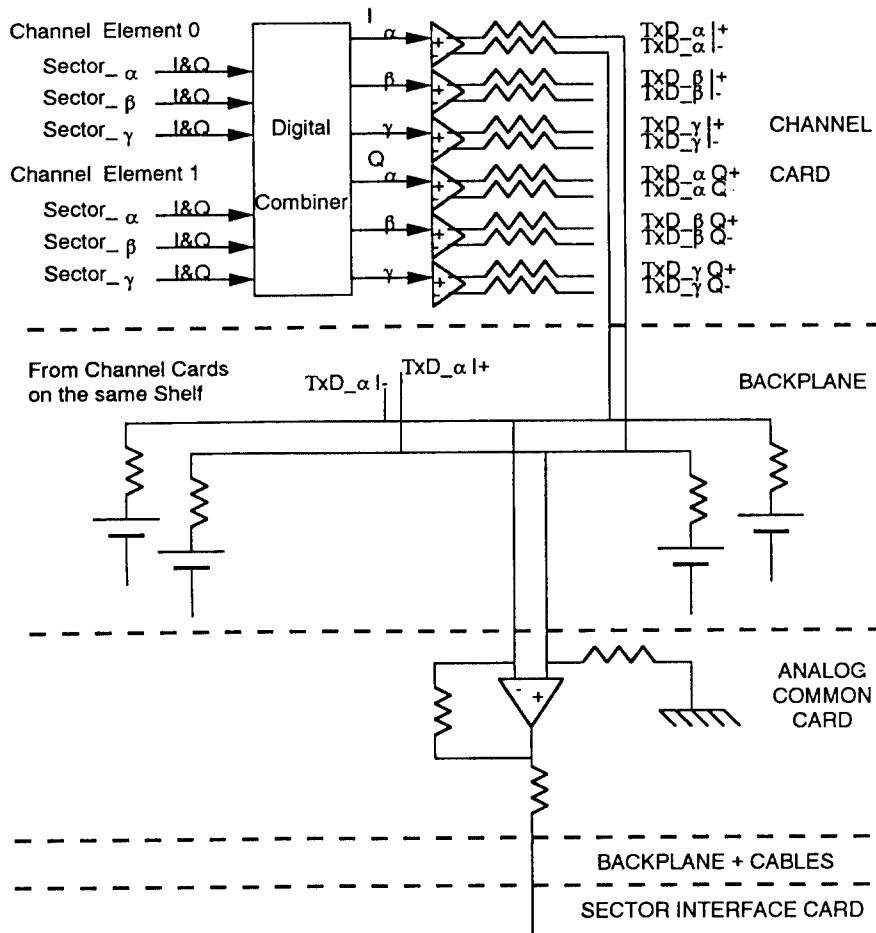


그림 4. Digital Shelf의 Forward Link 신호처리

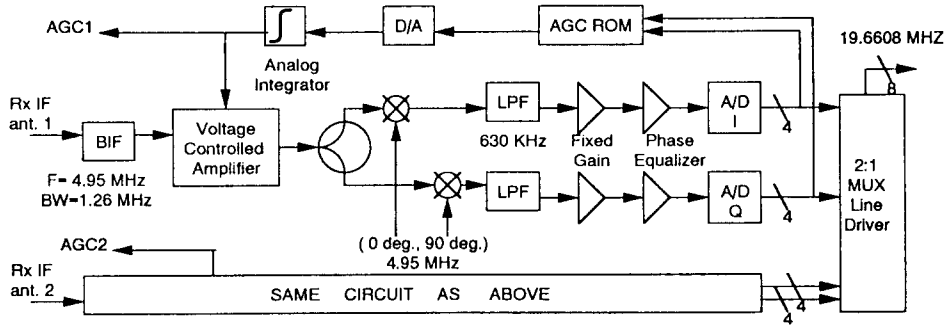


그림 5. ACC의 Reverse Link

2. Analog Common Card

ACC는 SYS_CLK (19.6608MHz), 1 pulse per two second (EVEN_SEC), 10 MHz Reference Clock 등 3개의 신호를 받아, Reverse Link QPSK Demodulator의 4.95 MHz 동기에 사용한다. ACC는 또한 SYS_CLK, EVEN SEC를 다른 Digital Shelf에 분배하는 역할을 한다. 물리적으로 ACC는 Digital Shelf의 한가운데 위치하는데, 이는 timing 신호가 shelf를 통하여 분배될때 모든 slot간의 위상차를 최소로 유지하기 위해서이다. 또한 ACC는 Cell Controller, Diagnostic Monitor와의 통신 및 자체 제어를 위해 microprocessor를 사용한다.

그림 4는 Forward Link에서의 신호처리를 나타낸것으로, ACC는 같은 Digital Shelf 내의 Channel Card로 부터 입력된 baseband 신호들을 수신한다. 이 baseband 신호는 Channel Card내의 두개의 Modulator ASIC 출력이 Digital Combine 되어, DAC와 filter를 거쳐 analog 신호로 변환된 후, backpannel에서 다른 Channel Card의 신호들과 합해진 것이다. ACC는 수신된 신호를 해당되는 각각의 Sector Interface Card로 출력시킨다.

그림 5는 Reverse Link에서의 신호처리를 나타낸것으로, ACC는 sector당 2개의 antenna로부터 수신되어 RF Unit를 통과한 IF 신호를 입력 받는다. 입력된 IF 신호는, 특성저항 50 Ohm, 최대삽입손실 3dB, 중심주파수 4.95 MHz, 대역폭 1.26 MHz의 6차 Chebyshev filter를 통과한다. 이 신호는 200 msec 시정수를 갖는 AGC Loop을 통과한후 90도의 위상차를 갖는 두개의 4.95 MHz 정현파에 의해 baseband I/Q 신호로 나뉘어 진다. 각

baseband 신호는 9.8304 MHz로 4bit A/D 변환된후, 8 bit의 19.6608 MHz 신호로 Mux 된다. 이 상은 1개의 sector로 부터 수신된 IF 신호처리로서, ACC는 3개의 sector로부터 IF 신호를 수신하여 처리한다.

3. Sector Interface Card

Sector Interface Card (SIC)는, 각각의 ACC로부터의 baseband forward 신호를 합하여 IF 주파수로 upconversion 하는 역할과 timing을 분배하는 역할을 한다. ACC와 마찬가지로 자체제어 및 DM, Cell Controller와의 통화를 위하여 microprocessor를 사용한다.

그림 6은 SIC에서의 Forward Link를 나타내는데, ACC들로부터 수신한 baseband 신호를 합하여 증폭한후 630 KHz 대역폭을 갖는 Low Pass Filter (LPF)를 통과시킨다. 두개의 mixer를 통과하여 합해진 IF 신호는 (4.95 MHz, 0 degree and 90 degree) Band Pass Filter 및 증폭기를 거쳐 출력된다.

SIC에서는 GPS로부터 1 pulse per second (1 PPS) 및 10 MHz reference clock을 수신하여 1 pulse per two second (EVEN_SEC) 신호와 19.6608 MHz system clock (SYS_CLK)을 생성한다

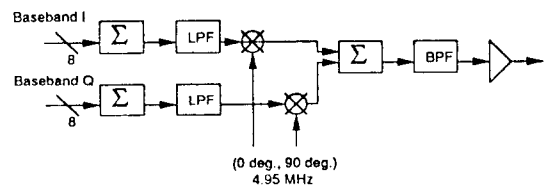


그림 6. Sector Interface Card의 Forward Link

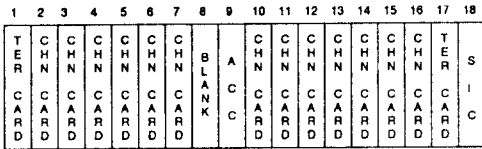


그림 7. Digital Shelf의 Backplane 구조

다. 생성된 신호는 ACC를 통하여 분배된다.

4. Backplane

그림 7은 backplane의 구조를 나타낸다. Backplane을 통하여 1개의 Digital Shelf에는 최대 13장의 Channel Card, 2장의 Termination Card, Analog Common Card, Sector Interface Card 등을 실장할수 있다. Backplane은 각각의 Card와 세계의 96 pin DIN connector를 통하여 연결된다.

(1) RF Interface

RF Unit와의 Interface는 backpanel상의 SMA, SMB type female connector로 구성된다. RFU와 Interface되는 신호에는, SIC를 위한 주파수 및 timing reference, ACC를 위한 주파수 reference, RF splitter로부터 ACC로 입력되는 RxIF, SIC로부터 Upconverter로 출력되는 TxIF 등이 있다.

(2) Cell Controller

Cell Controller는 cell site에 위치한 모든 Channel Card를 제어하기 위하여 RS-485 신호의 multi-drop line을 이용한다. 8개의 line이 backplane 상의 각 slot에 bus 형태로 연결되었으며, DE-9 connector를 사용하여 각단이 terminate 되어 있다. 전송 data와 clock은 ACC에서 repeat 된다. Cell Controller는 DTE로 정의되므로 backplane상의 female DE-9 connector로 연결된다. 이는 Cell Controller로부터 RFU와 Digital Shelf들로의 bus를 daisy-chain을 형성하는 것인데, 이 chain의 끝은 DE-9 male connector를 사용하여 bus를 termination 시킨다.

(3) Diagnostic Monitor

Diagnostic monitor도 cell controller와 동일한 interface를 사용한다. DE-9 connector를 사용하여 각단을 termination 시키는, 또다른 8개의 bus line을 사용한다.

IV. Basestation Packet Router (BPR) Shelf

1. 개요

기지국은 제어국으로 부터 원거리에 위치하므로 유선전송망의 상용 trunk (T1/E1)를 통하여 연결된다. 이 trunk의 효율을 높이기 위하여 이 구간에 packet 통신이 요구된다.

Basestation Packet Router는 Channel Element 및 Cell Controller의 traffic packet 및 control packet을 routing하는 기능을 수행하며, 제어국내의 CDMA Interface Subsystem (CIS)과 T1/E1으로 원거리 Interface된다. BPR의 위치도는 그림 8과 같다.

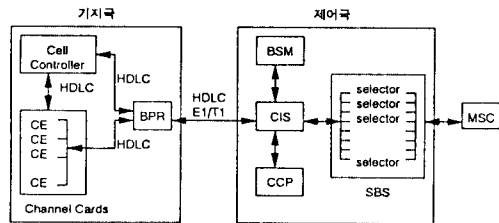


그림 8. Basestation Packet Router의 위치도

2. 기능

BSC의 CIS에서 BTS로 전송되는 Forward Link에서, BSC내의 각 subsystem에서는 HDLC packet을 구성할때 BTS내의 특정 subsystem (Cell Controller, 또는 특정 CE)에 대한 목적지 (destination) 주소를 첨가하여 기지국의 BPR로 전송하게된다. 이때 BPR은 입력된 packet을 목적지로 전송한다. 또한 BTS에서 BSC로 전송되는 Reverse Link에서 BPR은 CE 및 Cell Controller로부터 입력되는 packet들에 대하여 T1/E1 속도의 HDLC frame 형태로 원격지에 있는 CIS로 전송한다. Traffic data는 기본적으로 재전송이 불가능하므로 전송로에서의 오류 검출만 목적지에서 수행하며, signalling 및 control data는 오류시 재전송을 고려해야 하는데 BPR 및 CIS에서는 오류제어를 제공하지 않으며 근원지 (source) 또는 목적지에서 오류 제어 기능을 수행한다.

3. 구성

BPR Shelf는 크게 BCPI (BCC and CCPE

Packet Interface), MCPI (Multiplexed Packet data CIS Interface), BPR Backplane 등으로 구성되어 있다.

BCPI는 CE와 19.2 Kbps로 interface되며, Cell Controller와는 56 Kbps로 interface된다. MPCPI는 BTS와 BSC사이를 T1/E1 trunk를 통하여 interface하는 기능을 제공한다. BPR backplane은 병렬 bus를 이용하여 BCPI 및 MPCPI의 결합을 제공한다.

(1) BCPI의 주요기능

- 목적지 주소 분석 및 순방향 packet의 전송
- 역방향 packet의 전송
- packet buffering
- 직렬 data를 병렬 data로 변환
- 병렬 data를 직렬 data로 변환
- 19.2 Kbps 또는 56 Kbps로 data 전송
- Idle channel에 dummy packet 삽입

(2) MCPI의 주요기능

- 순방향 packet 전송
- 역방향 packet 전송
- T1/E1 trunk interface
- HDLC 처리
- 주소분석 및 packet 전송
- Diagnostic Monitor interface
- Dummy packet 제거

V. RF Unit

1. 개요

RF Unit의 주기능은 Digital Unit와 주고 받는 IF 신호를 UHF 신호로 변환시키는 일이다. RF Unit는 Transceiver shelf, Noise Generator, Forward Link의 High Power Amp, Filters, Reverse Link의 Low Noise Amp 등으로 구성되어 있다.

2. Transceiver Shelf

Transceiver Shelf는 다음과 같은 세부분으로 구성되어 있다. 첫째, Forward Link의 Upconverter, 둘째, Reverse Link의 Receiver Card 2개, 셋째, shelf의 각부분을 제어하고 감시하기 위한 Transceiver Interface Card (TIC).

(1) Upconverter

한개의 Upconverter는 한개 antenna의 한개 RF channel에 대하여 대응되며, 1차 주파수 변환된 4.95 MHz 신호를 2차, 3차 주파수 변환하여 원하는 RF channel (880 MHz 대역)과 level로 조정하여 HPA로 공급한다. Upconverter는 HPA의 입력조건을 만족시키도록 신호를 제어하며, HPA의 입력 level을 조정하여 출력의 전력을 제어할 수 있다. 또한 원하는 RF channel을 선택하는 기능도 있다. 여러가지 목적을 위한 70 MHz대의 잡음 삽입 기능도 있다.

Sector Interface Card로부터 수신된 4.95MHz Tx IF 신호는 먼저 Low Pass Filter를 거친후 제1 주파수 변환을 위한 mixer로 입력된다. 이 mixer에서는 국부발진 신호로 65.040 MHz가 입력되어 출력으로는 69.990 MHz 신호가 되고, 출력신호의 대역의 잡음을 제거하기 위하여 SAW Filter를 사용한다. 여파된 신호는 card 전체의 이득을 제어하는 자동 이득 제어 증폭기에 입력되어 필요한 level로 조절되며, 2차 mixer의 입력 level 조절과 정합을 위하여 감쇠기를 사용한다. 제 2차 주파수 변환을 위한 mixer의 국부발진 신호는 주파수 합성부에서 온다. Mixer 다음단에는 대역폭이 25 MHz인 BPF가 있고, HPA의 입력으로 적합하도록 증폭을 위한 증폭기가 있다. 주파수 합성기부는 3개의 주파수 합성기로 구성되어 있으며 1개는 다른 2개의 주파수 합성기에 기준주파수를 공급하기 위한 block으로 10 MHz 신호를 공급받아 7.2 MHz 신호를 발생시킨다. 다른 2개의 주파수 합성기는 이 신호를 받아서 65.04 MHz 신호와 799 - 824 MHz 신호를 발생시켜 각각의 mixer로 입력된다.

(2) Receiver Card

Antenna system은 최대 3개의 sector로 구성되며, sector당 2개의 수신 antenna가 있다. 각 수신 antenna로부터 수신된 신호는 Helix cable을 통하여 2.5MHz 대역폭을 갖는 협대역 filter로 공급된다. Low Noise Amplifier에서 이 신호는 1.5 dB로 증폭된다. 이 신호는 824-849 MHz의 대역을 갖는 광대역 filter를 통한후 Receiver Card에 공급된다. 한개의 Receiver Card는 한개의 수신 antenna에 대응한다. Receiver Card는 2개의 Downconverter를 갖는데, 2개의 Downconverter는 LNA와 첫번째 단 conversion stage를 공유하지만, IF

amplifier와 두번째단 conversion stage는 독자적으로 구성한다. 각 Downconverter는 신호 level을 일정하게 유지하고, IF 대역내의 신호와 잡음의 합을 구하는데 AGC 기능을 사용한다. 2개의 Downconverter는 외부에서 공급된 10.00 MHz clock에 동기된 synthesizer를 공통으로 사용한다. 평상시에는 첫번째 Downconverter에 70 MHz 대의 noise가 합해지는데, 이를통하여 AGC 회로는 필요 신호와 다른 사용자에게 의해서 발생하는 잡음의 량을 측정하게 된다. 이 Downconverter의 출력인 4.95 MHz IF 신호는 Digital Unit의 Analog Common Card에 공급된다. 2번째 Downconverter는 평시에 noise가 합해지지 않은 상태로 운용되며, system test용으로 사용된다.

(3) Transceiver Interface Card

이 card의 사용 목적은 다음과 같다.

- Receiver Card의 RSSI 및 AGC level의 monitor
- Upconverter에 대한 AGC level의 제어 (Tx gain adjustment)
- Upconverter로의 동작 주파수 지정
- HPA의 Enable/Disable
- Reverse Link에 Other User Noise를 첨가시키는 것을 digitally 제어
- RF 회로의 ADC 및 DAC들의 입출력값 범위 지정 및 조정
- BTS coverage 영역의 확장 및 축소 제어
- Cell Controller와의 HDLC 통신기능
- Cell Controller 및 Diagnostic Monitor로의 Reporting, 제어, program down loading
- GPS 수신기로부터 1PPS 신호를 받아 Digital Unit에 제공

3. High Power Amplifier

High Power Amplifier의 역할은 Forward Link에서의 전송신호를 증폭하여 antenna에 공급하는 것인데, 다음은 이 HPA의 specification이다.

- 1) Frequency rage 868 .. 894 MHz
- 2) Output Power 20 Watts minimum
- 3) Gain 30 dB min, 50 dB max

- 4) Input, output Impedence 50 Ohm nominal
- 5) Input VSWR 1.25: 1.0 max
- 6) Load VSWR < 1.5: 1.0
- 7) Amplifier의 출력이 갑자기 short 되거나 open되더라도 피해를 입어서는 안된다.
- 8) Intermodulation 동일 amplitude, 등간격 주파수배치의 8개의 carrier가 최대출력 등 어떤 세기로 공급되더라도, 최대 intermodulation 출력은 출력 carrier 대비 -30 dB보다 작아야한다.
- 9) Output poer gating 이 unit는 gate on/off 기능을 가져야하며, turn on rising time 과 settling time은 200msec보다 작아야한다.
- 10) 동작온도 40 .. 100 degree F

參 考 文 獻

[1] Qualcomm, CDMA Cellular Land Network System Specification, 1993, 4.
 [2] Qualcomm, CDMA Brassboard Base Station Document, ver. 1.0, 1991, 12.
 [3] Qualcomm, Brassboard Cell Channel Chard Hardware Design Document, Rev. 1.3, 1993, 4.
 [4] Qualcomm, Mobile Station-Base Station Compatibility, TR-45.
 [5] 한국전자통신연구소, 기지국 BPR 기능규격서, 1993, 7.
 [6] 한국전자통신연구소, 기지국 SIC 개발규격서, 1993, 5.
 [7] 한국전자통신연구소, 기지국 ACC 블럭설계서, 1993, 7.
 [8] 한국전자통신연구소, 기지국 채널카드 하드웨어 기능규격서, ver. 1.0, 1993.
 [9] 금성정보통신, 기지국 High Level Design Document, ver. 0.0, 1993, 10. ☉

筆 者 紹 介

柳 銀 榮

1951年 2月 23日生

1973年 2月 서울대학교 전기공학과 학사

1980年 12月 Ohio State Univ. 석사

1983年 9月 Ohio State Univ. 박사

1976年 1月 ~ 1979年 3月 국방과학연구소

1983年 9月 ~ 1986年 6月 General Electric Co.

1986年 7月 ~ 현재 금성정보통신(주) 이동통신연구단장 이사

주관심 분야 : 이동통신, 위성통신, 교환시스템