인공위성 중계기용 고출력 전력증폭기의 구현에 관한 연구

正會員 金 大 鉉* 正會員 呂 寅 赫* 正會員 李 斗 漢* 正會員 洪 義 錫**

A study on the solid-state power amplifier for satelite transponders

Dae Hyun Kim*, In Hyuck Yeo*, Du Han Lee*, Ui Seok Hong**, *Regular Members*

요 약

본 논문은 통신위성 중계기에서 사용되는 TWTA을 대치하기 위한 Ku band (12.25GHz~12.75GHz) SSPA의 개발을 설명하고 있다. 본 전력증폭기의 전력증폭단은 브랜치라인 결합기로 결합된 두 개의 내부 정합된 8W FET소자로 구성되어 있으며, 이 단을 동작시키기 위해서 구동단은 내부 정합된 2W, 4W, 8W FET와 두개의 중간전력 FET로 설계되었다. 전체 증폭기는 알루미늄 기구물안에 RF회로와 바이어스회로를 함께 장착시켜 제작하였으며 정류/순차 회로가 FET 바이어스를 위해서 사용되었다. 이렇게 제작된 전력증폭기는 41±0.3dB의 소신호 이득, 15 W의 포화 출력, 포화출력 레벨에서 5dB back off 시켰을 때 -21.5dBc의 C/IM_3, 최대 2°dB AM/PM conversion, 그리고 3.47±0.25nsec 군 지연 특성을 나타내었다.

ABSTRACT

This paper describes the developenent of a Ku-band (12.25GHz~12.75GHz) SSPA intended as a replacement for TWTAs used in communication satelite transponder. The power stage of the amplifier consists of tow intrmally matched 8W FET divices combined using the branch-line coupler. To operate this stage, the drive stage has been designed with intermally matched 2W, 4W, 8W FET and two medium power FETs. The entire amplifier is made up by a aluminum chassis housing both the RF circuit and the bias circuitry. A regrlator/sequencing circuitry is used for FET biasing. The amplifier results implemented in this way show 41±0.3dB small-signal gain, 15W saturation power, a typical two tone IM_3=-21.5dBc with single carrier backed off 5dB from saturation, 2°/dBmax AM/PM conversion, and 3.47±0.25nsec group delay.

* 광운대학교 전자통신공학과
Department of Electronic Communication Engineering,**
** 광운대학교 전파공학과
Department of Radio Science & Engineering, Kwangwoon University
論文番號 : 94161
接受日字 : 1994年 6月 17日

Ⅰ. 서 론

위성통신은 선로망을 이용하는 것보다 신호 전송의 비용이 싸고 새로운 선로망을 구축하기가 쉬우며, 원거리 통신을 할 수 있다는 장점이 있다.[1] 위성통신에서 위성통신 시스템 구조중 페이로드 시스템(payload system)은 지구국으로부터 송신된 신호를 수신하고 재송신하기 위한 안테나와 수신된 신호를 증폭하고 주파수 변환하기 위한 중계기(transponder)로 나누어진다. 이 페이로드 시스템에서 필수적인 요건 중에 하나는 다른 지역의 신호 송수신에 영향을 주지 않는 범위에서 지구국이 수신할 수 있게 신호의 세기를 높여 주어야 하는데 이러한 역할을 하는 것이 바로 고출력 증폭기이다.[2] 이러한 고출력 증폭기는 TWT를 이용한 TWTA(Travelling Wave Tube Amplifier)를 사용하고 있으나 C-band에서 Ku-band에 이르는 GaAs FET의 최근의 발전으로 이들 GaAs FET를 이용한 고출력 증폭기가 TWTA를 대치하고 있는 중이다. 이러한 GaAs FET를 이용한 고출력용 전력증폭기의 장점으로는 intermodulation, harmonic, 및 AM/PM convwesion등의 비선형 왜곡특성이 TWTA보다 우수하며 가격이 저렴하고 수명이 길다는 것이다.

고출력 전력증폭기에서 전력결합기는 SSPA가 TWTA를 대체할 수 있도록 하는 중요한 기술이다. 전력 FET를 결합하는데 가장 일반적으로 이용되는 것은 3dB planar hybrid인데 이러한 구조는 2개 혹은 4개의 소자를 결합하며 그 이상의 소자들을 결합할 경우에는 결합효율(%)이 떨어지며 부피가 커지는 단점이 있다.

본 논문의 증폭기는 알루미늄으로 제작된 기구물에 RF회로와 바이어스 회로를 함께 집적화하여 구성되어 있으며 RF회로는 황동으로 만들어진 캐리어상에 5단으로 구성된 구동 증폭단과 브랜치라인 결합기로 구성된 고출력 증폭단으로 이루어져 있다. 1,2단은 중간전력 GaAs FET인 후지스사의 FLK022WG, FLK052WG을 사용하여 일반적인 소신호 증폭기의 설계방식을 따라 설계하였으며 3, 4, 5단은 내부 정합된 전력 GaAs FET인 도시바사의 TIM1112-2, TIM1112-4와 TIM1112-8을 사용하였다. 고출력 증폭단은 두 개의 TIM1112-8의 소자를 브랜치라인 결합기를 이용하여 평행하게 배열하여 각 소자의 출력이 결합되게 하였다. 전력 증폭기의 동작주파수 범위는 12.25~12.75 GHz이며 사용한 기판은 비유전율 ε_r =2.52이고 두께 h=0.5 mm인 CGP-502 테프론 기판이다. 바이어스 회로는 정류/순차 회로를 이용하여 GaAs FET가 안정한 동작을 하도록 하였다.

Ⅱ. 전력증폭기 이론.

초고주파 증폭기를 설계하는데 가장 중요하고 선결되어야할 문제는 안정도 판별이다. 안정도 판별은 소신호 산란 계수로부터 결정할 수 있으며, 다음으로는 알맞는 소오스와 부하 임피던스를 선택하여 이에 부합되는 입출력 정합회로를 설계하는 것이다. 이렇게 하여 최대 혹은 임의의 전력 이득을 갖는 증폭기를 설계할 때 소신호의 설계에서는 고려하지 않는 점을 고려할 것이 있다. 기본적으로 이러한 차이점은 대신호 동작 상태에서 GaAs FET의 비선형성과 전력용 트랜지스터가 다수의 셀로 결합된 형태와 관계가 있다. 우선 소신호 증폭기의 가장 큰 차이는 선형성이다. 이것은 열역학적으로 증폭기를 고찰하면 알 수 있다. 열역학적으로 전력 증폭기는 DC전력을 RF전력으로 변환시키는 전력 콘버터라 생각할 수 있다. 따라서 이러한 형태는 기본적으로 열역학 법칙을 따른다.[3]

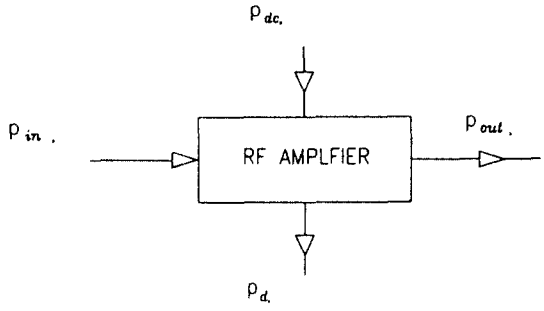


그림 1. RF 증폭기의 열 역학적인 표현.
Fig. 1 Thermodynamic representation of RF amplifier.

이는 식(1)과 같이 나타낸다. 즉 증폭기에 입력되는 신호의 세기와 출력의 세기는 같아야 한다.

$$P_{in} + P_{dc} = P_{out} + P_d \tag{1}$$

전력 이득을 다음과 같이 정의하면,

$$G = \frac{P_{out}}{P_{in}} \tag{2}$$

식 (1)은

$$P_d = P_{dc} - (G-1)P \tag{3}$$

식(3)이 된다. 만일 이득이 1보다 큰 상수이고, 직류 전력이 일정하면, 입력 신호가 증가하여 어느 수준이상에서는 증폭기의 소비전력 P_d가 마이너스가 되는 경우가 발생한다. 즉 수식적으로 전력이 소비되지 않고 발생되는 것과 같이 된다. 열역학적으로 이러한 사실은 불가능하며 실제로 전력이득이 변하여 열역학 법칙을 만족시키게 되고 이득이 포화 되었다고 한다. 이러한 증폭기의 동작 특성은 소자의 잡음 특성으로 인하여 낮은 입력 신호에 대하여 제한되며, 입력 신호가 1 dB 감쇠된 점을 넘어서면 비선형 특성 때문에 증폭기의 선형 동작이 제한된다[4].

고전력 증폭기에서 신호왜곡은 첫째, 상호변조곱(intermodulation product)에 의해 생겨난다. 즉 두개나 혹은 그 이상의 주파수를 갖는 신호가 비선형적인 특성을 나타내는 전력 증폭기에 입력될 때, 출력 신호는 상호변조곱이라 불리우는 주파수 성분들을 갖게된다. 예를들어, 식 (4)와 같은 신호가 비선형적인 특성을 갖는 전력 증폭기에 입력된다고 하자. 그러면 출력신호는 식 (5)와 같이 역 급수의 형태로 나타낼 수 있으므로 출력 신호는 dc, f_1, f_2, $2f_1$, $2f_2$, $3f_1$, $3f_2$, $f_1 \pm f_2$, $2f_1 \pm f_2$, $2f_2 \pm f_1$의 주파수 성분들을 갖게될 것이다. 이때, $2f_1$과 $2f_2$를 2차 고조파, $3f_1$과 $3f_2$를 3차 고주파라 하고, $f_1 \pm f_2$, $2f_1 \pm f_2$과 $2f_2 \pm f_1$를 각각 2차 및 3차 상호변조곱이라고 한다.

$$v(t) = A\cos 2\pi f_1 t + A\cos 2\pi f_2 t \tag{4}$$

$$v_o(t) = \alpha_1 v_i(t) + \alpha_2 v_i^2(t) + \alpha_3 v_i^3(t) \tag{5}$$

그림 2는 위의 관계에 대한 입출력 스펙트럼을 나타내고 있는데 이 그림에서 알 수 있듯이 3차 상호변조곱 $2f_1 - f_2$과 $2f_2 - f_1$는 증폭기의 대역폭내에서 기본주파수 f_1과 f_2에 근접해 있기 때문에 출력에서의 왜곡현상에 가장 큰 영향을 주게 된다.[5]

또 다른 신호왜곡현상은 비선형적인 위상특성에 의해 일어난다. 신호가 왜곡없이 증폭되기 위해서 전력이득 전달함수의 크기는 주파수의 함수로서 일정해야 하며, 위상은 주파수의 선형함수이어야 한다. 그래서 주파수에 대한 위상천이(phase shift)는 신호의 모든 주파수 성분들에 대해 일정한 시간지연을 일으키게 된다. 그러나, 위상천이가 주파수에 대해 비선형함수가 된다면 신호의 여러가지 주파수 성분들에 대해서 여러 다른 시간지연들을 일으키게 된다.

이것은 결국 출력에서의 위상왜곡을 일으키게 된다. 우리는 이것을 편리하게 군 지연(group delay) 특성으로 나타내는 식 (6)과 같이 정의한다.

$$t_d = -\frac{d\phi}{d_\omega} \tag{6}$$

주파수에 대해 비선형적인 위상특성에 의한 왜곡외에도, 전력 증폭기는 또 다른 형태의 위상 왜곡을 갖을 수 있다. 즉, AM과 같은 신호들이 전력 증폭기를 통해 전달될 때 위상천이는 신호의 순간적인 크기의 함수가 되고, 출력 위상은 약간의 리플을 갖는 평균치로 구성되는데, 이러한 형태의 위상왜곡을 AM/PM conversion 이라고 하고, 입력 전력이 1dB 증가할 때, 출력 위상의 변화로써 정의한다.[5][6]

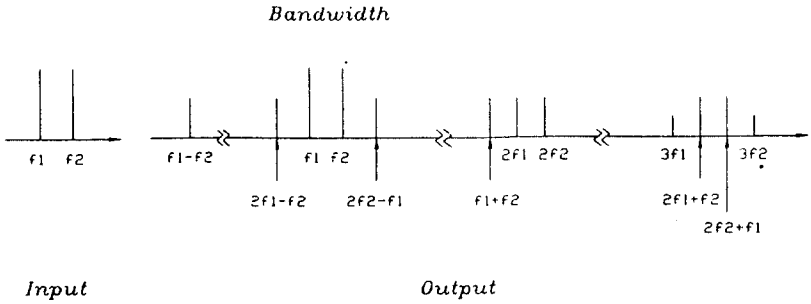


그림 2. 입·출력 전력 스펙트럼.
Fig 2. Input and output power spectrum.

Ⅲ. 전력결합기 이론.

하나의 반도체 소자로 구현된 회로는 그 응용에 한계가 있다. 그 이유 중 하나는 소자 자체의 출력이 제한되어 있기 때문이다. 현재의 반도체 기술은 C-band 이하의 경우에 수십에서 수백 Watt의 출력을 낼 수 있는 소자를 제작할 수 있으나, X-band 이상에서는 수 Watt의 출력을 낸다[7]. 그러므로, 그 이상의 출력을 갖는 증폭기를 제작하기 위해서는 전력결합기술이 필수적이다. 이를 위해서 다양한 전력결합기가 연구개발되어 왔으며 결합된 소자중 어느 한 소자가 파손된 경우라도 이득과 출력의 급격한 성능 저하를 방지하는 기능(gracful degradation)을 또한 전력증폭기에 제공한다. 전력결합기는 이외에도 패키지화된 고전력 GaAs FET 으 내부에 FET셀의 출력을 결합하는 기술로도 이용되고 있다[8],[9]. 실제적으로 사용되는 결합기로는 Wilkinson, Lange, Rat-race, 그리고 Branch-line등이 있으며 표 1에서 이들 전력결합기들의 여러 성능을 비교하였다[10].

일반적으로 X-band나 그 이하의 주파수에서는 Wilkinson이 많이 사용되나 그 이상의 주파수에서는 여러가지 문제점이 나타나게 된다. 첫째로, 사용되는 칩저항은 동작 주파수와 비교될 만한 공진 주파수를 갖게 되고 이렇게 되면 그 칩저항은 더이상 집중소자로서 역할하지 않는다. 둘째로, 높은 공진 주파수를 갖는 칩저항을 얻기 위해서는 크기가 매우 작아야 하는데 이것은 결국 Wilkinson의 두 출력 단자가 그 저항이 연결될 수 있을 정도로 매우 가까워야 하며 이것은 출력 단자 사이에서 강한 coupling을 일으키게 되어 원하고자 하는 전력의 분배를 얻지 못하게 된다는 것을 의미한다. 마지막으로 X-band 이상에서는 폭이 넓고 낮은 임피던스를 갖는 선로를 반원의 형태로 구부리기가 불가능하며 Wilkinson의 두 단자 사이에 칩저항을 연결시킬때 연결시키는 위치에 따라 결합기의 응답은 크게 달라지게 된다[11]. 본 논문에서는 대역폭, 반사손실, 삽입손실, 격리도, 크기, 기술과 복잡성 등을 고려할 때 가장 적합하다고 생각되는 branch-line 결합기를 전력증폭단의 전력결합 및 분배기로 사용하였는데 부랜치라인 결합기는 설계와 제작이 쉬우며 손실이 매우 작다. 대역폭은 대략 10 - 20% 정도로 비록 넓지는 않으나 RF 신호의 세기가 비교적 큰 신호를 전송하는데 있어서 다른 결합기에 비해서 파손될 확률이 매우 적다. 다단으로 설계함으로써 대역폭을 개선시킬 수 있으나 이러한 경우는 기판에서 차지하는 면적이 넓어지게 된다. 설계이론은 네개의 모든 단자가 50Ω의 부하를 갖도록 하는 것이며, 전달되는 전력이 3 dB가 되기 위해서 병렬 전송선로의 특성 임피던스는 50Ω, 직렬 전송선로의 특성 임피던스는 $50/\sqrt{2}\,\Omega$이 되도록 설계하고 전달되는 신호가 출력에서 90° 의 위상차를 갖도록 하기 위해서 각 전송선로의 길이는 $\lambda/4$의 길이를 갖어야 한다. 실제 제작시 아이솔레이션 단자의 저항은 각 단자에서 반사되는 신호를 흡수하기 위해서 50Ω으로 종단시키는데, 전력증폭기의 경우는 저항이 반사되는 신호의 전력을 견딜 수 있는 용량을 가져야 한다. 그림 3은 브랜치라인 결합기를 나타낸다[12][13].

이러한 브랜치라인 결합기의 산란계수 행렬은 식 (6)과 같다.

표 1. Power combiner/divider 회로의 비교
Table1. Comparision between power combiner/divider networks.

Parameter	FORK	RAT-RACE	BRANCH-LINE	WKLKINSON	LANGE
Band width	Medium	Narrow	Narrow	Medium	Large
Return loss	Bad	Good	Good	Good	Good
Isolation	Low	Good	Good	Good	Good
Balance	Good	Good	Good	Good	Good
Size	$15mm^2$	$63mm^2$	$41mm^2$	$13mm^2$	$1mm^2$
Substrate	Soft	Soft	Soft	Soft	Hard
Mechanical complexity	Low	Low	Low	Low	Hard

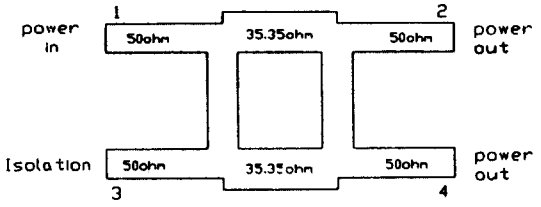


그림 3. 브랜치라인 결합기.
Fig. 3. Branch-line coupler.

$$S=\begin{bmatrix} 0 & \alpha & 0 & \beta \\ \alpha & 0 & \beta & 0 \\ 0 & \beta & 0 & \alpha \\ \beta & 0 & \alpha & 0 \end{bmatrix} \tag{6}$$

이때, 결합기가 손실이 없다고 한다면, 두 상수 α와 β는 아래의 관계를 만족한다.

$$|\alpha|^2+|\beta|^2=1 \tag{7}$$

$$\alpha^*\beta+\beta^*\alpha=1 \tag{8}$$

식 (7)은 크기의 관계를 나타내며, 식 (8)은 α와 β가 90° 위상차가 남을 보여준다. 따라서 α와 β를 두 개의 실수 t와 ϕ로 표현하면

$$\alpha=\sqrt{(1-t^2)}je^{-j\phi} \tag{9}$$

$$\beta=te^{-j\phi} \tag{10}$$

식(9)와 식(10)이 된다. 즉, 단위파(unit wave)가 단자 1에 입력되면 단자 2와 단자 4의 출력들은 각각 식 (9)와 식 (10)이 되며 단자 3에는 출력이 없다.

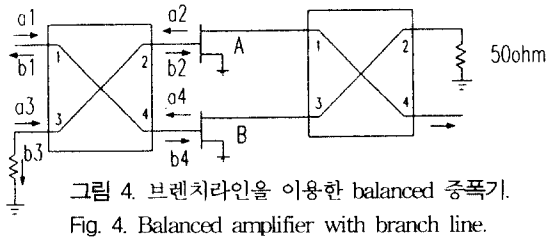


그림 4. 브렌치라인을 이용한 balanced 증폭기.
Fig. 4. Balanced amplifier with branch line.

평형 증폭기는 그림 4와 같이 두개의 동일한 3dB 결합기로 증폭기 A와 B를 연결하여 구성한다. 즉, 입력단 결합기의 단자 2와 4는 증폭기 입력과 연결하고 단자 3은 50Ω으로 종단시킨다. 출력단 결합기의 단자 1과 3을 증폭기 출력과 연결하고 단자 2를 50Ω으로 종단시킨다. 이와 같은 브랜치라인 결합기를 이용한 평형 증폭기의 산란계수는 식 (11)과 같다.

$$\begin{aligned} S_{11}&=e^{-2j\phi}\left[\ t^2S_{11}(A)-(1-t^2)S_{11}(B)\right] \\ S_{21}&=je^{-2j\phi}t\sqrt{1-t^2}\left[\ S_{21}(A)+S_{21}(B)\right] \\ S_{12}&=je^{-2j\phi}t\sqrt{1-t^2}\left[\ S_{12}(A)+S_{12}(B)\right] \\ S_{22}&=e^{-2j\phi}\left[\ t^2S_{22}(A)-(1-t^2)S_{22}(B)\right] \end{aligned} \tag{11}$$

이때, 첨자 1과 2는 각각 입출력을 나타내며, A와 B는 증폭기를 나타낸다. 결합기가 3dB(t^2=0.5)이고 두 증폭기의 특성이 같을 때 산란계수는 식 (12)와 같다.

$$\begin{aligned} &|S_{11}|\ \approx 0 \\ &|S_{22}|\ \approx 0 \\ &S_{21}\approx je^{-j2\phi}S_{21}(A)\approx je^{-j2\phi}S_{21}(B) \end{aligned} \tag{12}$$

이것은 평형 증폭기의 입출력 정합이 양호하며 이득은 1단 증폭기의 이득과 거의 같음을 의미한다. 만약 두 증폭기의 특성이 다르고 결합도는 3dB로 같은 경우의 산란계수는 식 (13)과 같다.

$$\begin{aligned} |S_{11}|&=\frac{1}{2}\,|S_{11}(A)-S_{11}(B)| \\ |S_{22}|&=\frac{1}{2}\,|S_{22}(A)-S_{22}(B)| \\ |S_{21}|&=\frac{1}{2}\,|S_{21}(A)-S_{21}(B)| \end{aligned} \tag{13}$$

즉, 입출력 반사계수는 두 증폭기 차이의 절반이며 이득은 합의 절반임을 알 수 있다.[14]

Ⅳ. 설계 및 제작.

본 논문에서는 후지스사의 FLK022WG와 FLK052WG를 사용하여, 1, 2단 증폭기를 설계하였으며 3, 4, 5단 증폭기를 도시바사의 TIM1112-2, TIM1112-4, 그리고 TIM1112-8을 이용하였다. 그리고, 최종 전력 증폭

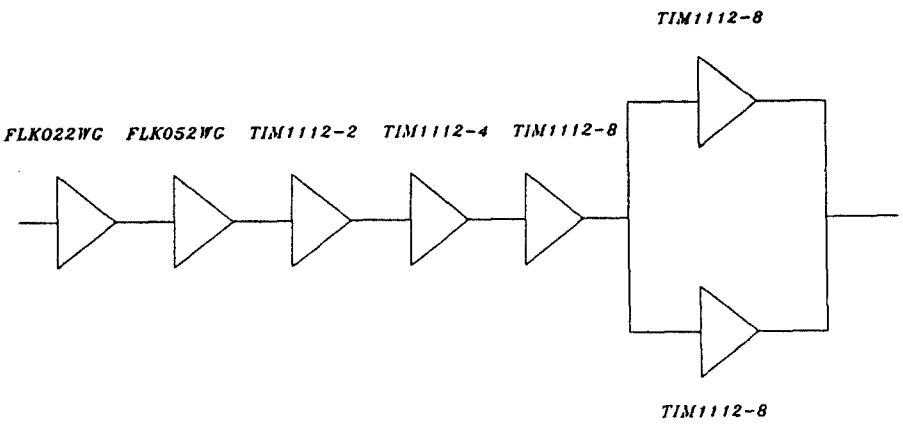


그림 5. SSPA 구성도
Fig. 5. SSPA block diagram.

단에서는 TIM1112-8의 소자를 브랜치라인 결합기로 전력을 분배/결합하여 최종출력에서 원하는 출력을 얻고자 하였다. 이때, 구동단 전력증폭기는 고전력 증폭단을 구동하기에 충분한 출력과 효율을 갖추어야 하는 동시에 선형 영역에서 동작하도록 설계한다. 이들 소자를 그림 5과 같이 배열하였으며 상용 CAD simulator를 설계에 사용하였다. 증폭기의 설계는 소자의 산란계수를 이용하며 입 출력 정합회로는 소자의 안정과 다른 시스템의 영향을 주거나 받지 않도록 하기 위해서 입출력 반사계수를 15dB 이상의 값을 갖도록 설계한다. 임피던스 정합은 소자의 입출력에 선로를 달아주어 스미스도표상의 단위 어드미턴스원에 S_{11}이나 S_{22}가 위치하도록 한후, L과 C 성분의 스터브를 부과시켜 S_{11}, S_{22}의 위치가 중심으로 오도록 이동시킨다. 이러한 방법으로 초기치를 설계한 후, CAD를 이용하여 최적치를 구한다. 한편 구동 증폭단을 설계할 경우, 다단 증폭기의 일반적인 설계 방식인 연결단 정합방식을 이용하지만, 본 논문에서는 각단을 50Ω으로 입출력을 정합시켜 각 단을 연결하는 single-ended 증폭기 설계방식으로 설계하였다. 이러한 방식은 연결단 정합에 비해 element 수가 많아지므로 바람직하지 않지만, 20% 이하의 대역폭을 갖는 증폭기의 설계시에는 single-ended

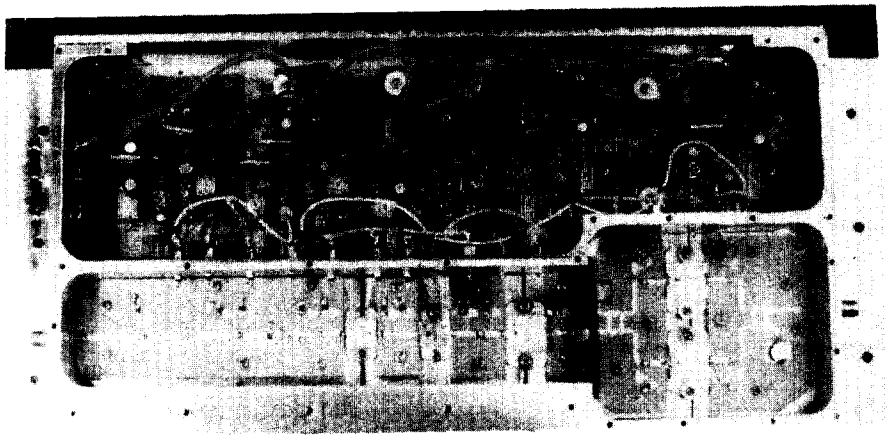


그림 6. 전력 증폭기의 사진.
Fig. 6. Picture of a SSPA.

증폭기 설계방식은 회로의 설계와 제작후의 tuning, 증폭단의 배열이 쉽고 각 단의 성능을 비교해서 필요한 것으로 대체시킬 수 있는 장점이 있다[15]. 그러나 연결단을 정합시키는 경우 각 단을 무조건 50Ω으로 입출력 정합시켜 연결시키는 경우보다 각 단으로 바라본 임피던스를 보고 임피던스 변환 비율이 가장 적도록 설계하는 정합방식이 권장할 만 하겠다[8].

이상과 같이 설계하고 최적화시킨 전력증폭기는 ε_r=2.52, h=0.5mm의 테프론 기판위에 제작하고, 황동으로 만들어진 캐리어위에 에폭시를 이용하여 접착시킨다. 그리고, 무게를 가능한한 최소로 하기 위해서 알루미늄으로 기구물을 제작하여 그 안에 바이어스 회로와 함께 정착시켰다. RF 회로와 바이어스 회로사이의 연결은 피드스루 캐패시터(feed-through capacitor)를 두 회로사이의 차폐역할을 하는 내벽에 삽입하여 구현하였다. 이때, 능동소자인 GaAs FET는 정전기에 의해 파괴될 수 있으므로 antistatic pad위에 handstrip을 착용한 후 부착하며, 열로 인한 저항성분을 최소화 하기 위해 screw로 소오스단을 외부 접지면에 고정시켜 접지시켰다. 또한 케이트에 부전원이 인가되기 전에는 드레인에 전원이 인가되지 않는 순차/보호 회로를 전원 공급을 위한 바이어스 회로로 채택하였다. 그림 6은 이렇게 설계하여 제작된 고출력 전력증폭기의 사진이다.

V. 측정 및 결과.

본 연구에서 제작된 전력 증폭기는 HP8510C network analyzer와 HP438A power meter로 증폭기의 이득과 전력을 각각 측정하였으며, 서로 10MHz 가량 떨어진 신호를 전력증폭기에 입력시켜 측정한 C/IM$_3$은 HP7004A spectrum analyzer을 사용하여 측정하였다. 그리고, HP8722C network analyzer로 입력전력을 변화시키고 pre-amp로 전력증폭기를 선형 영역에서 포화 영역까지 구동시켜 1dB증가할 때 마다의 위상변화를 관찰하였다. 그림 7(a)는 이득과 전력을 그림 7 (b)는 C/IM$_3$와 AM/PM conversion을 측정하기 위한 장비의 구성도를 나타낸다.

그림 8은 이렇게 측정된 소신호 이득을 나타낸 것으로 12.25~12.75GHz의 500MHz대역에서 41dB의 이득과 ±0.3dB의 이득평탄도를 나타내었으며, 12.5GHz에서 입출력 전달특성을 그림 9에 나타내었다. 여기에서 알 수 있듯이 전력증폭단에 브랜치라인 결합기를 사용

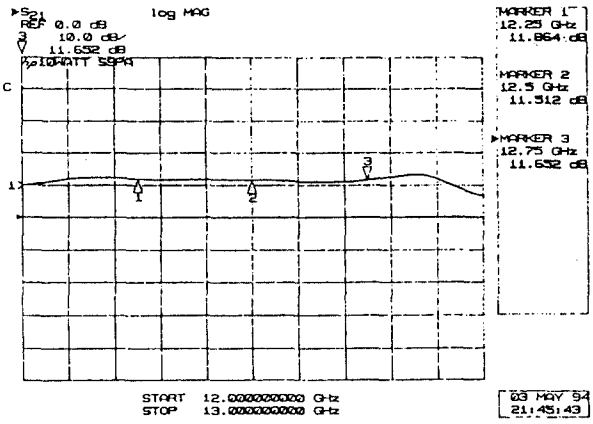
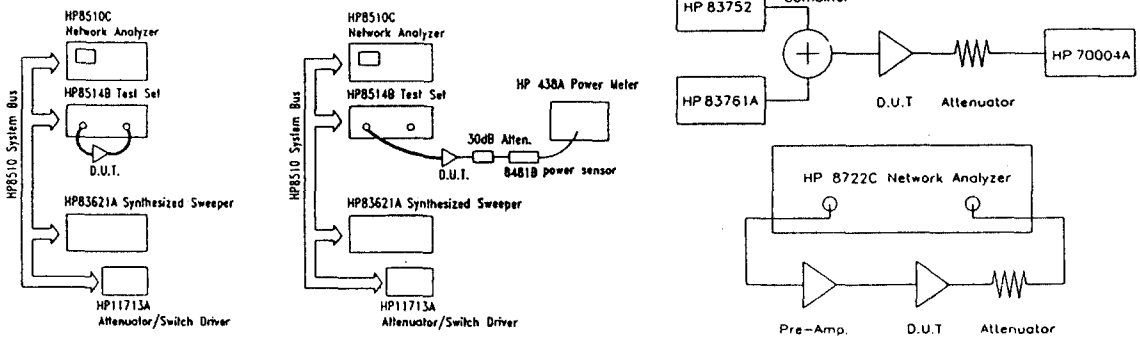


그림 8. 소신호 이득

Fig. 8. Small-signal gain.



(a) 이득과 전력측정.

(b) C/IM$_3$과 AM/PM conversion 측정.

그림 7. 장비 구성도.

Fig. 7. Block diagram of equipment.

하여 제작한 본 연구의 전력증폭기는 15 Watt의 출력을 나타내었으며 15 Watt의 출력을 위한 브랜치라인 결합기는 최대 0.2dB의 삽입손실, 1.49의 SWR을 나타내어 SSPA를 위한 전력결합기로서 타당함을 알 수 있었다.

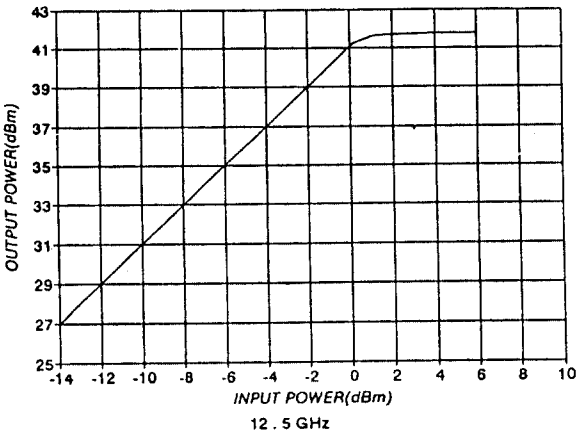


그림 9. 입출력 전달특성.
Fig. 9. P_{in}/P_{out} transfer characteristics.

그림 10과 그림 11는 본 연구에서 구현된 전력증폭기의 입출력 SWR로서 송신안테나와 연결될때, 전력의 손실과 반사파의 발생을 줄이기 위하여 최대한 개선되어야 할 요소로서 본 전력증폭기는 상당히 양호한 결과를 나타내었다.

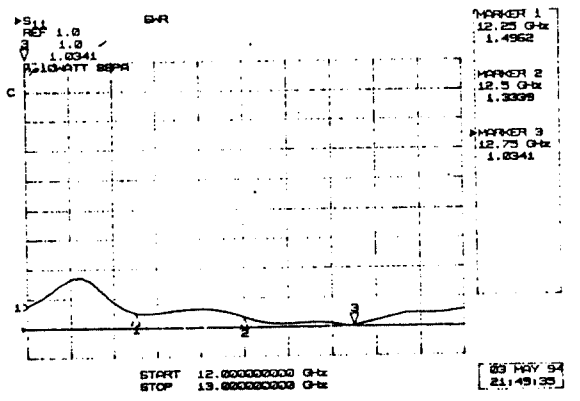


그림 10. 입력 SWR
Fig. 10. Input SWR.

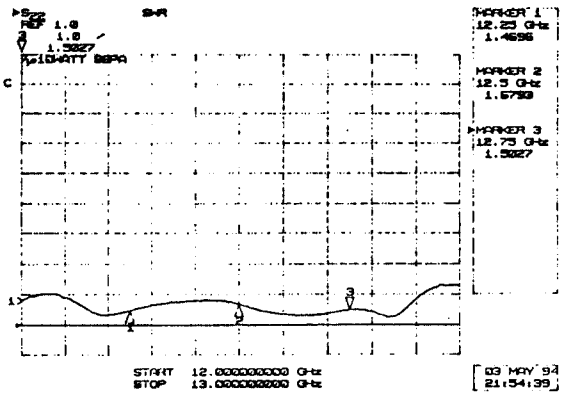


그림 11. 출력 SWR
Fig. 11. output SWR.

그림 12은 포화전력레벨에서 5 dB back off 시킨 10MHz 간격의 두개의 신호가 증폭기에 입력될때, IM_3 스펙트럼을 나타낸 것이며, 그림 13는 12.25~12.75GHz의 주파수 대역에서 측정된 group delay로서 500MHz의 대역에서 3.47±0.25 nsec의 우수한 group delay를 나타내었는데 이것은 본 증폭기의 위상선형성을 나타내는 척도가 된다. 또 다른 증폭기의 중요한 특성은 AM/PM conversion으로서 2° /dB이내의 특성을 나타내었는데 이는 TWTA가 4.5° /dB정도의 특성을 나타내는 것에 비추어 상당히 우수한 비선형 왜곡특성을 나타냄을 알 수 있었다. 제작한 전력증폭기의 1dB 압축점에서 계산된 전력 효율(power added efficiency)은

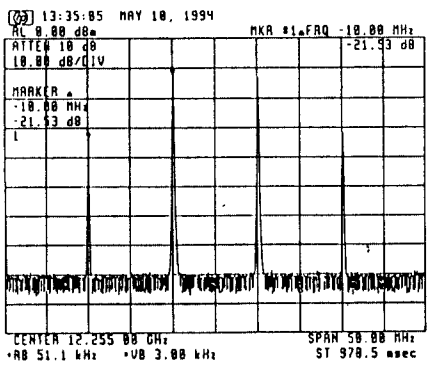


그림 12. 포화전력레벨에서 5dB back off 시킨 IM_3스펙트럼.
Fig. 12. IM_3 spectrum with single carrier backed off 5 dB from saturation.

다음과 같다.

$$\eta = \frac{P_0 - P_i}{P_{dc}} 100\% = \frac{14.7W - 1.25mW}{132W} 100\% = 11.1\%$$

여기서, P_0은 RF 출력 전력, P_i는 RF 입력 전력, P_{dc}는 직류 전력을 나타낸다.

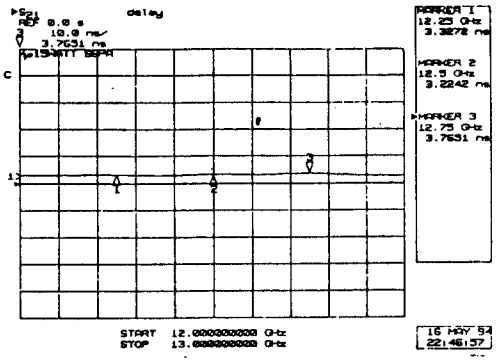


그림 13. 군 지연

Fig. 13. group delay.

VI. 결 론

본 논문에서는 12.25~12.75GHz에서 동작하는 15 Watt급 전력증폭기를 비유전율 ε_r=2.52, 두께 h=0.5 mm인 CGP-502 테프론 기판을 사용하여 구현하였다. 1, 2단 증폭기로는 FLK022WG와 FLK052WG, 3, 4, 5단에는 TIM1112-2(2W)와 TIM1112-4(4W) 그리고 TIM1112-8(8W)을 이용하여 구동단을 설계 및 제작하였고 최종 전력증폭단은 TIM1112-8의 소자를 브랜치라인 결합기를 이용하여 그 출력이 결합되도록 하였다. 전력증폭기의 측정결과로, 이득은 41±0.3dB, 포화 출력은 15W을 나타내었다. 황동을 기판의 캐리어로 사용하였으며, 알루미늄의 기구물 안에 바이어스 회로와 함께 장착시켰다. 바이어스 회로는 게이트에 우선적으로 부(-)전원을 인가시키므로서 소자가 안정하게 동작되도록 하였다. 아울러 전력증폭기에서 선형영역과 신호의 정확한 송수신 정도를 좌우하는 C/IM$_3$은 포화 출력 레벨에서 5dB back off 시켰을때 -21.5dBc로 측정되었으며 AM/PM conversion은 2° /dB 이내의 특성을 나타내어 TWTA보다 양호한 비선형 특성을 보여주고 있음을 알 수 있었다. 앞으로의 과제는 N-way redial power combiner나 spatial power combiner와 같은 삽입 손실이 적고 power capacity가 높은 결합기를 연구하여 경제적으로 필요로 되는 더 높은 출력을 소자 자체의 출력에 제한받지않고 얻는 것이라 하겠으며 내부 정합된 전력 소자의 개발 또한 중요한 과제이다.

참 고 문 헌

1 "VSATs", Satellite Systems Engineering, Inc, pp.15-21, sep. 1986.

2. D. Roddy, "Satellite Communications," Prentice Hall, pp.63-107, 1989.

3. R. Soarces, "GaAs MESFET Circuit Design," Artech House, pp. 287-291, 1988.

4. R. Soarces, J. Graffeuil, J. Obregon, "Applications of GaAs MESFETs," Artech House, pp. 210-211, 1983.

5. G. Gonzalez, "Microwave Transistor Amplifiers Design," Prentice-Hall, pp.95-101, 1984.

6. Tri T. Ha, "Solid-State Microwave Amplifier Design," John Wiley, pp.203-216, 1981.

7. A. G. Bert, D. Kaminsky, "The Traveling-Wave Divider/Combiner," IEEE Trans. Microwave Theory and Tech, Vol. MTT-28, pp. 1468-1473, 1980.

8. John L. B. Walker, "High-Power GaAs FET Amplifier," Artech House, pp. 128-134, 1993.

9. S. A. Maas, "Nonlinear Microwave Circuits," Artech House, pp. 209-220, 1988.

10. J. Baucells Boix, "Ku-band solid state power amplifier for the new European satellites," 23rd European microwave conference proceedings, pp.11-14, 1993.

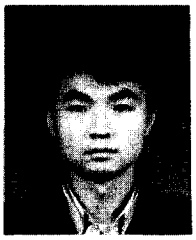
11. Rick Crist and Lin Sukamto, "A novel Wilkinson power divider with predictable at K and Ka-band," IEEE MTT-S Digest, pp.907-910, 1994.

12. K. Chang, C. Sun, "Millimeter-Wave Power-Combining Techniques," IEEE Trans. Microwave Theory and Tech., Vol. MTT-31, pp.91-107, 1972.

13. T. Edwards, "Foundations for Microstrip Circuit Design," John Wiley & Sons, pp.267-276, 1992.

14. K. Kurokawa, "Design Theory of Balanced Transistor Amplifiers," Bell System J., pp.1675-1698, Oct. 1965.

15. S. Bharzj, H. Balshem, "Ku-Band Power FET Amplifier use Flip-chip FET Devices," MSN & CT, pp.75-80, July 1985.



金 大 鉉 (Dae Hyun Kim) 정회원
1970년 2월 17일생
1993년 2월 : 광운대학교 전자통신공학과 졸업(공학사)
1993년 3월 ~ 현재 : 광운대학교 대학원 전자통신공학과 박사과정 재학중
※주관심분야 : MIC 및 MMIC회로 설계, 이동 및 위성통신

呂 寅 赫 (In Hyuck Yeo) 정회원
1968년 4월 12일생
1991년 2월 : 광운대학교 전자통신공학과 졸업(공학사)
1993년 2월 : 광운대학교 대학원 전자통신공학과 졸업(공학석사)

李 斗 漢 (Du Han Lee) 정회원
第19卷 10號 參照
현재 : 광운대학교 대학원 전자통신공학과 박사과정중
※주관심분야 : ANTENNA & WAVE PROPAGATION, MIC 및 MMIC 회로 설계

洪 義 石 (Ui Seok Hong) 정회원
第19卷 10號 參照
현재 : 광운대학교 대학원 전파공학과 교수
※주관심분야 : MIC 및 MMIC 회로 설계, ANTENNA & WAVE PROPAGATION, 이동 및 위성통신