

PLL을 이용한 Ku-Band 주파수 합성기 설계 및 제작에 관한 연구

正會員 李 一 埜* 正會員 閔 庚 壹* 正會員 安 東 植** 正會員 吳 承 燁*

A Study on the Design and Implementation of Ku-Band Frequency Synthesizer by using PLL

Il Kyoo Lee*, Kyung Il Min*, Dong Sik An**, Seung Hyeub Oh* *Regular Members*

要 約

Ku-Band 주파수 합성기를 PLL과 주파수 체배 방법을 이용하여 설계 및 제작하였다. 안정된 약 1 GHz의 주파수를 합성하기 위해 PLL 회로의 설계 과정 및 동작 특성을 제어이론을 바탕으로 고찰하였다. 안정된 약 1 GHz PLL 회로에 주파수 2 체배기, 주파수 8 체배기를 연결하여 Ku-Band 주파수를 합성하였다. 실험결과를 통하여 Ku-Band 주파수 합성기 설계 방법의 타당성을 확인하였다.

Abstract

The design and implementation of Ku-Band frequency synthesizer was accomplished by the use of PLL and frequency multiple method. Design procedure and operation characteristics of PLL circuit were analyzed on the basis of control theory to synthesize about 1 GHz frequency which should be stable. By connecting frequency doubler and frequency eighth multiplier to the designed PLL circuit in series, Ku-Band frequency was synthesized. The validity of design method of Ku-Band frequency synthesizer was verified through experimental results.

* 충남대학교 전자공학과
Dept. of Electronics, Chung-Nam National University

** 韓國電子通信 研究所
Korea Electronics and Telecommunication Research Institute

論文番號: 93260

接受日字: 1993年 12月 30日

I. 서 론

주파수 합성기는 주파수원으로부터 다수의 주파수를 발생시키는 장치로 주파수 도약방식의 통신과 이동통신 등 여러분야 사용되고 있다. 주파수 합성 방식은 크게 나누어 디지털 합성기, 직접 합성기, PLL을 이용하는 간접 합성기, 앞의 방식을 조합으로 이용하는 합성기 등으로 이루어진다. 디지털 합성기는 파형을 양자화한 값을 기억 장치에 저장시킨 후 누산기(Accumulator)가 입력 클럭을 기준으로 기억 장치의 주소를 증가시키면서 그 내용을 출력하여 D/A 변환으로 파형을 발생시키는 방법을 이용한다. 이 방식은 주파수 출력 시간이 빠르고 파형의 위상조정과 수학적 복잡성을 부가할 수 있는 장점은 있으나 기억장치의 성능상 고주파수의 파형을 만들어낼 수 있는 단점이 있고 불완전한 D/A 변환에 의한 의사 신호가 발생하게 된다. 직접 합성기는 한개의 기준 주파수로부터 혼합기, 분주회로, 체배기 등을 이용하여 요구되는 주파수를 만드는 방식으로 주파수 변경 시간은 μs 정도로 매우 짧으나 체배수가 늘어나면 불필요한 FM 밴드가 증가하게 된다. 그리고 많은 회로 부품이 필요하므로 회로 구성공간 커플링 방지가 어렵고 장치가 매우 커지게 되면 많은 전력을 소모하게 된다.

간접 주파수 합성기는 출력 주파수를 나누어 기준 주파수와 같도록 PLL로 조정함으로써 기준 주파수의 정수배에 해당하는 주파수를 만든다. 이 방법은 주파수 변경 시간이 비교적 긴편이나 회로 구성이 간단하고 주파수를 다루는데 융통성이 많으며 소형, 저전력으로 구성할 수 있으므로 적용 분야가 확대되고 있다.^[1-3] 본 연구에서는 PLL을 이용한 간접주파수 합성 방법으로 안정된 1 GHz 대의 주파수를 합성한 후 16 체배하므로 Ku-Band 주파수 합성기를 설계 제작하여 그 결과를 고찰 하였다.

II. PLL의 동작 원리

PLL이란 출력신호 주파수를 항상 일정하게 유지하도록 구성된 주파수 부귀환회로이다. 기본 구성은 위상 검출기(P/D), 저역통과 필터(LPF), 전압 제어 발진기(VCO)로 이루어진다.^[2] 위상 검출기는 기준주파수 $f(\gamma)$ 과 비교주파수 $f(p)$ 의 위상을 비교하여 그 위상차에 해당하는 DC 전압을 출력하여 저역통과 필터에 입력한다. 저역통과 필터를 통해 나온 직류분의 전압은

전압 제어 발진기의 출력 주파수를 조정하고 그 출력 주파수는 다시 위상 검출기에 부귀환된다. 이러한 루프 동작은 두 신호의 위상이 고정 될때까지 반복할 것이고 고정이 되면 그때의 안정된 주파수를 출력한다. 비교 주파수를 기준 주파수와 일치시키기위해 프로그램 카운터를 사용하여 $1/N$ 로 분주시켜 준다. 전압 제어 발진기의 출력 주파수대를 위상 검출기의 동작 주파수대와 일치시키기 위해 프리스케일러($1/M$)를 사용한다. 루프 필터로 사용되는 저역통과 필터는 기준 주파수와 위상 검출기에서 발생하는 잡음 주파수의 통과를 저지하는 역할과 루프내의 잡음에 대한 면역성을 제공하는 역할을 한다. 프로그램 카운터와 프리스케일러를 기본 PLL 회로에 부가하여 구성한 회로를 그림 1에 나타내었다. PLL 회로가 고정 상태가 되기 위해서는 아래의 식을 만족해야 한다.

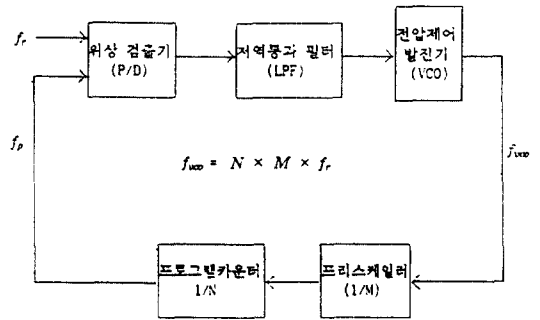


그림 1. 프로그램 카운터와 프리스케일러를 부가한 PLL 회로

Fig. 1. PLL circuit with program-counter and prescaler.

$f(r) = f(p), f(p) = f_{vco}/M \times N$ 이므로, 고정 상태에서의 전압제어 발진기의 출력 주파수는 식 (1)과 같이 얻을 수 있다.^[3]

$$f_{vco} = N \times M \times f_r \tag{1}$$

프로그램 카운터의 분주수 N을 변화시키면 f_{vco} 는 $M \times f_r$ 스텝으로 변화하므로 채널과 채널 사이의 주파수 간격은 $M \times f_r$ 임을 확인할 수 있다.

PLL 회로의 루프 동작이 일반적인 2차 부귀환 제어 시스템 동작과 같으므로 루프 동작 특성을 고찰하기위

해 주파수 영역에서 PLL 회로에서의 폐루프 전달함수를 구해야 한다. 주파수 영역에서의 PLL 회로를 그림 2와 같이 구성하고 이 회로의 총 루프 이득과 폐루프 전달함수를 구해 본다.^[1]

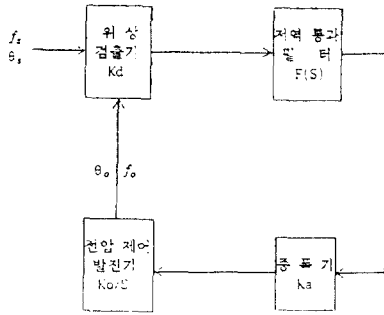


그림 2. 주파수 영역에서 PLL의 구성도
Fig. 2. PLL diagram in frequency domain.

총 루프 이득(Kv)은 위상 검출기의 이득(Kd), 전압 제어 발전기의 이득(Ko) 그리고 중동기의 이득(Ka)에 의해 식 (2)로 구해진다.

$$Kv = Kd \times Ka \times Ko \quad (2)$$

폐루프 전달함수(T(s))는 식 (3)과 같이 나타낸다.

$$T(s) = Kv \frac{F(S)}{S} \quad (3)$$

폐루프 전달함수(H(s))는 식 (4), 식 (5)와 같이 나타낸다.

$$H(S) = \frac{T(S)}{1+T(S)} \quad (4)$$

$$= \frac{(\frac{1+\tau_2Kv}{\tau_1+\tau_2})S + \frac{Kv}{\tau_1+\tau_2}}{S^2 + (\frac{1+Kv\tau_2}{\tau_1+\tau_2})S + \frac{Kv}{\tau_1+\tau_2}} \quad (5)$$

일반적인 2차 부귀환 시스템의 폐루프 전달함수식 식 (6)과 같이 나타낸다.

$$H(S) = \frac{2\xi w_n S + w_n^2}{S^2 + 2\xi W_n S + w_n^2} \quad (6)$$

PLL회로의 폐루프 전달함수 식 (5)와 일반적인 2차 부귀환 제어 시스템의 폐루프 전달함수 식 (6)을 비교하면 고유 주파수(natural frequency)와 감쇠비(damping ratio)를 식 (7), (8)과 같이 얻을 수 있다.

$$w_n = \left(\frac{Kv}{\tau_1 + \tau_2} \right)^{1/2} \quad (7)$$

$$\xi = \frac{w_n}{2} \left(\tau_2 + \frac{1}{Kv} \right) \quad (8)$$

식 (7)과 식 (8)로부터 PLL 회로의 총 루프 이득, 고유 주파수 그리고 감쇠비를 이용하여 루프 필터를 구성하는 성분값들을 구할 수 있음을 알 수 있다.

III. 1GHz 대 PLL 회로의 제작 및 결과 고찰

구상 성분값중 위상 검출기의 특성은 식 (9)와 같이 얻었다.

$$Kd = \frac{5}{\pi} \left(\frac{Ve}{\theta e} \right) = 1.58 [V/rad] \quad (9)$$

중동기의 이득은 식 (10)과 같이 나타낼 수 있다.

$$Ka = 20 \quad (10)$$

프로그래밍 카운터의 분주수(375)와 프리스케일러의 분주수(256)를 포함한 총 분주수의 이득은 식 (11)과 같이 나타낼 수 있다.

$$Kv = 1/N = \frac{1}{96000} \quad (11)$$

전압 제어 발전기의 특성을 결정하는 VCO의 이득은 입력 제어 전압의 변화에 대한 출력 주파수의 변화량을 고려하여 식 (12)와 같이 얻는다.

$$Ko = \frac{\Delta w}{Vd} = 450.15 \times 10^6 \text{ (rad/s/V)} \quad (12)$$

그러므로 $F(0) = 1$ 일때 DC 부프 이득은 식 (13)과 같이 얻는다.

$$Kv = 0.148 \times 10^6 \quad (13)$$

일반적인 2차 부귀환 제어 시스템의 안정도를 고려하여 감쇠비를 식 (14)와 같이 나타내었다.

$$\zeta = 0.8 \quad (14)$$

2차 부귀환 제어 시스템의 제어 이론을 적용하여 안정시간(Settling Time)과 고유 주파수 사이의 관계를 구하면 식 (15)을 얻는다.^[6]

$$t_s = \frac{3.50}{0.8w_n} \quad (15)$$

느린 주파수 도약 레이더 시스템의 특성을 고려하여 안정시간을 $125\mu s$ 로 정함으로써 고유 주파수값을 식 (16)과 같이 얻을 수 있다.

$$w_n = 35 \times 10^3 \quad (16)$$

식 (7)로부터 식 (17)을 얻을 수 있고,

$$\begin{aligned} \tau_1 + \tau_2 &= \frac{Kv}{w_n^2} = \frac{0.074 \times 10^6}{(35 \times 10^3)^2} \\ &= 60.4 \times 10^{-6} \\ \tau_1 &= 60.4 \times 10^{-6} - \tau_2 \end{aligned} \quad (17)$$

식 (8)로부터 식 (18)을 얻을 수 있다.

$$\begin{aligned} \tau_2 &= \frac{2\zeta}{w_n} - \frac{1}{Kv} \\ &= \frac{1.6}{35 \times 10^3} - \frac{1}{0.074 \times 10^6} = 32 \times 10^{-6} \end{aligned} \quad (18)$$

C를 $1\mu F$ 으로 택함으로써 식 (19), 식 (20)과 같이 부프필터의 성분값을 얻을 수 있다.

$$R_2 = \frac{\tau_2}{C} = 32\Omega \quad (19)$$

$$R_1 = \frac{\tau_1}{C} \cong 28.4\Omega \quad (20)$$

회로를 구성하는 상용 부품과 부프필터를 사용하여 1 GHz대의 주파수 합성기를 설계하여 그림 3에 나타내었다.

분주수 380일때 1 GHz대 주파수 합성기의 출력을 그림 4에 나타내었다. 이때 출력 주파수의 계산값은 972.80 MHz이었는데 측정값은 972.994 MHz이었다. 따라서 출력 주파수의 오차는 1.06 KHz이었다.

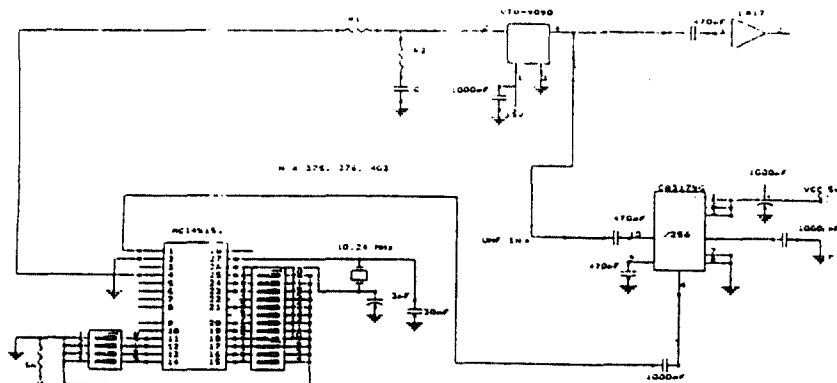


그림 3. 1 GHz대 주파수 합성기 설계도

Fig. 3. The design of about 1 GHz frequency synthesizer.

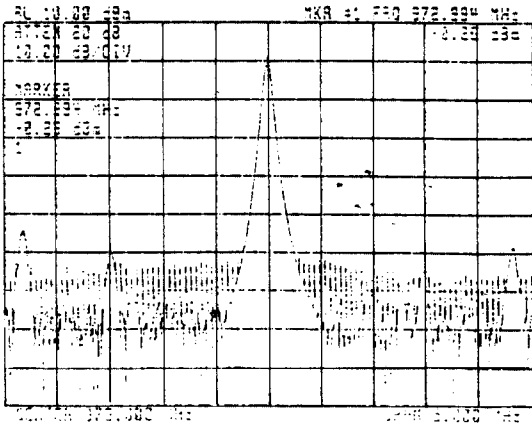


그림 4. 분주수 380일때 1 GHz대 주파수 합성기 출력
 Fig. 4. When divider is 380, output of about 1 GHz frequency synthesizer

이론적인 계산에 의해 구한 채널당 주파수 간격과 실제 실험을 통하여 얻은 채널당 주파수 간격을 비교하기 위하여 분주수를 한 스텝 증가시켜 분주수가 381일때 1 GHz대 주파수 합성기의 출력을 그림 5에 나타내었다.

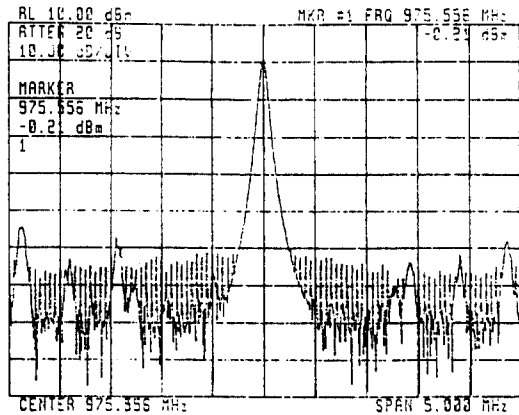


그림 5. 분주수 381일때 1 GHz대 주파수 합성기 출력
 Fig. 5. When divider is 381, output of about 1 GHz frequency synthesizer

채널당 주파수 간격의 이론값은 2.56 MHz이며 측정값은 2.562 MHz이었고 이때 채널당 주파수 간격의 오차는 0.002 MHz이었다. 루프 분주수에 대한 1 GHz 대 주파수 합성기의 출력을 그림 6에 나타내었다.

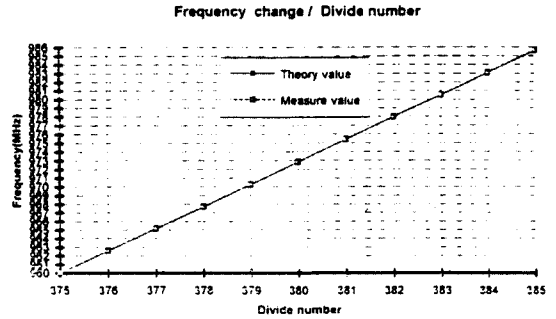


그림 6. 루프 분주수에 대한 1 GHz대 주파수 합성기 출력
 Fig. 6. Output of 1 GHz frequency Synthesizer vs. loop divide number

1 GHz대 주파수 합성기의 분주수에 대한 출력 주파수는 그림 6과 같이 측정되었고 계산값과는 ± 106 KHz 이하로 약 $\pm 1.06 \times 10^{-4}$ 의 오차를 보였다. 이러한 오차가 발생한 이유는 PLL을 구성하는 성분들의 특성에 대한 이론적인 분석이 선형 영역에서 이루어졌는데 실제 성분들은 비선형성을 갖고 있기 때문이라고 판단 된다.

주파수를 변경 시킬때의 응답특성은 그림 7과 같이 약 150 μ S 로 측정되었다.

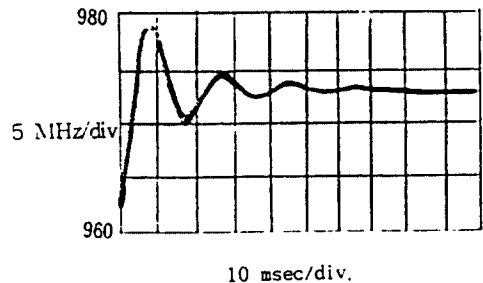


그림 7. 1 GHz 대 주파수 합성기 응답특성(960 MHz에서 972.80 MHz로 변경)
 Fig. 7. Response characteristics of 1 GHz frequency Synthesizer.

이 결과는 PLL 루프로 125 μ S 의 안정시간을 갖도록 한 설계값과는 25 μ S 의 차를 나타내었는데 이는 2 차 루프필터에 RC 필터를 사용하였으므로 응답특성이 변형된 것으로 추정된다.

IV. Ku-Band 주파수 합성기 측정 및 결과 고찰

PLL을 이용하여 약 1 GHz의 주파수를 합성한 후 주파수 2 체배기(FD25C)와 주파수 8 체배기(MX_1408) 사이에 증폭기(LA74,APS)와 필터(5VF/500/1000-50-AA)를 삽입하여 구동 레벨을 맞추어 연결해 줌으로써 그림 8과 같이 Ku-Band 주파수 합성기를 구성하였다.

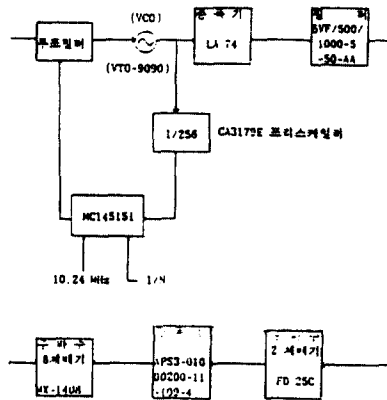


그림 8. Ku-Band 주파수 합성기 구성도
Fig. 8. The diagram of Ku-Band synthesizer.

분주수를 380으로 선택하고 Ku-Band 주파수 합성기의 출력값을 그림 9에 나타내었다.

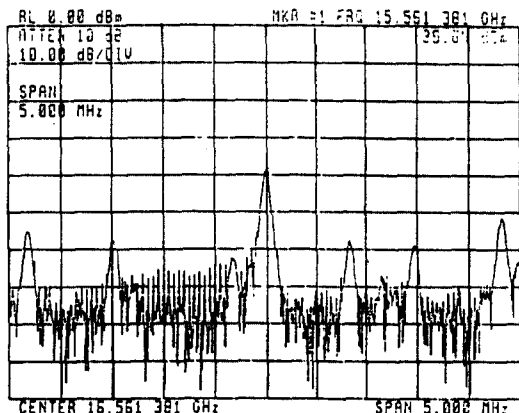


그림 9 분주수 380일때 Ku-Band 주파수 합성기의 출력
Fig. 9 When divider is 380, output of Ku-Band synthesizer.

분주수를 381으로 선택하고 Ku-Band 주파수 합성기의 출력값을 그림 10에 나타내었다.

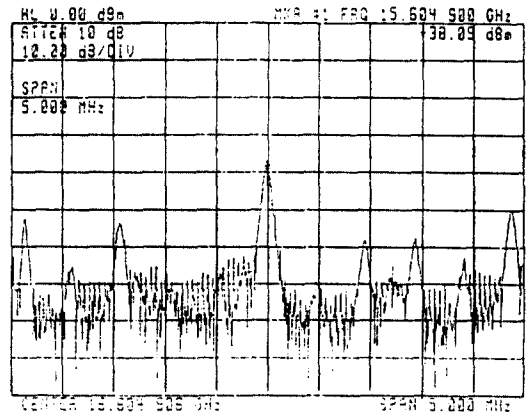


그림 10. 분주수 381 일때 Ku-Band 주파수 합성기의 출력
Fig. 10. When divider is 381, output of Ku-Band synthesizer.

분주수를 380으로 정했을때 Ku-Band 주파수 합성기의 출력은 그림 9에 나타내었으며 이때 최종 출력단에서의 주파수는 15.56138 GHz(계산값 15.5648 GHz)로 측정되었고 전력레벨은 -39.64 dBm이었다. 분주수를 한스텝 증가시켜 분주수가 381일때의 Ku-Band 주파수 합성기의 출력은 15.604900 GHz이었다. Ku-Band 주파수 합성기의 채널 주파수 간격의 이론값은 40.96 MHz 이었으며 측정값은 43.519 MHz 이었고, 이때 채널당 주파수 간격의 오차는 2.559 MHz 이었다.

루프 분주수에 대한 Ku-Band 주파수 합성기의 출력 값을 그림 11에 나타내었다.

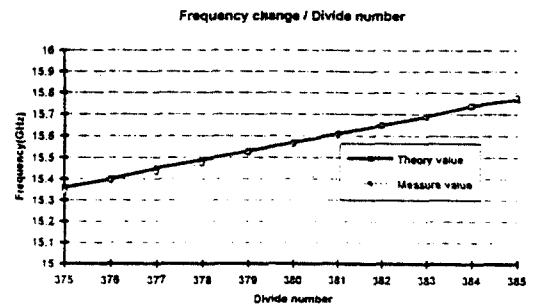


그림 11. 루프 분주수에 대한 Ku-Band 주파수 합성기의 출력
Fig. 11. Output of Ku-Band synthesizer vs. loop divide number.

Ku Band 주파수 합성기의 분주수에 대한 출력 주파수는 그림 11과 같이 측정되었고 계산값과는 ± 3.419 MHz 이하로 약 $\pm 2.19 \times 10^{-1}$ 의 오차를 보였다.

V. 결 론

본 연구에서는 PLL을 이용한 간접 주파수 합성 방법으로 약 1 GHz대의 주파수를 합성하여 16 채널 하므로써 Ku Band 주파수 합성기를 설계 제작하였다. 1 GHz 대의 주파수 합성기에서 측정된 출력 주파수의 오차는 ± 106 KHz 이하로 약 $\pm 1.06 \times 10^{-1}$ 의 오차를 보였으며 채널당 주파수 간격의 측정값은 2.562 MHz(계산값 2.56 MHz)로 오차는 2 KHz이었으므로 양호한 특성을 보였다. 이러한 오차가 발생한 이유는 PLL을 구성하는 성분들의 특성에 대한 분석이 선형 영역에서 이루어져 비선형성을 고려하지 않았기 때문이라고 판단된다. 또한 주파수를 변경시킬 때의 응답시간은 약 150 μ S(계산값 125 μ S)로 측정되었다. 이 오차는 2차 루프 필터에서 RC 필터를 사용하였으므로 응답 특성이 변형된 것으로 추정된다. Ku-Band 주파수 합성기의 측정된 출력 주파수의 오차는 ± 3.419 MHz 이

앞으로 구성 성분들의 비선형적인 특성을 고려한 PLL 회로의 설계와 능동소자를 이용한 루프 필터를 사용하는 방법을 연구한다면 더욱 정확한 결과를 얻을 수 있으리라 예상된다.

하로 약 $\pm 2.19 \times 10^{-1}$ 의 오차를 보였으며 이것은 1 GHz 대의 주파수 합성기의 오차와 거의 일치함을 보였다.

참 고 문 헌

- [1] R.E. Best, Phase-Locked Loops: Theory, Design and Applications, McGraw-Hill New York, 1984.
- [2] A. Blanchard, Phase-Locked Loops, Wiley, New York, 1976.
- [3] A. T. Viterbi, Principles of Coherent Communication, McGraw Hill, New York, 1966.
- [4] J. Klapper and J. T. Frankl, Phaselocked and Frequency-Feedback Systems, Academic Press, Inc., New York, 1972.
- [5] A.J. Viterbi, Acquisition and Tracking Behavior of Phase-Locked Loops, External publication No.673, Jet propulsion Laboratory, Pasadena, CA, July 1959.
- [6] Automatic Control System, BENJAMIN C. KUO



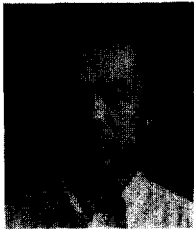
李一珪(II Kyoo Lee) 정회원
1967년 12월 11日生
1992년 2월 : 忠南大學校 電子工學教育學科 (박사)
1994년 2월 : 忠南大學校 大學院 電子工學科 (碩士)
1994년 2월 ~ 現在 : 韓國電子通信研究所 移動通信 技術研究室, 無線技術研究室 研究員

*주관심분야 : 이동무선통신, 대역확산 통신방식



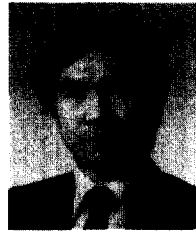
閔庚壹(Kyung Il Min) 정회원
1955년 5월 25日生
1977년 2월 : 蔚山大學校 電子工學科 卒業
1977년 3월 ~ 1981년 7월 : 空軍通信學校 勤務
1984년 8월 : 忠南大學校 大學院 工学碩士學位 取得

1990년 2월 : 忠南大學校 大學院 博士課程 修了
1990년 3월 ~ 現在 : 대전工業大學, 忠南大學校 講師
*주관심분야 : 超高频波 回路 및 안테나 工学 分野 등



安東植(Dong Sik Ahn) 정희원
1957年 12月 19日生
1980年 2月 : 아주大學校 電子工
學科 (學士)
1984년 8월 : 澁世大學院 電子工
學科 (碩士)
1990년 3월 ~ 現在 : 忠南大學校
電子工學科 (博士
科程)

1984年 3月 ~ 現在 : 韓國電子通信研究所 電波應用研究
室 선임연구원



吳承燁(Seung Hyeub Oh)정희원
1945年 12月 25日生
1971년 2월 : 澁世大學校 電氣工
學科 卒業
1973년 2월 : 澁世大學院 工學碩
士學位 取得
1982년 8월 : 澁世大學院 工學博
士學位 取得

1980年 8月 ~ 1981年 8月 日本 동북大學 電氣通信研究
所 客員研究員

1985年 5月 ~ 1986年 5月 美國 펜실바니아 주립大學
電氣科 客員研究員

1975年 10月 ~ 現在 忠南大學校 電子工學科 教授

*주관심분야 : 超高周波 回路, 안테나 工學 및 衛星通
信 등