

영상 신호처리를 위한 고속 VRAM ASIC 설계

正會員 薛 郁* 正會員 宋 昌 泳* 正會員 金 大 舜* 正會員 金 煥 溶*

Design of High Speed VRAM ASIC for Image Signal Processing

Wook Seol*, Chang Young Song*, Dae Soon Kim*,
Hwan Yong Kim* *Regular Members*

요 약

본 논문에서는 영상 신호처리에 적합한 고속 1 line VRAM을 ASIC화 설계하기 위하여 액세스 시간특성 및 집적도가 우수한 3-TR dual-port 다이나믹 셀을 채용하여 메모리 코어를 설계하였다. 고속 파이프라인 동작을 위하여 서브어레이 1로부터 첫 행을 분리하였고, 쓰기 비트 라인에 데이터 래치 구조를 채용하여 한 번지의 동시 입·출력이 가능하도록 설계하였다. 주변 회로로 번지 선택기, $1/2 V_{DD}$ 전압 발생기를 각각 설계하여 개선된 동작특성을 확인한 후 $1.5[\mu\text{m}]$ CMOS 설계규칙을 이용하여 ASIC화 설계하였다.

ABSTRACT

In this paper, to design high speed 1 line VRAM(Video RAM) suitable for image signal processing with ASIC(Application Specific IC) method, the VRAM memory core has been designed using 3-TR dual-port dynamic cell which has excellent access time and integration characteristic. High speed pipeline operation was attained by seperating the first row from the subarray 1 memory core and the simultaneous I/O operation for a selected single address was made possible by adopting data-latch scheme. Peripheral circuits were designed implementing address selector and $1/2 V_{DD}$ voltage generator. Integrated ASIC has been optimized using $1.5[\mu\text{m}]$ CMOS design rule.

I. 서 론

반도체 산업에서 기억소자인 RAM은 다양한 분야에서 사용되고 있으며, HDTV를 비롯한 고속 영상처

리 분야에서는 시스템의 고성능화와 다기능화에 따른 고속 액세스 동작이 요구되어 기억소자의 특정 용도로의 개발이 활발해지고 있다. 빠른 전송속도 및 동시 입·출력이 필요한 영상 신호처리 분야에서는 고속의 신호처리 및 다기능화를 위하여 범용 RAM보다는 영상 전용기억소자인 VRAM(Video RAM)을 이용하게 된다.^[1, 4, 6]

특히, 1 line VRAM은 고속 영상 신호 처리에서 필수적인 부품으로 영상 정보 압축, Y/C(luminance/

*圓光大學校 電子工學科
Dept. of Electronic Engineering WonKwang University
論文番號 : 9405
接受日字 : 1994年 1月 10日

chrominance) 신호분리, comb 필터, scanning 속도 변환, 에러보상(error compensation), 가변 지연 라인(variable-length delay line)등에 응용하기 위하여 다양한 동작 기능을 가져야 하며, 기본적으로 FIFO (first-in, first-out) 기능 및 dual-port I/O 기능을 가져야 한다.

그러므로, HDTV와 같이 높은 샘플링 주파수를 갖는 영상신호를 실시간 처리하기 위해서는 다기능의 동작 모드 수행 및 고속의 액세스 동작을 위하여 ASIC 설계하여야 한다.^[2, 7, 12]

따라서, 본 논문에서는 빠른 영상신호 처리에 적합한 고속 1 line VRAM을 ASIC화 설계하기 위하여 집적도 및 안정도, 액세스 시간이 우수한 3-TR dual-port 다이내믹 셀을 채용하여 VRAM의 메모리 코어를 설계하였다. 또한, 서브 어레이(subarray) 1의 첫 행을 분리 설계함으로써 고속 액세스 동작이 가능하며 쓰기 비트 라인에 데이터 래치를 채용하여 한 번지의 동시 입·출력을 할 수 있도록 설계하였다. 그리고, 순차적인 번지 지정을 위하여 링 카운터 회로를 이용하여 50[MHz] 이상에서도 안정된 동작을 할 수 있는 번지 선택기(address selector)를 설계하였고, 온도 변화시 출력 특성이 안정된 $1/2 V_{DD}$ 전압 발생기를 설계하였다. 설계한 각 회로들은 시뮬레이션을 통하여 동작 특성을 확인한 후 1.5[μm] CMOS 설계 규칙을 이용하여 full-custom 방식으로 최적화하여 레이아웃 설계하였다.

II. 고속 VRAM 회로 설계

VRAM에 사용될 메모리 셀은 작은 칩 면적과 FIFO 및 dual-port I/O 동작을 할 수 있어야 하므로 본 논문에서는 칩 면적에서 유리하고 FIFO 및 dual-port I/O에 응용이 가능한 3-TR dual-port 다이내믹 셀을 채용하여 VRAM의 메모리 코어를 설계하고자 한다.

본 논문에서는 3-TR dual-port 다이내믹 셀을 설계하기 위하여 프리차지 TR을 그림 2-1(a)와 같이 PMOS로 설계하고, 읽기 동작을 위한 액세스 TR의 크기를 결정하기 위해 등가저항으로 나타내면 그림 2-1(b)와 같다.

ME TR의 크기를 $L = 3.0[\mu\text{m}]$, $W = 1.5[\mu\text{m}]$ 라 할 때 Q 노드의 전압을 0.1[V]로 하면 MS1 TR과 MS2 TR을 같은 크기로 설계할 경우 MS1 TR과 MS2 TR의 크기는 $L = 1.5[\mu\text{m}]$, $W = 6.0[\mu\text{m}]$ 이다.

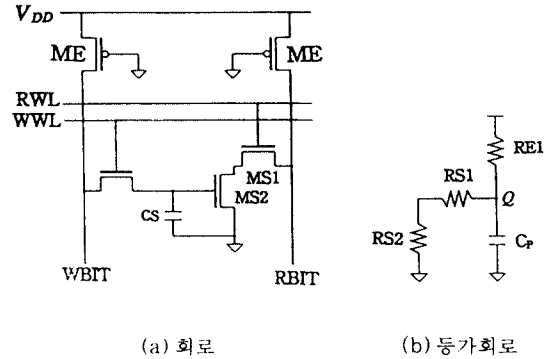


그림 2-1. 3-TR Dual-prot 다이내믹 셀
Fig 2-1. 3-TR Dual-port dynamic cell

1. 메모리 코어 설계

본 논문에서는 1 라인 지연 동작을 위하여 1H 용량을 1440워드 x 10비트로 설정한 후 메모리 코어를 두 블럭으로 나누어 설계함으로써 고속의 파이프 라인 동작을 수행하도록 하였으며 설계한 메모리 코어의 블럭도는 그림 2-2와 같다.

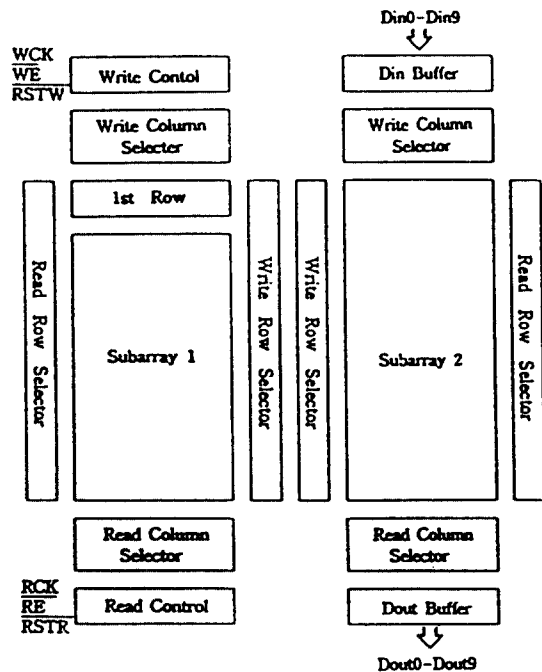
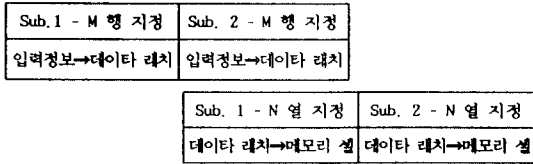
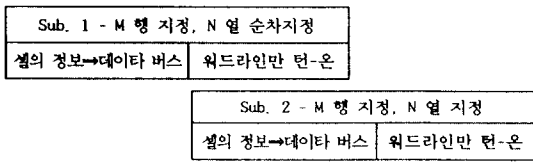


그림 2-2. 메모리 코어의 블럭도
Fig 2-2. Block diagram of memory core

메모리 코어의 파이프 라인 동작특성을 쓰기 및 읽기 동작으로 나누어 살펴보면 그림 2.3과 같다.



(a) 쓰기 동작



(b) 읽기 동작

그림 2-3. 메모리 코어의 파이프 라인 동작
Fig 2-3. Pipe line operation of memory core

서브 어레이 1과 서브 어레이 2의 파이프 라인 동작시 서브 어레이 1의 1행에서 감지속도 지연이라는 문제점이 발생하므로 이를 개선시키기 위하여 기존의 파이프 라인 방식에서 사용되는 스테틱 셀 어레이 대신 본 논문에서는 첫행("0~9"번지)을 서브 어레이 1과 분리하여 설계함으로써 읽기 비트 라인의 기생 캐패시턴스의 최소화로 기존의 셀 어레이에 비하여 고속의 감지 속도를 구현하도록 설계하였다.

서브 어레이 1의 첫 행 블록의 구성도는 그림 2.4와

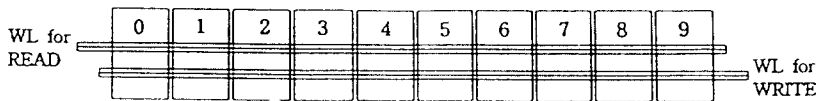
같다.

일반적으로 메모리 코어의 워드 라인은 메모리 셀의 액세스 TR 게이트 입력으로써 polycide를 사용하여 레이아웃하므로 비트 라인 또는 근접한 다른 워드 라인과의 사이에 기생 캐패시턴스를 갖게 되고, polycide 자체가 갖고 있는 sheet 저항으로 인한 저항 성분을 갖게 된다. 이러한 기생 캐패시턴스와 저항 성분으로 인하여 RC 회로를 이루어 지연이 발생하므로 워드 라인으로 전달되는 신호는 전달지연을 갖게 된다. 따라서, 본 논문에서 제안된 메모리 코어는 "0" 번지에서의 풀업 시간을 개선하기 위해 "0" 번지의 워드 라인과 "1~9" 번지의 워드 라인을 분리함으로써 이러한 시간 지연 효과를 방지한다.

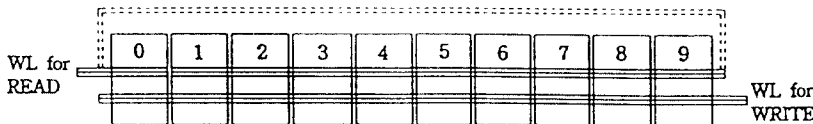
2. 데이터 래치 설계

본 논문에서는 동시 입·출력을 위하여 고안 설계된 데이터 래치 회로와 번지 선택기를 채용, 순차적으로 번지를 선택하도록 설계하였으며 데이터 래치를 쓰기 비트 라인에 채용함으로써 입력 정보가 메모리 셀에 저장되기전에 번지 데이터 래치에 저장되므로써 한 번지의 정보에 대해 동시 입·출력이 가능하도록 하였다. 고안·설계된 데이터 래치의 회로는 그림 2.5와 같다.

데이터 래치 회로는 기존의 VRAM에서 같은 번지의 입력 및 출력동작을 위해 최소 수 사이클의 시간 지연이 필요한 단점을 극복하기 위해 개발되었다. VRAM 외부로부터의 쓰기 입력신호는 W_{BIT} 에 인가되는데 이때 데이터 래치 활성화 신호인 S_{1X} 노드는 1 으로 풀나옴하고, S_{1P} 노드를 1_{m} 로 풀업하여



(a) 기존의 첫 행



(b) 제안한 첫 행

그림 2-4. 서브 어레이 1의 첫 행 구성도
Fig 2-4. First row block configuration of subarray 1

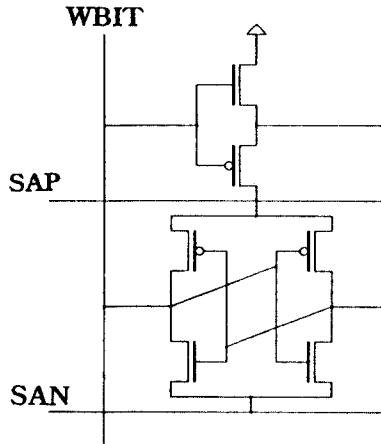


그림 2-5. 데이터 래치
Fig 2-5. Data latch

WBIT에 인가된 쓰기 입력신호를 CMOS 래치를 사용하여 저장하게 된다. VRAM 외부에서 인가된 쓰기 입력신호가 데이터 래치에 저장되어 있는 동안 같은 번지의 메모리 셀 정보는 읽기 동작을 통하여 VRAM 외부로 출력이 가능하게 되며 읽기 동작이 완료된후 데이터 래치에 저장되어 있는 쓰기 입력 정보가 선택

된 메모리 셀에 입력된다. 따라서, 같은 번지의 입·출력 동작이 동시에 지정되어도 순차적인 읽기 동작 및 쓰기 동작을 통하여 한 사이클동안 안정된 동시 입·출력 동작이 이루어진다.

설계된 데이터 래치 회로를 메모리 코어의 쓰기 비트 라인에 채용하여 최종적으로 설계된 본 논문의 1 line VRAM용 메모리 코어는 그림 2-6과 같다.

데이터 래치에 정보가 저장되는 동작특성은 SAN (sense enable) 신호가 인가되어 데이터 래치가 활성화되면 쓰기 열 선택기에 의해서 지정된 번지에 10비트 정보가 입력되는데 데이터 래치는 쓰기 비트 라인과 연결되어 있으므로 입력정보는 쓰기 비트 라인의 데이터 래치에 저장되고 다음의 쓰기 열 선택기에 의해 다음 번지가 지정되면 다음 10비트의 입력정보 역시 지정된 번지의 데이터 래치에 저장된다. 이 동작은 서브 어레이 한 행의 10 번지가 순차적으로 지정될 때까지 계속되며 그후 쓰기 행 번지 선택기에 의해 워드라인이 선택되며 메모리 셀이 선택되면 데이터 래치에 저장되어 있던 100비트의 정보가 동시에 메모리 셀로 저장되므로 같은 번지에 대하여 입력과 출력 동작이 동시에 이루어질 수 있고 기존의 VRAM 과 달리 시간 지연없이 정확한 1 라인 지연 동작이 가

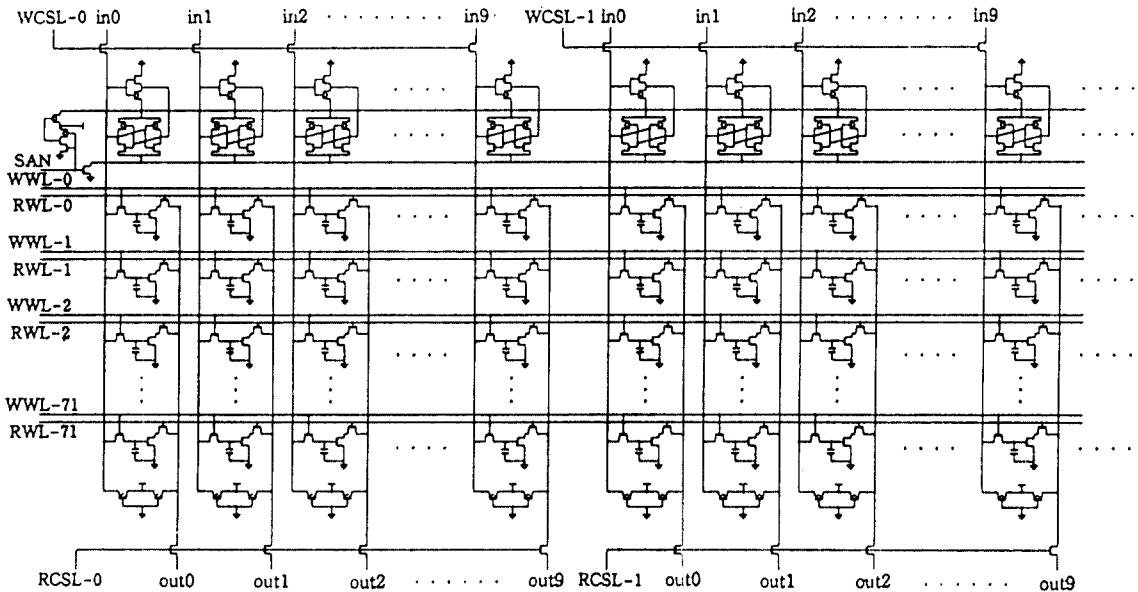


그림 2-6. 데이터 래치를 채용한 VRAM의 메모리 코어
Fig 2-6. VRAM memory core with data latch

능하게 한다.

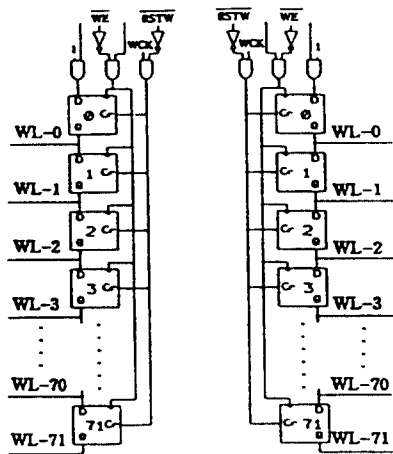
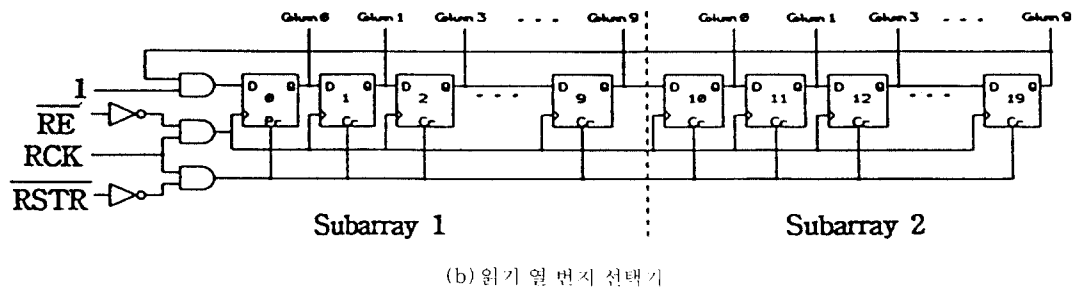
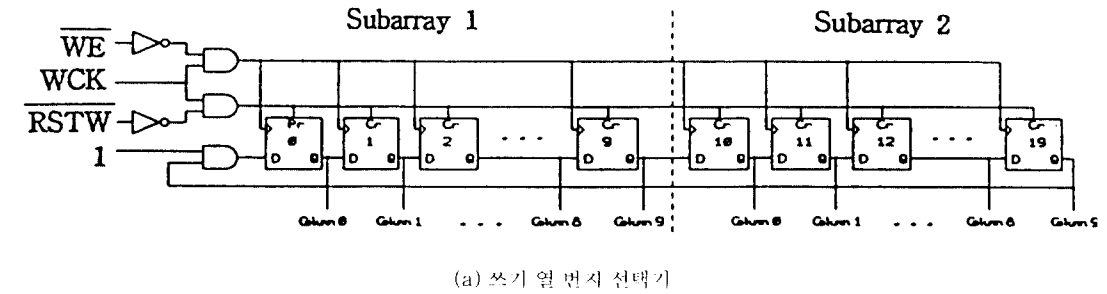
3. 주변회로 설계

3-1. 번지 선택기 설계

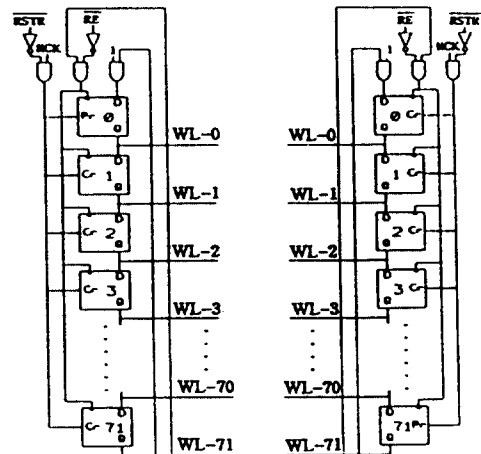
1 line VRAM은 FIFO를 기본동작으로 하기 때문에 정보가 저장되어야 할 번지를 순차적으로 지정해

주어야 한다. 따라서, DRAM의 경우와는 달리 외부에서 번지를 지정하지 않고 자체적으로 순차적인 번지 지정이 이루어져야 한다.

본 논문에서는 링 카운터 회로를 이용하여 자체적인 번지 지정을 할 수 있도록 번지 선택기를 설계하였다. 번지 선택기는 쓰기 동작시 순차적인 번지 지정



(c) 쓰기 행 번지 선택기



(d) 읽기 행 번지 선택기

그림 2-7. 쓰기/읽기 번지 선택기
Fig 2-7. Write/Read address selector

을 위한 쓰기 행/열 번지 선택기와 읽기 동작시 필요한 읽기 행/열 번지 선택기로 구성된다.

설계한 번지 선택기는 그림 2-7과 같다.

본 논문에서는 설정된 1440워드 x 10비트 메모리 코어를 702워드 x 10비트로 나누어 두 블럭으로 설계하였으므로 쓰기/읽기 열 번지 선택기 및 쓰기/읽기 행 번지 선택기를 각각 채용하여 서브 어레이 1과 서브 어레이 2가 파이프 라인 동작을 할 수 있도록 그림 2-8과 같이 배치하였다.

그림 2-8의 쓰기 행/열 번지 선택기의 동작을 살펴보면 각 서브 어레이에 10비트씩 총 20비트의 쓰기 열 번지 선택기와 각 서브 어레이에 대하여 72개의 워드 라인을 구동시키는 72비트 쓰기 행 번지 선택기가 데이터의 쓰기 동작시 번지를 순차적으로 지정해준다. 쓰기 열 번지 선택기의 D F/F 0은 프리셋 기능을 갖는 D F/F으로, 나머지 D F/F 1~D F/F 19까지는 클리어 기능을 갖는 D F/F으로 구성된다. 각 F/F에 인가되는 클럭은 외부에서 인가되는 \overline{WCK} 와 \overline{WE} 제어신호를 AND한 클럭으로 \overline{WE} 신호에 의해 쓰기 동작이 시작된다. 그리고 \overline{RSTW} 와 \overline{WCK} 의 AND된 클럭은 프리셋 및 클리어 단자에 인가되어 D F/F 0

는 "high"로 셋팅되고, 나머지 D F/F들은 "low"로 리셋되면서 서브어레이 1과 2에 대한 열을 클럭에 따라 순차적으로 지정해준다. 마지막 D F/F 19의 출력은 다시 D F/F 0의 입력으로 순환되며 이 동작은 1439번지 까지 계속된다. D F/F 9의 출력은 서브 어레이 2의 열을 선택한 D F/F 10으로 인가됨과 동시에 서브 어레이 1의 쓰기 행 번지 선택기의 입력 및 클럭으로 인가된다. 따라서, 쓰기 열 번지 선택기는 쓰기 행 번지 선택기의 클럭을 만들어 내는 제어회로도 동작하도록 설계하였으므로 따로 제어 클럭을 만들어줄 필요가 없어 전체 회로가 간단해질 뿐만 아니라 설계 면적도 줄이는 장점을 갖게 된다. 서브 어레이 1의 쓰기 열 번지 선택기의 순차적인 열 선택에 의해 데이터 래치에 저장된 100 비트의 정보는 쓰기 행 번지 선택기의 D F/F 0의 출력이 발생되면 "0~9" 번지로 정보가 동시에 저장되며 동시에 서브 어레이 2의 쓰기 열 번지 선택기의 D F/F 10이 동작하여 서브 어레이 2의 순차적인 열 선택이 이루어진다. 이와 같이 서브 어레이 1과 2는 파이프 라인 동작을 하므로써 고속의 데이터 입력이 가능하다.

읽기 번지 선택기의 동작을 살펴 보면 읽기 행/열

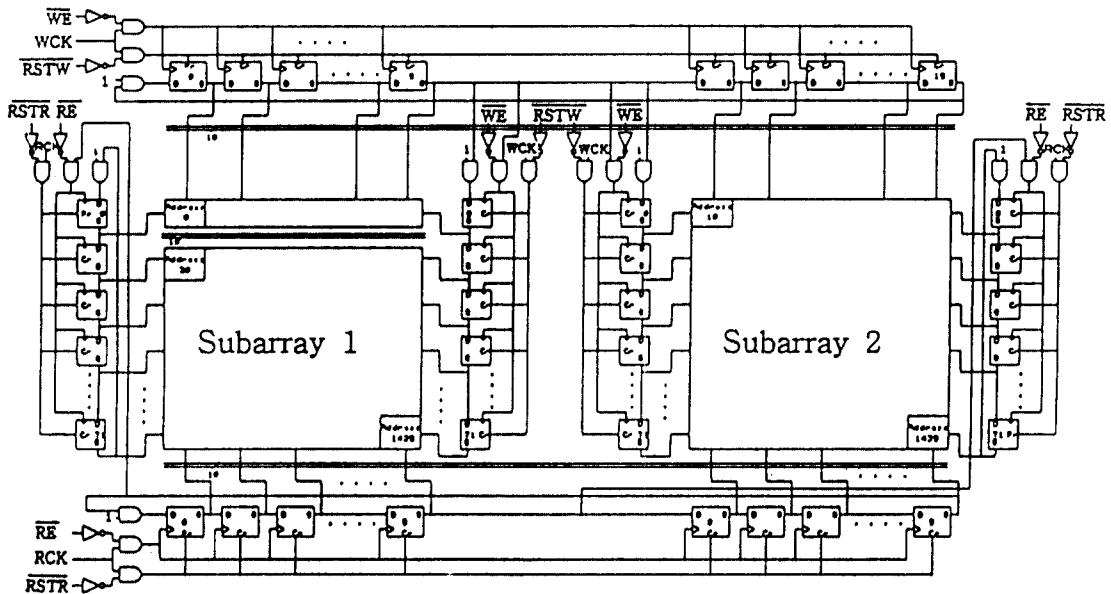


그림 2-8. 번지 선택기 및 메모리 코어
Fig 2-8. Address selector and memory core

번지 선택기의 D/F 0는 프리셋 기능을 갖는 D/F 0으로 동시에 읽기 동작을 시작한다. 읽기 행 번지 선택기의 D/F 0의 출력은 100 비트, 즉, "0~9" 번지의 읽기 액세스 TR을 턴-온시켜 읽기 열 번지 선택기의 순차적인 번지 지정에 따라 각 번지의 정보를 출력시킨다. 읽기 행 번지 선택기는 쓰기 행 번지 선택기와 달리 첫번째 D/F 0이 프리셋 단자를 갖고 있어 읽기 열 번지 선택기와 함께 RSTR 신호를 인가함으로써 동시에 번지 선택을 하게 된다. 읽기 행 번지 선택기의 클럭은 읽기 열 번지 선택기의 D/F 9의 출력이 되며, 따라서 제어 회로를 따로 만들 필요가 없다. 또한, 서브 어레이 2의 읽기 행 번지 선택기의 D/F 71은 최종적으로 마지막 워드 라인을 선택하므로 순차적인 정보출력을 위하여 프리셋 단자를 갖는 D/F 0으로 설계되었다.

3-2. 1/2 V_{DD} 전압 발생기 설계

1/2 V_{DD} 전압 발생기는 차동 증폭단에 기준 전압을 인가하기 위해 필요한 회로이며 공정변위나 전원 전압의 변동, 온도의 변화 등 외부적 환경의 변화에 따라 1/2 V_{DD} 전압을 정확히 발생하여야 한다. 본 논문에서는 그림 2.9와 같이 저항 R1과 R2로써 전압을 배분하여 오류증폭기의 전압 보상이 가능하도록 하고 온도변화에 대한 MOS의 전도도 변이 특성을 보상하기 위하여 온도 보상회로를 채용함으로써 무부하시 100[°C] 온도변화에 대하여 0.03[V] 이하의 안정된 출력이 가능하도록 설계하였다.

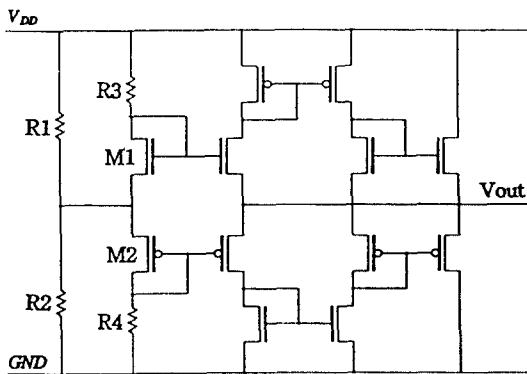


그림 2-9. 1/2 V_{DD} 전압 발생기
Fig 2-2. 1/2 V_{DD} voltage generator

III. 모의실험 및 레이아웃

1. 모의실험

본 논문에서는 설계된 메모리 코어 및 각 기능회로의 모의실험을 위하여 CMOS 1.5[μm] SPICE 과라뎀터를 이용하여 시뮬레이션 하였다. ME TR의 크기를 L=3.0[μm], W=1.5[μm]로 MS1 TR과 MS2 TR의 크기는 L=1.5[μm], W=6.0[μm]로 설정된 메모리 코어에 대하여 워드 라인(RWL) 풀-업시 시뮬레이션 결과 3-TR dual-port 다이나믹 셀로 설계된 메모리 코어는 워드 라인 인가후 3[ns] 이하의 고속 비트 라인 출력동작이 이루어진다.

기존의 워드 라인과 첫 행 분리를 통한 고속 풀-업 특성을 갖도록 본 논문에서 제안된 워드 라인의 풀-업 시간 특성을 비교하기 위하여 시뮬레이션한 결과는 그림 3-1과 같다.

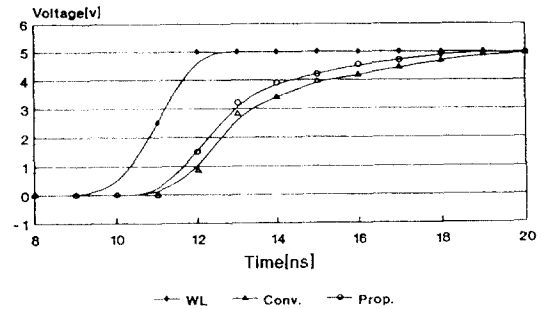


그림 3-1. 워드 라인 풀업 시간
Fig 3-1. Wordline pull up time

워드 라인(WL) 풀업시 기존의 워드 라인 전압(Conv.)에 대하여 제안된 설계방식의 워드 라인 전압(Prop.)은 0.9 V_{cc} 풀업지점을 기준으로 약1~2 [ns]의 풀업 속도개선이 이루어진다.

같은 번지에 대하여 정보의 동시 입·출력이 가능하도록 고안된 데이터 래치 회로의 동작특성은 그림 3.2와 같다.

설계된 데이터 래치 회로는 구동신호(SAN) 인가후 정보저장 동작이 시작되며 메모리 코어의 쓰기 동작시에는 쓰기번지 선택신호(WCSL) 인가후 2[ns] 이하에 데이터 래치의 쓰기동작이 완료된다. 데이터 래치에 입력정보의 저장이 이루어질 동안 데이터 래치가 속한 열 번지의 출력이 가능하므로 같은 번지의

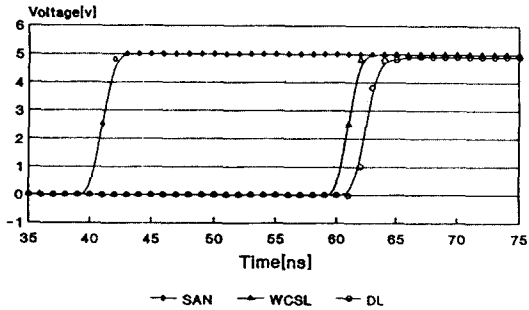
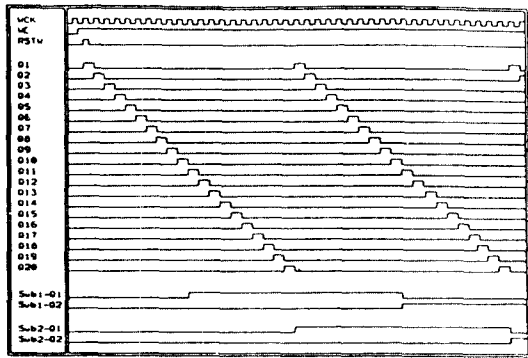
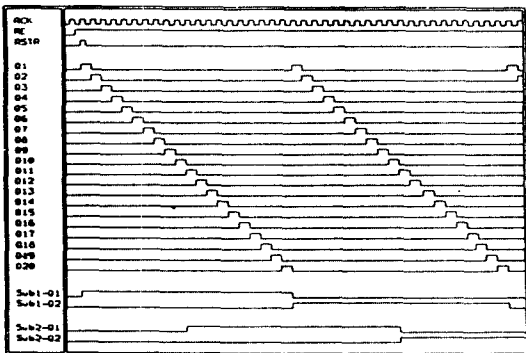


그림 3-2. 데이터 래치의 동작특성
Fig 3-2. Operation characteristics of data latch

동시 입·출력 동작이 가능하고 실질적으로 메모리 코어의 입력동작에 요구되는 시간은 데이터 래치의 입력시간인 2[ns] 이하이므로 기존의 VRAM에 비해



(a) 쓰기 번지 선택기



(b) 읽기 번지 선택기

그림 3-3. 번지 선택기의 동작특성
Fig 3-3. Operation characteristics of address selector

여 고속의 입력특성을 얻을 수 있다.

정보의 순차적인 정보 입력 및 출력을 위하여 설계된 번지 선택기의 로직 시뮬레이션 결과는 그림 3-3과 같다.

시뮬레이션 결과 설계된 번지 선택기는 50[MHz] 클럭신호(WCK, RCK)에 대하여 순차적인 쓰기동작 및 읽기동작이 가능하므로 20[ns] 이하의 고속 동작이 가능하다.

1/2 V_{DD} 전압 발생기의 온도변화에 따른 시뮬레이션 결과는 그림 3-4와 같다.

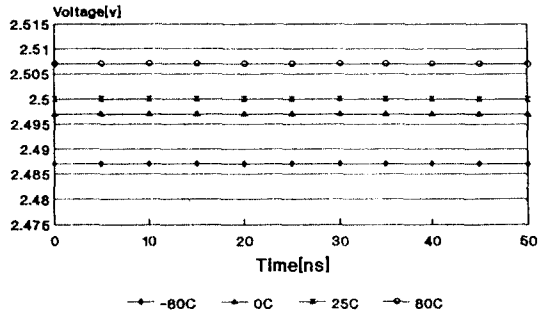


그림 3-4. 온도 변화에 따른 동작특성
Fig 3-4. Operation characteristics on temperature variation

온도 보상회로가 채용된 1/2 V_{DD} 전압 발생기는 무부하시 100[$^{\circ}$ C] 온도변화에 대하여 0.03[V] 이하의 안정된 전압변이 특성을 갖는다.

2. 전체 레이아웃

본 논문에서는 영상 신호처리를 위한 고속 VRAM을 ASIC화 설계하기 위하여 메모리 코어 및 각 주변 회로를 최적화 설계한후 설계면적, 동작특성 및 배선을 고려하여 1.5[μ m] 2-metal, 1-poly COMOS 설계 규칙을 이용 288워드 x 10비트의 메모리 코어에 대하여 레이아웃한 결과는 그림 3-5와 같다.

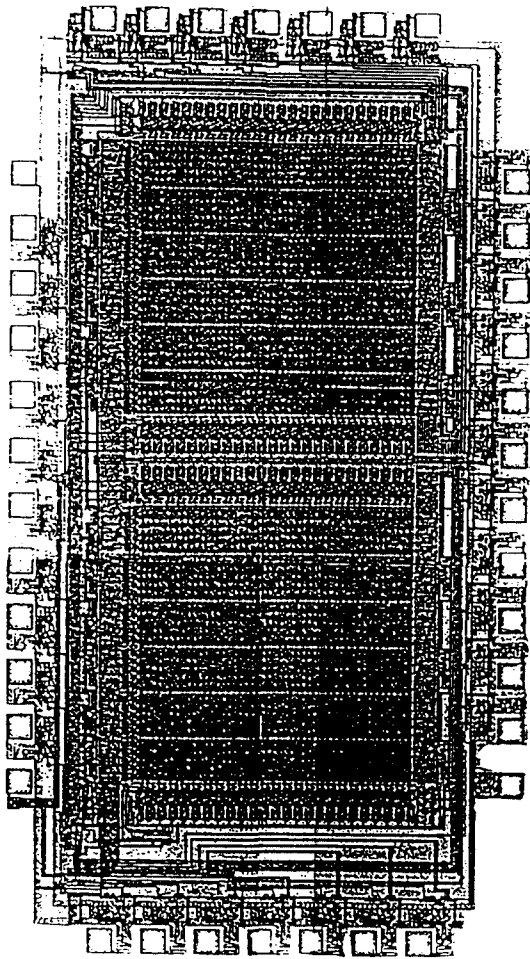


그림 3-5. 고속 VRAM의 전체 레이아웃
Fig 3-5. Layout of high speed VRAM

IV. 결 론

본 논문에서는 영상 신호처리를 위한 고속 1 line VRAM을 ASIC화 설계하기 위하여 액세스 시간 및 집적도가 우수한 3-TR dual-port 다이내믹 셀을 채용하여 메모리 코어를 설계하였다. 또한, 메모리 코어를 두 블럭으로 나누고 서브 어레이 1의 첫행을 분리 설계하므로써 읽기 비트 라인의 기생 캐패시턴스를 감소시켜 고속 파이프 라인 동작이 가능하도록 하였으며, 일반 메모리 구조에는 없는 데이터 래치 회로를 고안·설계, 쓰기 비트 라인에 채용하여 한 번지의 동시 입·출력이 가능하도록 설계 제안하였다. 주변회

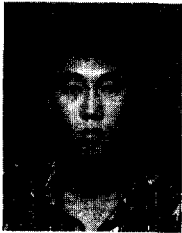
로로서는 순차적인 번지 지정을 위한 번지 선택기틀링 카운터 회로를 이용하여 설계한 후 20[ns] 이하에서도 안정된 동작이 이루어짐을 확인하였고, $1/2 V_{DD}$ 전압 발생기를 온도 변화에 대한 MOS의 전도도 변이특성 보상을 위한 온도 보상회로를 채용하여 0.03 [V] 이하의 출력 전압변이 특성을 갖도록 설계한 후 1.5[μ m] CMOS 표준 공정으로 레이아웃 하였다. 모의실험 결과 본 논문에서 고안 설계된 VRAM용 각 기능 회로에 대한 설계 기법은 20[ns] 이하의 번지 선택 기능이 가능하고 고안된 데이터 래치 구조의 채용에 따라 기존의 VRAM에서 불가능했던 동일 번지에 대한 정보의 입·출력 동작이 가능하므로 1 line 지연동작시 일반화 되어 왔던 수 싸이클의 시간 지연 없이 정확한 1 line 지연특성이 이루어지므로 본 논문에서 설계된 각 기능 회로들은 50[MHz] 이상의 고속 신호 처리 동작이 요구되는 HDTV 이상의 고속 영상 신호처리용 VRAM 회로설계에 채용 가능하다.

참 고 문 헌

1. L. V. Tan, "A 32K bit high speed on-chip DRAM for digital signal processor," in Proc. CICC, pp. 166, May 1985.
2. T. Fujio, "High definition television systems : Desirable standards, signal forms and transmission systems," IEEE Trans. Commun., vol COM-29, no. 12, pp. 1882, Dec. 1981.
3. Y. Ninomiya, Y. Ohtsuka, et al., "A singled channel transmission system for HD-TV satellite broadcasting 'MUSE'," J. IECE vol. J. 68-D, no. 4, pp. 747, 1985.
4. B. Zehner, et al., "A CMOS VLSI chip for filtering of TV pictures in two dimensions," IEEE J. Solid-State Circuits, vol. SC-21, no. 5, pp. 797, Oct. 1986.
5. K. Murakami, et al., "A digital processor for decoding composite TV signals using adaptive filtering," IEEE J. Solid-State Circuits, vol. SC-21, no. 5, pp. 790, Oct. 1986.
6. H. Kotani, H. Akamatsu, et al., "A 50-MHz 8-Mbit Video RAM with a column direction drive sense amplifier" IEEE J. Solid-State Circuits, vol. SC-21, no. 5, pp. 649, Oct. 1986.
7. M. Nagatani, et al., "Digital signal processing

- for decoding/encoding color TV signals," IEEE J. Solid-State Circuits, vol. SC-21, no. 6, pp. 964, Dec. 1986.
8. S. Suzuki, et al., "A CMOS chip pair for digital TV," in ISSCC Dig. Papers, pp. 204, Feb. 1987.
 9. N. Hatanaka, et al., "A 3-transistor DRAM line memory for the Video processor," in ESSCIRC Dig. Tech. Papers, pp. 69, Sep. 1987.
 10. W. Jonker, et al., "A HD-MAC coding system," presented at the 2nd Int. Workshop Signal Processing of HDTV, Feb. 1988.
 11. T. Oto, et al., "A codec LSI for high definition TV signals," in ISSCC Dig. Tech. Papers, Feb. 1989.
 12. NEC Data Book, 1990.

이 연구는 92년도 한국과학재단 연구비 지원에 의한 결과임



薛 郁 (Wook Seol) 準會員
 1970年 2月 14日生
 1992年 2月: 圓光大學校 電子工學
 科 卒業(工學士)
 1994年 2月: 圓光大學校 大學院 電
 子工學科 卒業(工學碩
 士)
 1994年 3月~現在: Deniam 技術研
 究所 開發部 勤務



宋 昌 泳 (Chang Young Song) 正會員
 1964年 8월 27日生
 1991年 2月: 圓光大學校 電子工學
 科 卒業(工學士)
 1993年 2月: 圓光大學校 大學院 電
 子工學科 卒業(工學碩
 士)
 1993년 3月~現在: 圓光大學校 大
 學院 電子工學科 博士
 課程



金 大 舜 (Dae Soon Kim) 正會員
 1968年 1月 15日生
 1990年 2月: 圓光大學校 電子工學
 科 卒業(工學士)
 1992年 2月: 圓光大學校 大學院 電
 子工學科 卒業(工學碩
 士)
 1992年 3月~現在: 圓光大學校 大
 學院 電子工學科 博士
 課程



金 煥 溶 (Hwan Yong Kim) 正會員
 1951年 5月 11日生
 1973年 2月: 全北大學校 電氣工學
 科 卒業(工學士)
 1978年 2月: 全北大學校 大學院 電
 氣工學科 卒業(工學碩
 士)
 1984年 8月: 全北大學校 大學院 電
 氣工學科 卒業(工學博
 士)
 1986年 9月~1987年 8月: CANADA MANITOBA 大學
 校 客員教授
 1979年 3月~現在: 圓光大學校 電子工學科 教授