

Ion Mass Doping법을 이용한 Phosphorus주입된 실리콘 박막의 Annealing 특성

강창용, 최덕균, 주승기*

한양대학교 무기재료공학과, *서울대학교 금속공학과

Annealing Characteristic of Phosphorus Implanted Silicon Films using an Ion Mass Doping Method

Chang Yong Kang, Duck Kyun Choi, and Seung Ki Joo*

Dept. of Inorganic Materials Engineering, Han Yang University, 133-791, Seoul, Korea

* Dept. of Metallurgical Engineering, Seoul National University, 151-741, Seoul, Korea

Abstract

A large area impurity doping method for poly-Si TFT LCD has been developed. The advantage of this method is the doping of impurities into Si over a large area without mass separation and beam scanning. Phosphorus diluted in hydrogen was discharged by RF(13.56MHz) power and ions from discharged gas were accelerated by DC acceleration voltage and were implanted into deposited Si films. The annealing characteristic of this method was similar to that of the ion implantation method in the low doping concentration. Three mechanisms were evolved in the annealing characteristics of phosphorus doped Si films. Point defects annihilation and the retrogradation of dopant atoms at grain boundaries as a result of grain growth played a major role at low and high annealing temperature, respectively. However, due to the dopant segregation, the reverse annealing range existed at intermediate annealing temperature.

1. 서 론

비정질 실리콘 박막트랜지스터(a-Si TFT)에 비해 다결정 실리콘박막트랜지스터(poly-Si TFT)는 carrier이동도의 우수성과 구동회로를 유리기판에 접적화할 수 있다는 점등으로 인해 박막트랜지스터 액정표시소자(TFT LCD)의 대면적화에 장점을 가지고 있다. 그러나 poly-Si TFT의 제조공정은 LSI 공정에 기초를 두고 있기 때문에 기판을 대면적화할 경우 여러가지 어려움이 따른다. 그중에서도 유리기판을 사용하기 때문에 공정온도를 기판의

연화점 이하로 낮추어야 하는 점과 효과적인 불순물의 주입방법의 개발이 선결되어야 한다. 현재 기존의 poly-Si TFT를 제조하는데 사용되는 고가의 석영유리를 대체하기 위해 가격면에서 경쟁력이 있는 저가의 붕규산 유리를 사용하여 poly-Si TFT를 제조하기 위한 연구가 진행중이다. 붕규산 유리를 사용하여 TFT를 제작할 경우 공정자체가 붕규산 유리의 연화점인 600℃이하의 온도에서 행해져야 하므로 이 온도이하에서 직접 다결정실리콘을 증착하는 연구와 기존의 저압화학기상증착법(LP-CVD)을 사용해서 증착된 비정질실리콘을 이 온

도범위에서 결정화하는 연구가 활발히 진행되고 있다. 또한 source와 drain영역의 형성을 위한 불순물의 주입에 있어서 기존의 이온주입기(Ion Implanter)가 고가의 장비일뿐만 아니라 이온빔의 면적이 작아 이온 주입시 이온빔이 기판을 scanning해야 한다는 점 등의 이유로 TFT LCD의 대면적화시에 적절하지 못한 점이 있으므로 이러한 문제점을 해결하고자 최근에는 질량분리(mass-separation)와 빔주사(beam scanning)가 없는 넓은 면적의 이온빔을 이용한 이온주입기술이 이미 보고되고 있다¹⁻³⁾. 본 연구에서는 라디오주파수(RF)를 이용하여 주입하고자 하는 물질을 이온화시킨 후 직류전압을 인가하여 이온이 가속되게 설계된 Ion Mass Doping장치를 이용하여 다결정실리콘 기판에 대해 phosphorus를 주입하고, 주입된 도판트의 활성화와 이온주입시 발생하는 기판상의 damage의 치유를 위한 후속열처리과정에서 열처리 공정변수 변화에 따른 도판트의 활성화양상을 관찰하였다. 또한 LCD용 유리기판의 연화점 이하의 저온에서 후속열처리 시간에 따른 dopant의 활성화 경향을 고찰하였다.

2. 실험 방법

2.1 Ion Mass Doping 장치

Fig. 1은 본실험에서 사용된 non mass-separated Ion Mass Doping System(비질량분리 이온주입장치)이다. 본장치는 quartz로 제작된 chamber가 플라즈마 발생부와 이온 가속부로 나누어져 있다. Doping gas로는 H₂로 희석된 1%의 PH₃를 사용하였으며, 이 gas를 13.56MHz의 RF power에 의해 플라즈마상태로 만들어 준다. 이때 이온 상태로 되어 있는 P⁺, PH⁺, H⁺, H₂⁺, H₃⁺와 PH_x⁺들을 가속시킬 수 있도록 chamber의 RF전극 밑에 위치한 DC전극에 potential을 가해줌으로써 이온들이 가속되어 기판에 주입될 수 있게 하였다. DC전극은 1쌍의 40mesh의 stainless steel을 사용하였으며 하부의 전극은 접지하고 상부의 전극에 전압을 인가함으로써 두 전극사이의 전압차이로 인해 이온이 가속될 수 있게 하였다.

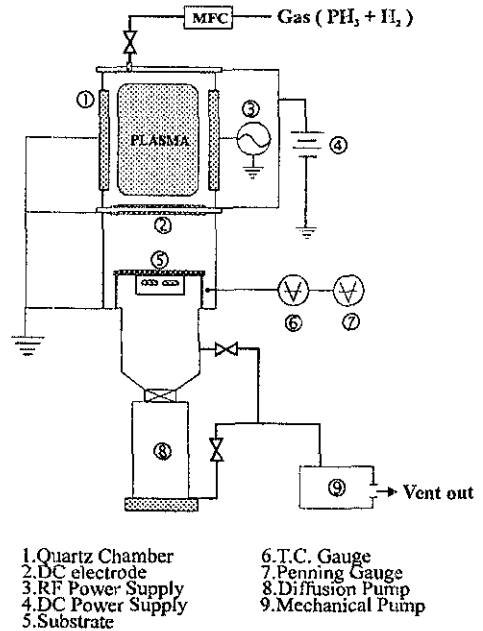


Fig. 1. Schematic diagram of Ion Mass Doping system.

2.2 Doping 실험

본연구에서 사용된 실리콘박막은 5000 Å의 열산화막을 기른 실리콘기판에 저압화학기상법(LPCVD)로 SiH₄를 625°C에서 열분해시켜 5000 Å과 1500 Å의 두께로 증착한 다결정 실리콘박막을 사용하였다. 이온주입조건은 Table 1에 나타난 바와 같다. 이온주입후 도판트의 활성화와 이온주입시 이온의 충돌로 인해 생성되는 Si표면의 damage를 치유하기 위해서 질소분위기하에서 400°C에서 900°C까지 각각 1분간의 급속열처리(RTA) 혹은 30분간의 로열처리(furnace annealing)를 행하였고, 저온공정을 위해 480°C에서 각각 0.5, 1, 3, 6,

Table 1. Ion Mass Doping conditions for poly-Si.

Working pressure	4-6 × 10 ⁻⁴ torr
PH ₃ /H ₂	10 sccm
RF power	200 W
DC bias	0-10 kV
Doping time	2 min

12시간의 로열처리를 하였다. Dopant의 주입 후 열처리에 따른 불순물의 활성화는 4-point probe와 Van der Pauw (Bio-Rad SMS HL5200, VDP vers.2.4)법을 이용한 면저항의 변화와 파장 6328 Å의 Ellipsometer (Rudolph Research Ellipsometer mode Auto EL.II)를 이용한 다결정실리콘의 상대굴절율의 변화로 관찰하였다. 또한 굴절율의 변화와 XRD(Rigaku, RAD-C)상대intensity의 변화로 DC가속 전압에 따른 박막의 활성화 양상을 살펴보았다.

3. 결과 및 고찰

Fig. 2는 두께가 1500Å인 다결정 실리콘 박막에 10keV의 가속전압으로 phosphorus를 Ion Mass Doping법을 이용해 주입한 시편을 400°C에서 900°C의 온도 범위에서 30분간 로열처리 한 후의 온도에 따른 면저항과 상대굴절율의 변화를 나타낸 것이다. 상온에서 400°C까지는 면저항이 감소하지만, 400°C에서 500°C의 온도범위에서는 면저항이 오히려 증가하다가 500°C이상의 영역에서는 다시 면저항이 감소하는 경향이 나타난다. 이

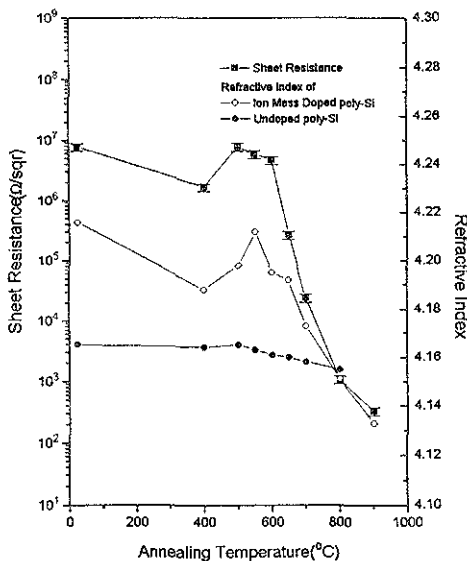


Fig. 2. Dependence of sheet resistance and refractive index on the furnace annealing temperature in P doped 1500Å poly-Si films.

것은 이온주입기(Ion Implanter)를 이용해 낮은 농도로 주입된 불순물의 활성화와 관련된 Si의 열처리 특성과 일치하고 있다.⁵⁻⁷⁾

Si의 열처리 특성은 3가지 영역으로 나눌 수 있는데, 점결함이 free carrier농도를 지배하는 저온 영역(region I)으로 이 영역에서는 이온주입시 가속된 이온의 충돌로 인해 생성된 결함들이 온도가 증가함에 따라 확산하고 재결합함에 따라 carrier trap이 소멸되어 net carrier농도는 증가하게 된다. 중온 영역(region II)에서는 입계나 전위 loop와 같은 결함이 형성되어 치환형 불순물을 포획하여 carrier의 수가 감소된다. 이러한 이유때문에 이 영역에서는 면저항이 증가하는 reverse annealing현상을 볼 수 있다. 또한 T. Kamins등은 다결정 실리콘에서의 불순물의 편석(dopant segregation)현상을 통해 reverse annealing을 설명하고 있다.⁸⁾ 고온 영역(region III)에서는 재결정화에 따른 입계면적의 감소로 치환형 불순물의 양이 증가하게 되고 입계나 전위의 소멸로 활성화된 불순물도 증가하게 된다.

상대 굴절율의 변화도 온도에 따른 면저항의 변화와 동일한 경향을 보여주고 있는데, 저온영역에서는 가속된 이온의 충돌로 인한 실리콘 박막 표면의 damage가 열처리를 통해 치유됨에 따라서 실리콘 박막의 점결함밀도는 감소되고, 이로 인해서 박막 내부에서 빛의 scattering이 감소하므로 굴절율은 감소하게 된다. Reverse annealing이 일어나는 영역에서는 입계의 형성 및 입계영역으로의 도판트 편석으로 인해서 박막의 결함밀도가 증가되므로 상대굴절율이 증가하게 된다. 이후의 영역 III에서는 앞서 설명한 바와 같이 입계의 감소 및 전위와 같은 결함이 제거됨에 따라 박내의 결함밀도 감소로 인해 상대굴절율은 감소한다. 이와같이 불순물이 상대굴절율에 미치는 영향을 확인하기 위해서 불순물이 주입되지 않은 시편을 동일한 조건에서 열처리한 결과 Fig. 2에서처럼 입계영역으로의 도판트 편석이 발생하지 않기 때문에 reverse annealing이 일어나지 않고 있으며 고온에서 결정립의 성장에 의한 박막내 결함밀도 감소로 굴절율

이 감소함을 알 수 있다.

Fig. 3은 5000Å의 다결정 Si에 대해 1500Å의 다결정 Si과 동일한 조건으로 phosphorus를 주입하고 열처리한 경우의 면저항과 굴절율의 변화를 나타낸 그림이다. 이 경우에도 Fig. 2와 같은 경향으로 불순물의 활성화가 일어나고 있는데, 면저항의 경우 600°C와 650°C의 영역에서 미소한 증가를 보이지만 굴절율 변화의 경우는 활성화경향을 명확히 보여 주고있다.

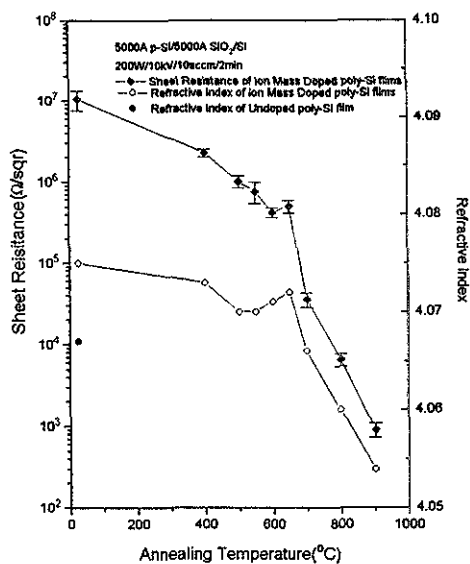


Fig. 3. Dependence of sheet resistance and refractive index on the furnace annealing temperature in P doped 5000 Å poly-Si films.

Fig. 4는 가속전압의 변화에 따른 XRD peak 강도를 나타낸 것으로 이온 주입시 가속된 이온충돌에 의한 박막의 부분적인 비정질화로 불순물 주입 후에 (220)peak의 강도가 감소가 일어나고 있다. (a)는 불순물을 주입하지 않은 다결정 Si으로 Si의 (220)peak가 주peak로 나타나고 있는데, 이는 다결정Si의 증착시 600°C에서 650°C의 온도 범위에서는 (220)면의 우선방위를 갖는다는 연구보고와 일치하고 있다.⁹⁾ (b)는 Ion Mass Doping으로 phosphorus를 주입한 경우로서 가속된 불순물의 충돌로 인한 박막표면의 부분적인 비정질화로 peak의

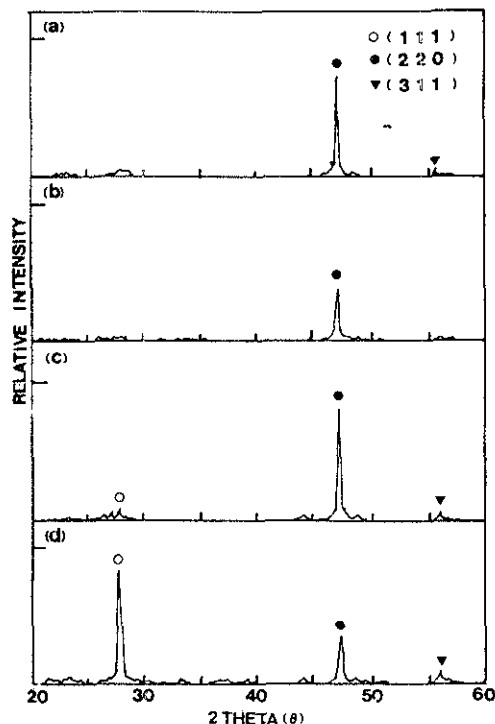


Fig. 4. XRD patterns of (a) undoped poly-Si film, (b) P doped poly-Si film, (c) P doped and 550°C furnace annealed poly-Si film and (d) P doped and recrystallized amorphous-Si film.

강도는 감소하지만 여전히 (220)peak이 나타나고 있다. (b)의 시편을 550°C에서 열처리하면 (c)와 같이 주peak는 변화하지 않고 peak의 강도만 증가하는데, 이는 Ion Mass Doping을 이용하여 불순물을 주입한 경우 낮은 에너지로 불순물을 주입하기 때문에 박막 표면근처에서만 부분적으로 비정질화가 일어나므로 저온에서 열처리할 경우 Si박막에서 불순물 주입으로 손상받지 않고 다결정으로 남아 있는 부분이 재결정화에 있어서 일종의 seed 역할을 하기 때문에 Si박막의 증착시 결정된 우선방위가 그대로 유지됨을 알 수 있다. 반면에 (d)은 530°C의 온도에서 3000Å 증착시킨 비정질Si에 대해 같은 조건으로 불순물을 주입한 후 550°C에서 열처리한 경우의 XRD peak를 나타낸 것으로 재결정화되는 과정에서 핵생성 및 성장과정을 거치게 됨에 따라 (111) 우선 방위로 성장하게 된다.

Fig. 5는 Fig. 3과 동일한 시편, 즉 5000Å의 다결정 Si에 대해 동일한 조건으로 불순물을 주입한 후 급속열처리한 경우의 면저항과 상대굴절율의 변화를 나타낸 것이다. 이 경우에서도 마찬가지로 로열처리와 같은 3개의 영역에 걸친 열처리 특성이 나타나는 것을 볼 수 있지만, 급속열처리의 경우는 reverse annealing의 효과가 현저함을 알 수 있다. 이는 phosphorus와 관련된 여러가지 활성화에너지를 살펴볼 때 실리콘 내부에서 phosphorus가 확산하기 위한 활성화에너지가 $3.66\text{eV}^{(10)}$, phosphorus가 주입된 비정질 실리콘박막의 재결정화에 필요한 활성화에너지가 $2.35\text{eV}^{(11)}$, 결정립성장에 필요한 활성화에너지가 $2.4\text{eV}^{(12)}$ 인 반면 입계로의 편석에 필요한 에너지는 약 $0.44\text{eV}^{(9)}$ 로 후속열처리에 따라 입계로의 편석이 우선할 것이라고 예상할 수 있다. 급속열처리의 경우 불순물이 입계영역으로 편석되어 면저항의 급격한 증가를 나타내는 반면에 로열처리시는 불순물이 입계로 편석이 되는 것과 동시에 비교적 긴 열처리 시간동안에 결정립의 성장도 일어나서 급속열처리의 경우와 같은 dopant 편석에 의한 급격한 면저항의 증가를 상쇄시키는 효과가 발생하는 것으로 생각된다.

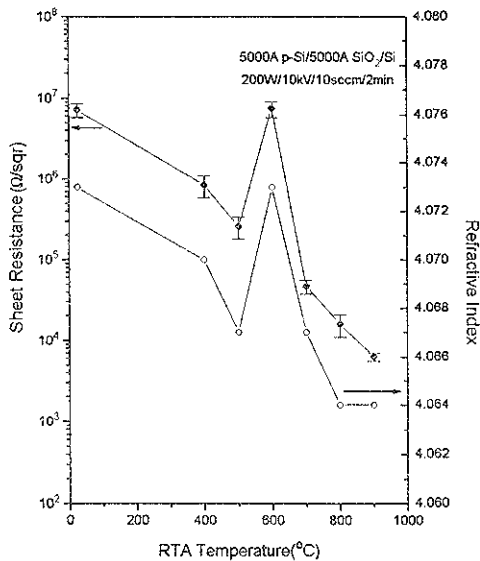


Fig. 5. Dependence of sheet resistance and refractive index on the RTA temperature in P doped 5000Å poly-Si films.

Fig. 6은 저온에서의 dopant의 활성화를 알아보기 위하여 Fig. 3과 동일한 조건으로 불순물을 주입한 후, 480°C의 온도에서 로열처리 시간에 따른 굴절율과 면저항의 변화를 나타낸 그림이다. 1시간까지는 면저항과 굴절율이 감소하다가 그 이상의 열처리에서는 면저항과 굴절율이 증가하다 점차 포화됨을 알 수 있다. 1시간의 열처리는 앞서 설명한 영역 I과 같이 점결함의 확산에 따라 많은 carrier trap이 소멸되므로 면저항과 굴절율이 감소한다. 그러나 열처리시간이 길어지면 면저항이 증가하는데, Fig. 3의 600°C에서 30분간 열처리한 경우와 480°C에서 약 1시간 정도 열처리한 경우에 앞서 설명한 dopant의 입계로 편석되는데 필요한 활성화에너지(0.44eV)를 이용하여 dopant가 입계로 편석되는 양을 계산하여 볼 때 두 경우의 편석되는 양이 비슷한 점에서 이 영역에서 입계로의 dopant 편석에 의한 reverse annealing이 시작되는 것을 확인할 수가 있다. 같은 방법으로 Fig. 3에서 reverse annealing이 끝나는 온도인 650°C에서의 편석되는 dopant의 양에 해당되는 것은 480°C에서 약 2시간동안 열처리 한 경우인데, 실제로 Fig. 6에서 알 수 있듯이 480°C에서는 오히려 6시

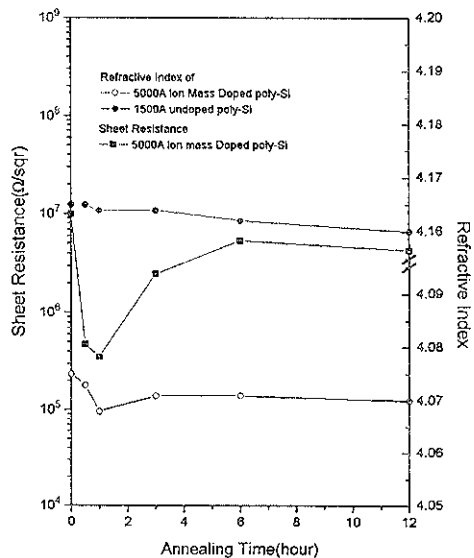


Fig. 6. Dependence of sheet resistance and refractive index on the furnace annealing time at 480°C.

간의 열처리 후에 입계로의 편석 현상이 포화되는 것을 알 수 있다. 이는 phosphorus가 650°C의 온도에서 실리콘 내부에서 거의 움직이지 않기 때문에 실제로 입계로 편석되는 dopant의 양은 입계주위에 주입된 것으로 한정되므로 편석되는 양은 650°C와 480°C의 경우에 같다고 할 수 있지만 650°C의 경우에는 dopant 편석과 동시에 결정립의 성장이 발생되므로 결정립의 성장이 편석에 따른 효과를 상쇄하는데 비해서 480°C에서는 결정립의 성장이 억제되고 dopant 편석만 일어나기 때문이다. 또한 불순물이 주입되지 않은 시편의 경우가 범위에서 굴절률의 변화가 거의 없다는 점에서 불순물이 주입된 경우의 굴절률 증가가 편석에 기인한 것임이 확인된다.

Fig. 7과 Fig. 8은 가속전압의 변화에 따른 Si박

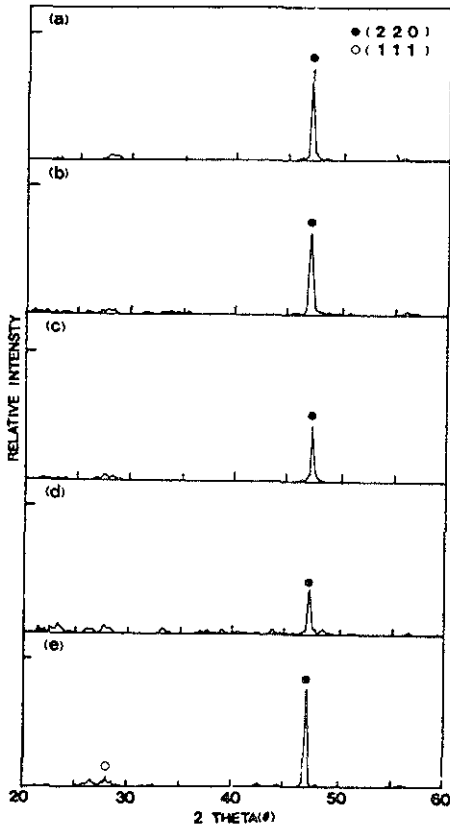


Fig. 7. XRD patterns of P doped poly-Si film for the various DC acceleration voltage of (a) undoped, (b) 3kV, (c) 5kV, (d) 10kV and (e) 10kV and annealed at 550°C.

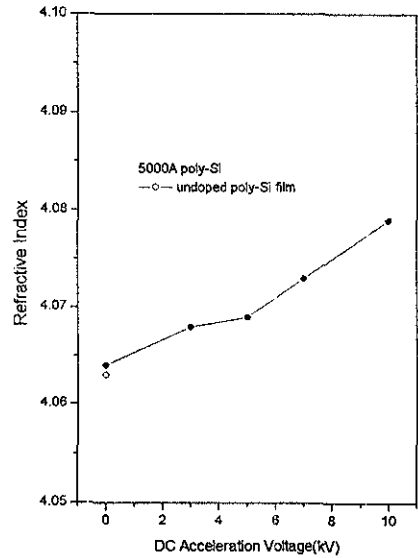


Fig. 8. Dependence of refractive index on the DC acceleration voltage.

막의 손상 정도를 XRD peak강도의 변화와 굴절률의 변화로 나타낸 그림이다. 가속전압이 증가함에 따라 다결정 Si박막에서 비정질화 되는 영역이 증가하므로 XRD peak는 감소하고 굴절률은 증가하고 있다.

Fig. 9는 1500Å의 다결정 Si박막에 대해 가속

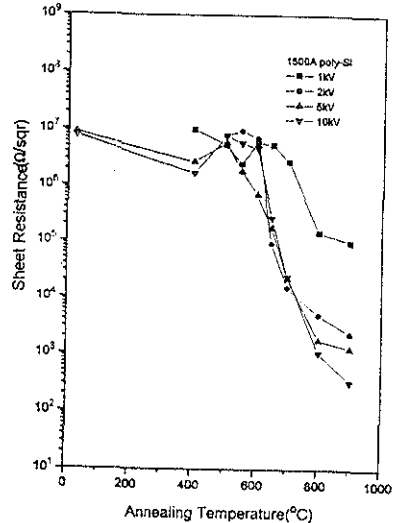


Fig. 9. Dependence of sheet resistance on the furnace annealing temperature for the various DC acceleration voltage.

전압을 변화시켜 가며 불순물을 주입한 후 로열처리한 경우의 온도에 따른 면저항의 변화를 나타낸 그림이다. 이 경우에도 앞서 설명한 것과 같은 3가지 영역의 열처리 특성이 나타나고 있다. 또한 가속전압이 증가함에 따라 박막의 손상영역이 증가하게 되고 열처리시 재결정화에 필요한 활성화장벽이 낮아지므로 저온에서 reverse annealing이 일어나고 있음을 알 수 있다.

4. 결 론

Ion Mass Doping법에 의해 다결정 실리콘박막에 대해 불순물을 주입한 경우, 열처리 온도에 따른 면저항 변화는 이온 주입기(Ion Implanter)로 불순물을 주입한 경우와 같은 3개 영역의 열처리 특성이 일어남을 확인할 수 있었다. 또한 상대굴절율의 변화도 면저항의 변화와 같은 변화양상을 보여 주었다.

불순물이 주입되지 않은 시편의 경우 reverse annealing이 관찰되지 않는 반면에 불순물이 주입된 경우 중간 열처리온도에서 reverse annealing 영역이 관찰되는데, 이는 불순물 주입으로 비정질화된 다결정 실리콘박막이 열처리 과정에서 일어나는 입계의 형성 및 입계로의 dopant 편석 현상 때문이며, 이로 인한 박막의 결함밀도 증가로 인해 면저항과 상대굴절율이 증가하였다.

480°C의 저온 열처리를 행할 경우, 열처리 시간이 증가함에 따라 온도의존성을 보이는 입계성장은 억제되는 반면에 시간의존성을 가지는 입계로의 dopant 편석현상으로 면저항과 굴절율이 증가하였다.

또한 이온 가속전압의 변화에 따라서도 3가지 영역의 열처리특성이 나타나며, 박막의 damage가 증가됨에 따라 활성화와 장벽이 낮아지므로 reverse annealing 영역이 저온에서 일어났다.

후 기

본 연구는 94년도 과학재단의 우수연구센터인 서울대학교 신소재 박막가공 및 결정성장 연구센터의 연구비 지원으로 수행되었으며 이에 감사드립니다.

참 고 문 헌

1. G. Kawachi, T. Aoyama, and K. Miyata : Electrochem Soc., 137 (1990) 3522
2. H. B. Cooper III, S. B. Felch, and T. S. Sheng : SEMICON Korea Technical Symposium, (1993) 267
3. G. Kawachi, T. Aoyama, and T. Suzuki : Jpn. J. Appl. Phys., 30 (1991) 772
4. A. Yoshida, M. Kitagawa, and T. Hirao : Jpn. J. Appl. Phys., 32 (1993) 2147
5. M. D. Giles : VLSI Technology S. M. Sze (ed.), 2nd ed. McGraw-Hill, (1988) 355
6. S. K. Ghandhi : VLSI Fabrication Principles, John Wiley & Sons, (1983) 325
7. S. Wolf and R. N. Tauber : Silicon Processing for the VLSI Era, Lattice Press, (1986) 304
8. T. I. Kamins, M. M. Mandurah, K. C. Saraswat, and C. R. Helms : J. Appl. Phys. 51 (1980) 5755
9. T. Kamins : Polycrystalline Silicon for Integrated Circuit Applications, Kluwer Academic Publishers, 60
10. W. E. Beadle, J. C. C. Tsai, and R. D. Plumer : Quick Reference Manual for Silicon Integrated Circuit Technology, John Wiley & Sons
11. L. Csepregi, E. F. Kennedy, and J. W. Mayer : J. Appl. Phys., 49 (1978) 3906
12. R. Angelucci and M. Severi : Mater. Chem. Phys. 9 (1978) 235