

<연구논문>

## 비정질 실리콘을 이용한 다층 유전 박막의 전기적 특성에 관한 연구

정회환 · 정관수

경희대학교 전자공학과  
(1994년 2월 1일 접수)

### Study on Electric Characteristics of Multi-dielectric Thin Films Using Amorphous Silicon

Hoi Hwan Chung and Kwan Soo Chung

Department of Electronic Engineering, Kyunghee University,  
Suwon 449-900, Korea

(Received February 1, 1994)

**요 약** - ANO 구조의 캐패시터 유전체막의 전기적인 특성을 ONO 구조의 캐패시터 유전체막의 경우와 비교하였다. ONO막과 ANO막의 전기적 특성은 고주파(1 MHz) C-V, 정전압 stress 후 고주파 C-V, I-V, TDDB와 refresh time을 측정하여 평가하였다. ANO막이 ONO막보다 높은 절연과피전하( $Q_{BD}$ )와 축적용량을 가졌고, 긴 refresh time을 가지는 우수한 전기적 특성을 나타냈다. 또한, ONO막과 ANO막과의 누설전류와 flat band 전압변화( $\Delta V_{fb}$ )에서도 거의 차이가 없었다.

**Abstract** - The electrical characteristics of the capacitor dielectric films of amorphous silicon-nitride-oxide(ANO) structures are compared with the capacitor dielectric films of oxide-nitride-oxide(ONO) structures. The electrical characteristics of ONO and ANO films were evaluated by high frequency(1 MHz) C-V, high frequency C-V after constant voltage stress, I-V, TDDB, and refresh time measurements. ANO films shows good electrical characteristics such as higher total charge to breakdown( $Q_{BD}$ ), storage capacitance and longer refresh time than ONO films. Also, it makes little difference that leakage current and flat band voltage shift( $\Delta V_{fb}$ ) of ANO and ONO films.

## 1. 서 론

기억소자의 고집적화는 기억 셀(memory cell)의 크기가 감소하면서 축적용량의 부족으로 read signal의 신호잡음비(signal to noise ratio) 및  $\alpha$  입자에 의한 오동작(soft error)등의 신뢰성 문제가 야기되어 고집적화에 장애요인으로 등장하였다.

따라서 conventional scaling 방법으로 사용하여 온 캐패시터용 산화막의 박막화는 램프가열 방식을 사용한 rapid thermal oxidation 방법, 산화성 기체인 산화의 분압을 낮추고 고온 처리하는 고온산화기술, 그리고 산화공정 중 anneal을 추가하는 방법 등으로

막질을 개선시켜서 100 Å 정도의 산화막이 사용되는 1M DRAM급까지는 적용 가능했지만, 4M DRAM급 이상의 device에서는 70 Å 이하의 박막화가 요구되고 있으며 이 정도 산화막을 박막화시키면 막질자체의 신뢰성에 문제[1, 2]가 발생되기 때문에 현실적으로 산화막의 박막화에 의한 DRAM cell의 축소기술은 한계에 부딪치게 되었다.

이러한 문제점들을 해결하기 위하여 보다 유전율이 높은 Ta<sub>2</sub>O<sub>5</sub>나 TiO<sub>2</sub>와 같은 물질을 유전체로 사용하는 방법[3, 4], 캐패시터를 유전체로 쌓아 올리는 적층 다결정 실리콘 축전기(stacked poly-silicon capacitor) 구조[5-7]를 제작하는 방법, 그리고 캐패시터의 표면

접유영역을 줄이면서 실리콘 기판을 에칭(etching)하여 실효 캐패시터 영역을 증대시키는 도랑 축전기(trench capacitor) 구조[8-10]를 사용하는 방법 등이 소개되어 왔으며 이들에 대한 연구가 다각적으로 진행되어 mega bit급 DRAM 소자으로서 적용을 현실화시키고 있는 실정이다.

본 연구에서는 캐패시터의 재료로 현재 사용하고 있는 재산화 질화 산화막(oxide/nitride/oxide : ONO)과 이를 개선한 ANO(amorphous-Si/nitride/oxide) 구조의 캐패시터 유전체막의 전기적 특성과 신뢰성에 대하여 비교, 평가하였다[11, 12].

전기적인 특성을 비교하기 위하여 storage capacitance, 누설전류와 파괴전압, constant current stressing법에 의한 경시절연파괴(time dependent dielectric breakdown : TDDB) 특성, 그리고 refresh time 등을 집중 검토하여 실제 소자 제작상의 적용가능성을 평가하고자 실시하였다.

## 2. 실험방법

본 실험에서 사용된 시료는 다음과 같은 공정 순서에 의해서 Fig. 1과 같이 제작하였다. 시편 제작을 위해 사용된 반도체 기판은 결정 방향이 (100)이고 비저항이  $5 \Omega \cdot \text{cm}$ 인 P형 실리콘 웨이퍼이다.

각 시편은 표준 세척공정을 시킨 후 열산화법으로  $800^\circ\text{C}$ 에서 4분간 산화막을 성장하였으며 이때 HCl을 첨가하였다. HCl은 Na의 전기적 불활성화에 효과적으로 작용할 뿐만 아니라 Si 기판 표면의 소수 캐리어 수명도 개선할 수 있어서 HCl을 사용하였다[13, 14].

이 후 질화막(nitride)을 LPCVD 방법으로  $680^\circ\text{C}$ 에서 30분간  $\text{NH}_3$  가스분위기에서  $\text{SiH}_2\text{Cl}_2$ 를 모물질로 하여 증착하였다. 그리고  $850^\circ\text{C}$ 에서 30분 동안 열산화법으로 재산화를 한 후 최종적으로 전극형성을 위하여 LPCVD 반응로에서  $\text{SiH}_4$ 을 열분해하여  $640^\circ\text{C}$ 에서  $3000 \text{ \AA}$  증착한 후  $\text{poCl}_3$ 을 주입하였다.

ANO 구조에서의 A(amorphous-Si)은 LPCVD 반응로에서  $\text{SiH}_4$ 을 열분해하여  $540^\circ\text{C}$ 에서 5분간 증착시켰으며 NO(nitride/oxide)는 ONO 구조와 동일한 조건에서 수행하였다. 캐패시터 영역을 정의하기 위해 PR mask 과정을 거친 후 식각하고  $\text{N}_2$  분위기에서  $950^\circ\text{C}$ , 10분 동안 어닐링하여 제작한 캐패시터 구조의 단면도는 그림 2와 같다.

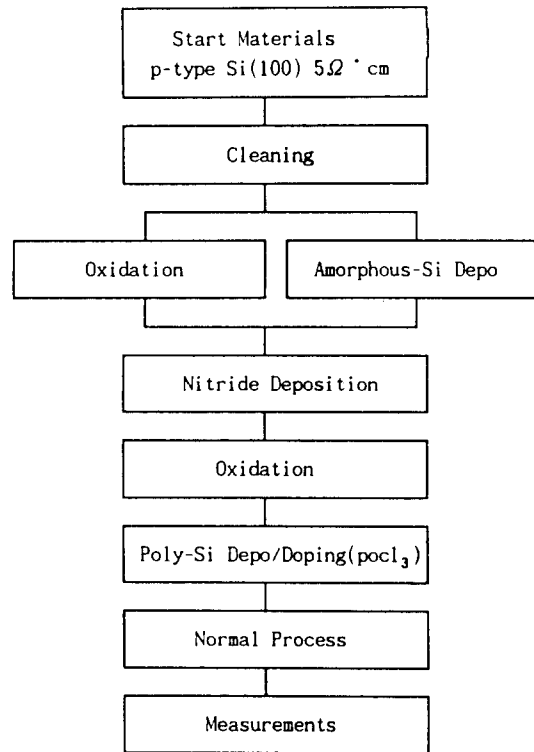


그림 1. 시료제작 공정 순서도.

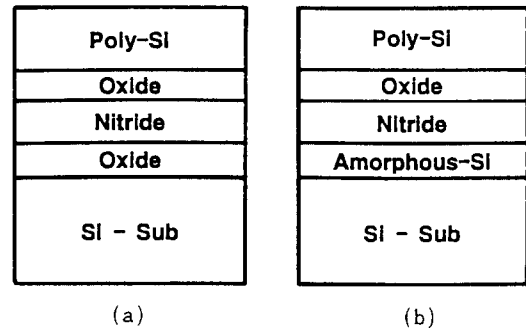


그림 2. 제작한 캐패시터의 단면도. (a) ONO 구조, (b) ANO 구조.

## 3. 실험결과 및 고찰

### 3.1. 전기적 특성 및 신뢰성

#### 3.1.1. C-V 특성

전기적 측정만으로 소자 특성을 완전히 이해하지는 못하지만 소자특성에 관련된 것을 직접 측정할 수 있고 또한, 매우 적은 양을 고감도로 측정할 수 있는 장점이 있다. 그림 2와 같이 제작한 다층구조의 절연

막인 ONO, ANO막의 정전용량은 LCR meter(HP 4275A)를 사용하여 고주파 1 MHz를 가하여 -5 V에서 측정하였으며, 웨이퍼당 5점을 평균한 정전용량 ( $C_{max}$ )값으로 캐패시터의 면적과 유전체의 두께로부터 유전 박막의 유전상수( $\epsilon_s$ )를 식 (1)로부터 환산해 낼 수 있다. ONO막의 유전상수는 4.33, ANO막의 유전상수는 5.21이었다.

또한, ONO막과 ANO막을 산화막 환산 두께로 계산한 결과 ONO막의 두께는 7.2 nm, ANO막은 6.4 nm이었다. ONO막보다는 ANO 박막의 정전용량이 약 12% 정도 증가함을 알 수 있었다. 측정에 사용된 면적은  $0.001 \text{ cm}^2$ 이었다.

$$C_{max} = \frac{\epsilon_r \epsilon_0 A}{T} \quad (1)$$

- 여기서  $\epsilon_r$ : 자유공간 유전율
- $\epsilon_s$ : 유전체의 유전상수
- A: 유전체 면적
- T: 유전체 두께

$\text{SiO}_2$ 보다 ONO막이 정전용량이 큰 이유는 질화작용으로 인한 질소침투로 유전율이 높아져 크게 된다는 것은 잘 알고 있는 사실이며 ONO막보다 ANO막이 정전용량이 큰 이유는  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 보다는 amorphous-Si이 유전율이 크기 때문인 것으로 사료된다.

ONO막 및 ANO막의 charge trapping 특성을 조사하기 위하여  $30^\circ\text{C}$ 에서 정전압 stress 방법을 사용하였다.

이때 사용된 캐패시터의 면적은  $0.04 \text{ mm}^2$ 이었다.  $10 \text{ mV/cm}^2$  정전압 stress를 20, 40, 60, 80, 100초 동안 가한 후 고주파 C-V 특성 변화를 그림 3에 나타내었다.

그림 3에서 ONO막은 시간에 따라 stress를 가한 후에 flat band 전압 변화( $\Delta V_{fb}$ )가 거의 없었고 C-V 곡선의 기울기 변화가 없어 계면상태가 매우 좋다는 것을 알 수 있었다. 또한 ANO막도 정전압 stress에 대한  $\Delta V_{fb}$ 와 계면상태의 변화가 없는 고신뢰성 막을 얻을 수 있었다.

### 3.1.2. 전류-전압 특성

Semiconductor parameter analyser(HP 4145B)를 사용하여 각 캐패시터에 ramped 전압에 따른 전류의 변화를 측정함으로써 ONO, ANO막의 전기전도 특성을 조사하였다. 그림 4는 ONO, ANO막의 전류-전압

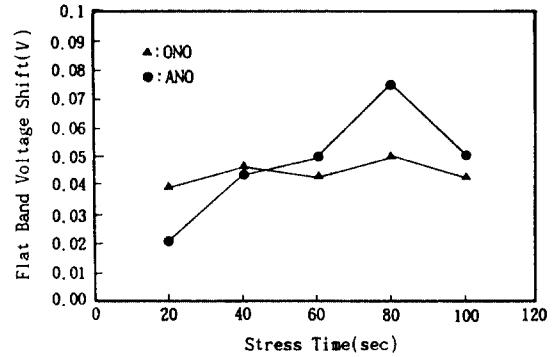


그림 3. ONO막과 ANO막의 시간에 따른 flat band 전압 변화.

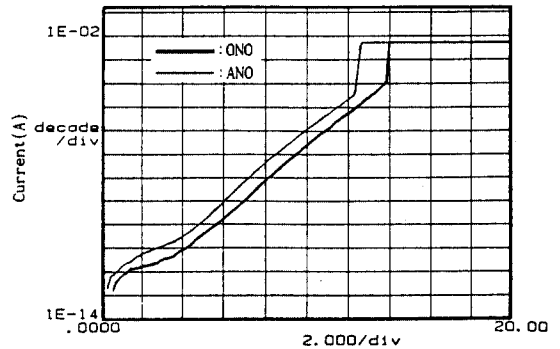


그림 4. ONO막과 ANO막의 전류-전압 특성.

특성을 나타낸 그림이다. 낮은 인가 전압에서는 전류가 거의 일정하게 흐르는 영역이 나타나는데 이것은 캐패시터의 변위전류(displacement current)로서 전압상승율(voltage ramp rate : V/sec)과 용량(capacitance)의 곱으로 표시되는 값이다.

하부전극 표면이 측정조건이 되는 극성인가전계  $3 \text{ mV/cm}$ 에서 leak 전류특성을 비교해 보면 ONO 구조의 캐패시터 경우가  $1 \times 10^{-11} \text{ A/cm}^2$ , ANO 구조의 캐패시터에서는  $0.7 \times 10^{-11} \text{ A/cm}^2$  정도를 보이고 있다. 두 막에 대한 누설전류 특성을 비교해 보면 두 캐패시터 박막에서 차이가 거의 없었다.

극성인가전계  $3 \text{ mV/cm}$ 에서 ONO막과 ANO막의 누설전류 특성을 비교하였을 때 ONO막이 ANO막보다 더 낮은 누설전류 특성을 갖고 있다.

이러한 ONO 구조가 낮은 누설전류 특성을 갖는 것은 ANO 구조에서 비정질 실리콘(amorphous-Si)과 질화막 계면보다 산화막 위에 성장한 질화막과의 계면이 균일하기 때문에 발생하는 국부적 전장증가 현

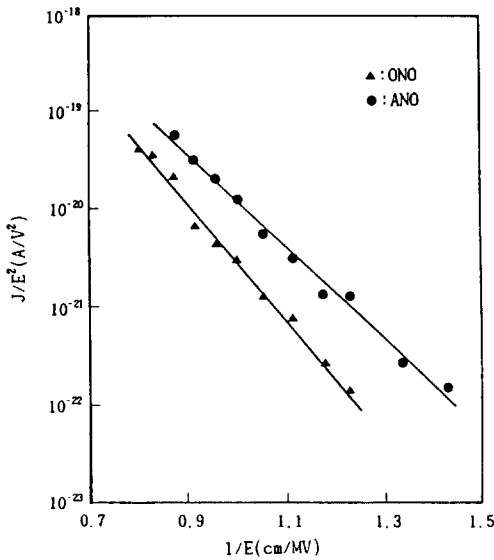


그림 5. ONO막과 ANO막의 fowler-nordheim 특성 곡선.

상이 감소하기 때문인 것으로 사료된다.

고전압에서는 인가된 전압에 따라 전류가 증가되는 누설전류영역이 나타나는데 이 영역의 누설전류를 Fowler-Nordheim tunneling 전류라고도 한다. ONO 막과 ANO막의 전도 특성을 살펴보기 위하여 Fowler-Nordheim 전도에 관한 식 (2)을 이용하여 F-N 특성을 그림 5에 나타내었다.

$$J = \frac{q^3 E^2}{8\pi h \Phi_B} \exp\left[ \frac{-4(2m^*)^{1/2}(q\Phi_B)^{3/2}}{3qhE} \right] \quad (2)$$

- 여기서  $h$ : plank 상수,  $h = h/2\pi$
- $E$ : 인가한 전장
- $q$ : 전자의 전하량
- $\Phi_B$ : 전도 장벽의 높이
- $m^*$ : 터널링 유효 질량

따라서,  $J/E^2$ 와  $1/E$ 에 대한 그래프를 그렸을 때 선형관계가 나타나게 되면 Fowler-Nordheim tunneling 기구를 따른다는 것을 확인할 수 있다. 그림 5에 ONO, ANO막의 누설 전류에 대한 Fowler-Nordheim tunneling 기구의 특성을 나타내었다. 위 식에서도 알수 있듯이 Fowler-Nordheim 특성 곡선에서의 기울기가 급할수록 전도장벽이 크다는 것을 의미한다[15, 16].

### 3.1.3. 경시절연파괴(TDDB) 특성

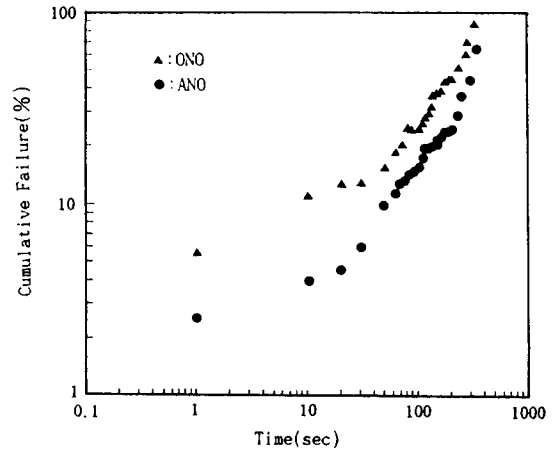


그림 6. ONO막과 ANO막의 TDDB 특성.

경시절연파괴(TDDB)는 전압 또는 전류를 stress를 인가한 순간에는 파괴되지 않지만 stress 인가 후 어느 시간 경과하고 나서 절연파괴되는 현상이다[17]. TDDB는 시간에 따라 게이트와 기판 사이의 전압이 증가하는 것은 기판으로부터 주입된 전자가 유전체 내에 포획되어 부전하가 유전체내에 존재하기 때문일 것이다.

이런 부전하에 의하여 유전체내에 국부적으로 전계가 증가하게 되어 다른 전자의 포획을 유도하게 되므로 결국 이런 현상들이 반복되는 정(+) 캐환 메카니즘에 의하여 유전체는 국부적인 항복 특성을 나타내게 될 것이다.

본 실험에서는 단위 면적당 40 mA/cm<sup>2</sup>의 전류밀도를 갖는 전류를 인가하여 절연막이 파괴될 때까지 걸리는 시간을 parameter analyzer(HP4145B)를 사용하여 측정하였다. 그림 6은 절연막이 파괴될 때까지 걸리는 시간에 따른 측정된 파괴율(cumulative failure %)을 보여준 것이다. 시간에 따라 게이트 전압이 증가하다가 급격히 떨어지는 시간, 즉 유전체가 항복이 일어나는 시간으로  $t_{BD}$ 를 정의하면 항복이 일어날 때까지의 총전하  $Q_{BD}$ 는 다음 식으로부터 구할 수 있다.

$$Q_{BD} = \int_0^{t_{BD}} J dt = J \cdot t_{BD} (C/cm^2) \quad (3)$$

전기적 stress에 의해 파괴될 때까지 걸리는 시간은 ANO막이 ONO막보다 초기파괴도 현저하게 감소되었고 30% 누적불량에 도달하는 시간이 ANO막의 경우가 더 길었다. 또한, 유전파괴에 도달하는 전하량

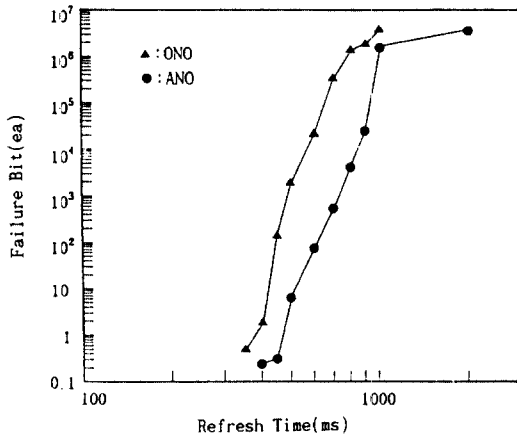


그림 7. ONO막과 ANO막의 refresh time에 따른 failure bit.

( $Q_{BD}$ )는 식 (3)로부터 계산하면 ANO 박막이 큰 값을 갖는 것을 알 수 있다. 이 결과 ANO 박막이 항복특성과 신뢰도가 좋은 것을 알 수 있다.

### 3.1.4. Refresh Time

DRAM(dynamic random access memory)의 soft error를 감소시키기 위해 재료[18], device[3-10, 19] 및 회로기술 측면[18, 20]에서 여러가지 연구 및 개선이 진행되고 있다.

소자 기술측면에서 soft error를 감소시키기 위한 직접적인 방법은 축적용량 형성용 절연막의 두께를 얇게 해서 축적용량을 크게하고 신호전하량을 증가시키는 것이다. ONO막과 ANO막의 축적용량의 증가를 조사하기 위해 캐패시터를 측정하였는데 ANO막이 약 12% 정도 증가하였다.

또한, DRAM에서는 memory cell의 축적용량에 축적된 정보전하는 leak 전류에 의해 시간이 지나면서 감소하므로 이를 위해 refresh라고 불리는 정보재생 동작이 필요하게 된다[18, 20, 21]. ONO막과 ANO막을 4M DRAM에 적용하여 refresh time을 측정하였다. Refresh time을 측정하기 위하여 측정장비인 MS 3400으로 memory cell의 축적용량이 "1"에 대응하는 "high" level의 신호전압(80°C,  $V_{cr}=6V$ )을 인가하고 나서 시간이 증가함에 따라 "0"으로 되는 bit수를 check하여 그림 7에 나타내었다.

ANO 구조가 ONO 구조보다 4M DRAM data 1 static refresh time이 약 100 ms 향상되었음을 알 수 있었다. 또한,  $V_{cr}=4V$ 에서 온도변화에 따른 refresh

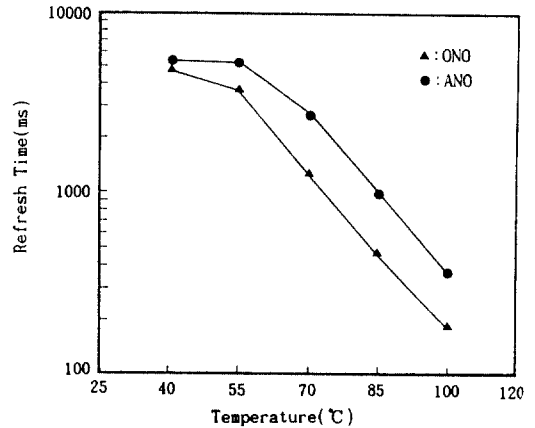


그림 8. ONO막과 ANO막의 온도에 따른 refresh time.

time을 측정하여 평균한 값을 그림 8에 나타내었다. ONO, ANO 구조 모두가 온도가 증가 할수록 refresh time은 감소하였다. 55°C에서 ANO 박막과 ONO 박막의 refresh time의 차이는 150 ms, 70°C에서 130 ms, 85°C에서 500 ms, 100°C에서는 200 ms로 나타났으며 85°C에서 가장 큰 차이가 있음을 알 수 있었다.

위의 결과로부터 ANO막은 refresh time이 향상되었기 때문에 memory cell에 refresh 간격을 길게할 수 있어 cycle수를 증가시킬수록 sense amp수를 적게할 수 있기 때문에 소비전력을 감소시킬 수 있을 것이다.

## 4. 결 론

ONO, ANO 구조로 제작한 두 캐패시터의 전기적 특성을 평가한 결과 다음과 같은 결론을 얻을 수 있었다.

1. 축적용량은 ANO 구조가 ONO 구조보다 약 12% 이상 증가되었고 유전체막 두께는 산화막(유전상수 3.9)으로 환산한 경우 ONO 구조는 7.2 nm, ANO 구조는 6.4 nm가 되었다.
2. 하부전극 표면이 축적조건이 되는 극성 인가전압(3 mV/cm)에서 leak 전류 특성을 비교해서도 두 캐패시터막에서 차이가 없었다.
3. TDDB 특성에서는 ANO 구조의 박막이 절연파괴 전하( $Q_{BD}$ )가 크게 나타났다.
4. Refresh time과 failure bit를 비교해 보면 ANO 구조가 ONO 구조보다 약 100 ms 향상되었다.

이와 같은 결과로부터 ANO 구조의 캐패시터 유전체막은 종래의 ONO 구조보다 고유전체막 성질을 가졌고 전기적 특성 및 제품 특성을 개선하기 위한 막질이라고 말할 수 있다.

### 감사의 글

본 연구는 1993년도 한국전력공사의 기초연구 지원비로 수행되었으며 이에 감사드립니다.

### 참고문헌

1. W. A. Tiller, *J. Electrochem. Soc.* **127**(3), 619 (1980).
2. C. Hu, *IEDM Tech. Dig.* p. 368, 1885.
3. F. T. Liou and S. O. Chen, *IEEE Trans. Electron Devices* **ED-31**, 1736 (1984).
4. M. Koyanagi, Y. Sakai, M. Isihara, M. Tazunoki and N. Hashimoto, *IEEE Trans. Electron Devices* **ED-27**, 1596 (1980).
5. S. Kimura *et al.*, *IEDM Tech. Dig.* p. 596, 1988.
6. T. Ema *et al.*, *IEDM Tech. Dig.* p. 592, 1988.
7. T. Kaga *et al.*, *IEEE Trans. Electron Devices* **38**(2), 255 (1991).
8. J. J. Barnes, S. N. Shabde and F. B. Jenne, *IEDM Tech. Dig.* p. 272, 1977.
9. K. Tsukamoto *et al.*, *IEDM Tech. Dig.* p. 328, 1987.
10. M. Wada, *IEDM Tech. Dig.* p. 244., 1984.
11. T. Hori and H. Iwashiki, *IEDM Tech. Dig.* p. 570, 1987.
12. H. H. Tsai, L. C. Wu and C. Y. Wu, *IEEE Electron Device Lett.* **EDL-8**(4), 143 (1987).
13. C. M. Osburn, *J. Electrochem. Soc.* **121**, 809 (1974).
14. C. Hashimoto, S. Muramoto, N. Shiono and O. Nakajima, *J. Electrochem. Soc.* **127**, 129 (1980).
15. M. Lenzlinger and E. H. Snow, *J. Appl. Phys.* **40**(1), 278 (1969).
16. X. R. Cheng, B. Y. Liu and Y. C. Cheng, *Applied Surface Science* **30**, 237 (1988).
17. S. P. Li and J. Meserjian, *Solid-State Electron Devices* **37**(7), 1643 (1990).
18. K. Itoh, R. Hori, H. Masuda, Y. Kamigaki, Y. Kawamoto and H. Katto, *IEEE ISSCC Digest of Technical Paper*, 228 (1980).
19. M. R. wordeman, R. H. Dennard and G. A. Saihalsz, *IEDM Tech. Digest* **40** (1982).
20. R. C. Foss, *IEEE J. Solid-State Circuits* **SC-10**, 255 (1975).
21. M. Taniguchi, Y. Yoshihara, M. Yamada, K. Shimotori, T. Nakano and Y. Gamou, *IEEE J. Solid-State Circuits* **SC : 16**, 492 (1981).