

DSP를 이용한 Sub-MRA PWM 기법의 실현

(The Implementation of Sub-MRA PWM Technique Using DSP)

李成栢* ·李宗圭**·元榮鎮***·韓完沃****·朴眞弘****

(Sung-Back Lee · Jong · Kue Lee · Young-Jin Won · Wan-Ok Han · Jin-Hong Park)

요 약

본 논문에서는 MRA PWM 기법을 응용한 Sub-MRA PWM 기법을 디지털 신호 처리용 프로세서를 이용하여 구현하였다.

Sub-MRA PWM 기법을 디지털 신호처리 함으로써 아날로그의 불안정한 요소를 감소시킬 수 있었다. 이를 검증하기 위하여 시뮬레이션을 통하여 고조파를 분석하였다.

디지털 제어의 단점인 시간 지연은 고속 연산을 이용하여 극소화 할 수 있었다. 그러므로, 유도 전동기를 실시간으로 제어할 수 있었다.

Abstract

In this paper, it is implemented that Sub-MRA PWM technique which is applied to MRA PWM technique using the Digital Signal Processor.

Unstable element of analog is reduced for Sub-MRA PWM technique by digital signal pressing. And harmonic is analyzed by simulation to verify that.

It is afford the process induction motor control with real time by minimizing the delay time of digital system.

Time delay which is a defect of digital control can be minimized using fast calculation. Therefore, real time control is implemented in the induction motor

1. 서 론

사회가 산업화 되면서부터 현재까지 사용되고 있는 에너지원 중에서 가장 이상적인 에너지로 전기 에너지를 들 수 있다. 이러한 전기 에너지

인 전력은 제어 대상에 따라 최적의 상태로 변화하여야 한다.

전력변환 방식중의 한 종류로는 직류전압을 교류전압으로 변환하는 전압형 인버터를 들 수 있는데, 전압형 인버터를 이용하는 변조방식 중에는 가장 널리 사용되는 PWM(Pulse Width Modulation) 기법이 있다.¹⁾ 이러한 PWM 기법은 종단의 회로 구성이 간단하여 소형화, 저가격화 하기에 유리하고, 패턴 제어방법에 따라 저차 고조파 제거가 가능하기 때문에 유도전동기의 속도제어와 VVVF(Variable Voltage Variable Frequency) 시스템

* 正會員 : 光云大 電子工學科 教授 · 工博

** 正會員 : 大宥專門大學 電子計算學科 助教授 · 工博

*** 正會員 : 富川專門大學 電子科 助教授

**** 正會員 : 光云大 大學院 電子工學科 博士課程

接受日字 : 1993年 12月 17日

템에 주로 사용한다. 2)3)

이러한 펄스 폭 변조 방식 가운데 하나인 델타 변조 기법은 회로가 단순하고, 전압 대 주파수 비가 일정한 선형 구간을 갖는다. 4) 그러나 기본 파와 히스테리시스 특성에 따라 증감하는 반송파가 동기 되지 않을 경우 패턴의 스위칭 주파수가 변화하여 인버터 스위칭 조건이 광범위하게 변한다는 단점을 안고 있다. 그러므로 이를 보완하기 위하여 제시된 기법이 MRA(Model Reference Adaptive)PWM기법이다. 5)

본 논문에서는 중단에 인가되는 PWM패턴에 함유된 기준파를 분석하여 전압 이용율을 증대시킬 수 있는 일정비의 3차 고조파를 기준파에 합성하는 Sub-MRA PWM방식을 제시하고, 이를 디지털 신호처리용 프로세서를 이용하여 제어기를 구성하였다.

2. Sub-MRA PWM 기법

MRA PWM방식에서 V/f특성을 보면, 일정 V/f영역과 일정 전압영역을 구분하는 주파수인 차단(Break)주파수가 낮을수록 V/f비가 커짐으로서 전압이용율이 높아진다. 그러나 유도전동기에 인가되는 주파수가 차단주파수를 벗어나 일정전압 영역에 도달할때 전동기에는 구형파에 함유된 저차 고조파에 의하여 전력손실과 회전자의 코깅(cogging)현상이 발생하며 이를 방지하기 위하여 조건에 따른 파라미터를 얻어내야 한다.

3차 고조파가 합성된 파를 기준파 V_R 이라 하고 반송파 ΔV_m 을 합성한 파를 $(V_R + \Delta V_m)$ 이라할 때, $(V_R + \Delta V_m)$ 와 제환전압 V_i 를 비교하면 V_i 를 얻을 수 있는데, 이렇게 얻어지는 Sub-MRA PWM 패턴 V_i 를 적분하면 제환전압 V_i 를 얻을 수 있다.

$$V_i[n] = \frac{T}{2RC} V_i[n] + \frac{T}{2RC} V_i[n-1] + V_i[n-1] \quad (1)$$

스위칭 패턴 V_i 에 대한 제환 전압의 기본과 성분 V_{Fi} 는 다음과 같다.

$$V_{Fi} = \frac{T}{2RC} V_n \quad (2)$$

그런데 제환전압 V_i 와 합성된 신호 $(V_R + \Delta V_m)$ 사이의 다중교점현상화 불안정한 상태를 피하기 위한 조건은 식(3)과 같다.

$$\text{slope}(V_i) < \text{slope}(V_R + \Delta V_m) \quad (3)$$

PWM패턴 V_i 에서 얻어지는 제환신호의 기울기는 다음과 같다.

$$\text{slope}(V_i) = \pm \frac{1}{RC} V_i \quad (4)$$

3차고조파가 합성된 입력 기준신호 V_R 을 미분하면 다음과 같다.

$$\text{slope}(V_R) = 1.155 \cdot 2\pi \cdot f_{Rb} \cdot V_{Rb} \cdot (\cos\omega t - 0.167 \cos 3\omega t) \quad (5)$$

식(5)에서 기울기는 각각 30° , 150° , 210° , 330° 에서 최대가 되므로 다음과 같이 표현된다.

$$\max \text{slope}(V_R) = 2\pi \cdot f_{Rb} \cdot V_{Rb} \quad (6)$$

$(V_R + \Delta V_m)$ 의 최소 기울기는 다음과 같다.

$$\min \text{slope}(V_R + \Delta V_m) = \text{slope}(\Delta V_m) - \max \text{slope}(V_R) = 4f_m \Delta V_m - 2\pi \cdot f_{Rb} \cdot V_{Rb} \quad (7)$$

위의 식(6)과 식(7)을 식(3)에 대입하면 다음과 같은 정의를 얻을 수 있다.

$$\Delta V_m f_m > 0.25 \left[\frac{1}{RC} \right] V_{Rb} \cdot 2\pi \cdot f_{Rb} \cdot V_{Rb} \quad (8)$$

식(8)에 의하여 ΔV_m 을 얻을 수 있다.

3. 시뮬레이션

Sub-MRA PWM에 대한 각각의 전압 이용율, 고조파 분석을 시뮬레이션하였다. 이때 사용한 알고리즘은 그림 1과 같다.

표 1에서는 시뮬레이션을 위한 파라미터 값을 보인다.

변조도(M)=1에서, 시상수 RC의 크기는 식(2)에 의하여 얻어진다.

표 1. 시뮬레이션을 위한 조건

Table 1. Condition for simulation

차단주파수 (f_{Rb})	90[Hz]
비교기의 최대 출력 전압(V_i)	1[kV]
기준파 전압(V_{Rb})	1[kV]
반송파 주파수(f_m)	1[kHz]
입력되는 기준파의 샘플링 주파수 (f_s)	24[kHz]

$$RC = \frac{1}{2\pi} f_{rb} \left[\frac{V_n}{V_{Rb}} \right] = 1.8mS \quad (9)$$

또한, 반송파의 크기 ΔV_m 은 식(8)에서 제시된 조건에 의하여 구한다.

$$\Delta V_m f_m > 0.25 \left(\frac{1}{RC} V_m + 2\pi f_{rb} V_{Rb} \right) \quad (10)$$

$$\Delta V_m > 250V$$

반송파의 크기 ΔV_m 은 250보다 커야하므로 시뮬레이션에서는 264로 정하여 시뮬레이션 하였다.

MRA PWM과 Sub-MRA PWM의 결과 출력인 3레벨의 PWM 패턴은 FFT 알고리즘을 프로그

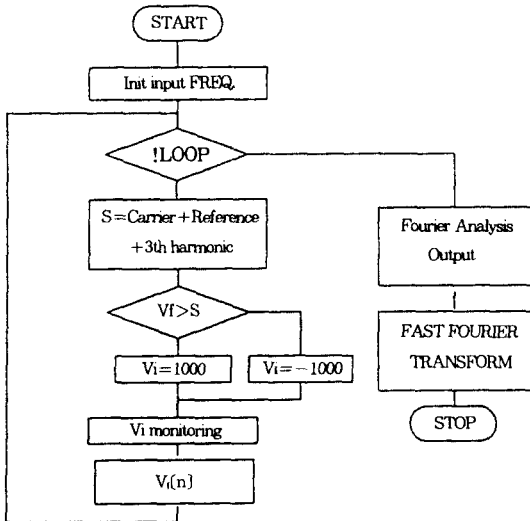


그림 1. 시뮬레이션 순서도
Fig. 1. Flow chart of simulation

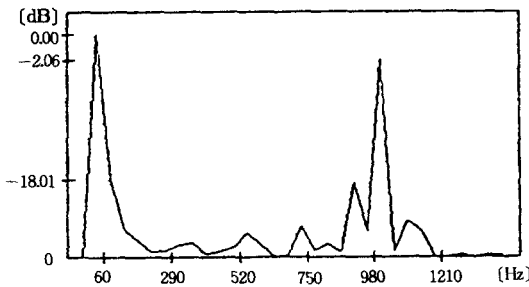


그림 2. MRA PWM기법의 3레벨 선간전압에 대한 고조파 분석 (기준파 주파수 $f_r=60Hz$)
Fig. 2. Harmonic analysis for 3-level line to line voltage of MRA PWM (at reference frequency $f_r=60Hz$)

래밍하여 고조파를 비교분석한 결과를 그림 2와 그림 3에 각각 제시하였다.

그림 2와 그림 3은 기본파 주파수 60(Hz)에서 MRA PWM과 Sub-MRA PWM방식을 이용하여 얻은 선간전압을 시뮬레이션하고, 그 결과를 FFT 알고리즘에 대입하여 얻은 주파수 스펙트럼을 보인 것으로 MRA PWM방식에서 보다 Sub-MRA PWM방식에서의 고조파 함유율이 6(dB)이상 감소함을 알 수 있다.

4. 시스템 구성

인버터의 전체적인 구성은 그림 4에서 제시된 바와 같이 두개의 마이크로 프로세서를 이용하여 Sub-MRA PWM알고리즘을 실현하는 제어기와 종단에 인가되는데 전력과 제어기에서 출력되

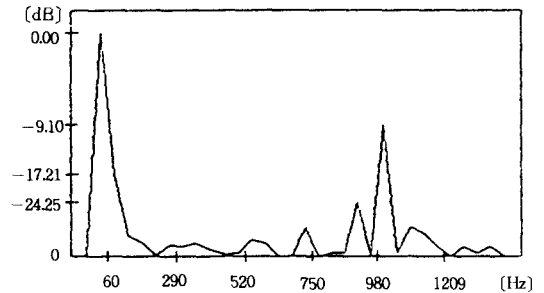


그림 3. Sub-MRA PWM기법의 3레벨 선간전압에 대한 고조파 분석 (기준파 주파수 $f_r=60Hz$)
Fig. 3. Harmonic analysis for 3-level line to line voltage of Sub-MRA PWM (at reference frequency $f_r=60Hz$)

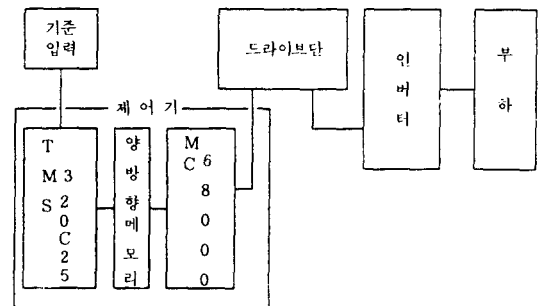


그림 4. 전체 시스템 구성
Fig. 4. Block diagram of whole system

는 PWM패턴신호를 분리하기 위한 드라이브단, 그리고 종단회로인*인버터단과 제어대상인 유도 전동기로 구성하였다.

4. 1 제어기의 동작특성

그림 5는 제어기를 구성한 것으로 TMS320C25는 24[kHz]로 샘플링된 기준 신호파를 이용하여 주파수 입력에 상응하는 Sub-MRA PWM기법이 알고리즘에 따라 연산한다. 연산되는 과정중에 발생하는 PWM 패턴 데이터는 TMS320C25의 자체 메모리에 저장하고, 한주기에 대한 연산이 종료되면 데이터 블록을 두개의 프로세서의 공유 메모리로 할당된 양 방향 메모리(CY7C136)로 전송하고, 전송 완료시 양 방향메모리의 인터럽트 단자에서 전송이 완료 되었음을 MC68000에 알리는 신호를 보낸다. 그리고 MC68000에서는 DSP와는 별도로 모니터링등의 작업을 수행한다.

본 논문에서 구현한 Sub-MRA PWM제어기는 아날로그만으로 이루어지던 기존의 제어기법을 신호처리용 전용프로세서를 도입하여 설계함으로써 디지털화가 가능하였고, 내부 32비트 처리가 가능한 MC68000을 함께 사용하여 독립된 알고리즘을 수행할 수 있도록 함으로써 아날로그 방식에서의 실시간 처리에 가까운 성능을 갖도록 할 수 있었다.

5. 실험 및 고찰

MC68000에서 출력되는 데이터의 게이팅 신호는 MC6821(PIA)를 통하여 출력하였고, 종단회로의 보호를 위하여 출력되는 신호를 데드타임 보상하였다. 또한 부하를 1/2마력의 유도 전동기

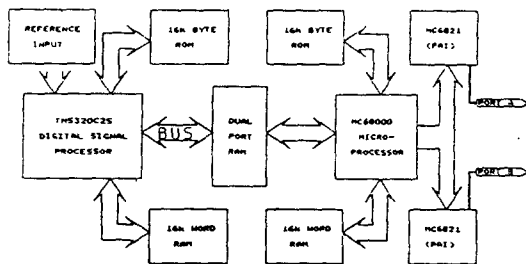


그림 5. 제어기 구성
Fig. 5. Block diagram of controller

로 사용하였을 경우에 얻어지는 전압과 전류를 관측하였다.

사진 1은 기본과 주파수가 60[Hz]이고, 3레벨 R-S선간 전압과 S-T선간전압을 나타낸다.

사진 2는 기본과 주파수가 88[Hz]에서 3레벨 R-S선간 전압과 S-T선간전압을 나타낸다.

유도 전동기를 부하시, 각각의 주파수와 전압에 의하여 얻어지는 선간전압에 대한 전류 파형은 2[A]의 최대값을 갖는다. 이러한 전류 파형에서의 저차 고조파가 거의 존재하지 않음을 확인할 수 있다.

사진 3은 기본과 주파수가 63[Hz]에서의 선간 전압파형과 이때 흐르는 전류 파형을 나타낸다.

사진 4는 기본과 주파수가 88[Hz]에서의 선간 전압 파형과 이때의 전류파형을 보인 것으로 전압

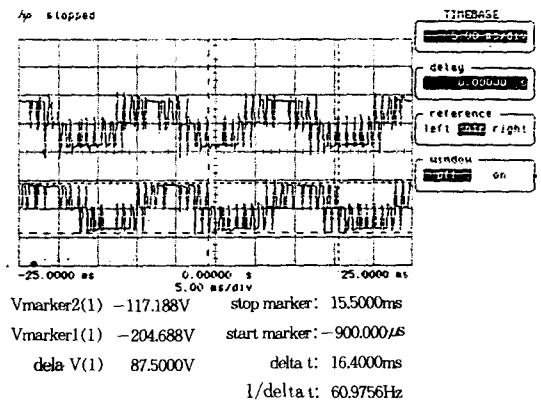


사진 1. R-S상과 S-T상의 선간전압 ($f_r=60\text{Hz}$, $M=1$)
Photo. 1. line to line voltage waveform at R-S phase and S-T phase ($f_r=60\text{Hz}$, $M=1$)

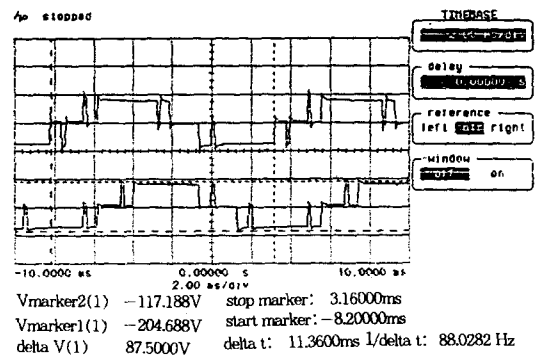


사진 2. R-S상과 S-T상의 선간전압 ($f_r=88\text{Hz}$, $M=1$)
Photo 2. line to line voltage waveform at R-s phase and S-Tphase ($f_r=88\text{Hz}$, $M=1$)

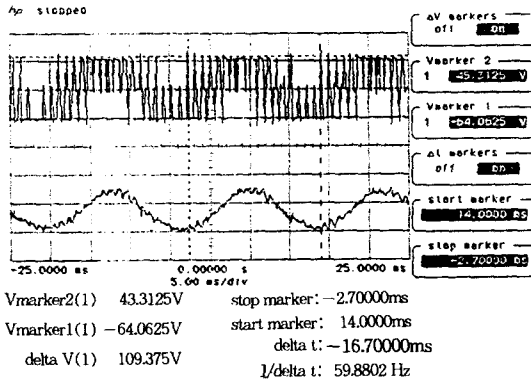


사진 3. 선간전압과 전류파형 ($f_R=59.88\text{Hz}$, $M=1$)
 Photo. 3. line to line voltage and current waveform ($f_R=59.88\text{Hz}$, $M=1$)

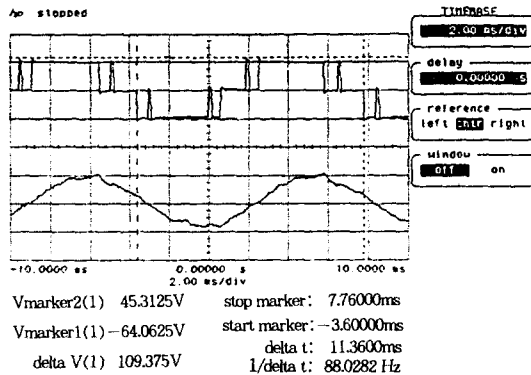


사진 4. 선전압과 전류파형 ($f_R=88\text{Hz}$, $M=1$)
 Photo. 4. line voltage and current waveform ($f_R=88\text{Hz}$, $M=1$)

이용율이 거의 100[%]에 해당하는 만큼 전류 파형에는 저차 고조파가 증가한다.

본 실험은 30[Hz]에서 90[Hz]까지의 일정 V/f 구간을 정하여 실험한 결과 차단 주파수인 90 [Hz]에 가까와 질 수록 구형파에 접근하므로 전압이용율이 증가됨을 확인할 수 있으나 반면에 저차 고조파의 함유율이 증가함을 확인할 수 있고, 상용전원 주파수인 60[Hz]부근에서 저차 고조파의 함유율이 감소함을 알 수 있다.

6. 결 론

본 논문은 1/18크기의 3차 고조파를 정현파에 주입하고, 이를 기준입력으로 사용하는 Sub-MRA PWM기법을 사용하였다.

MRA PWM기법과 Sub-MRA PWM기법을 비교하기 위하여 기준과 주파수 60[Hz]에서 출력되는 3레벨 PWM패턴은 FFT를 이용하여 각각의 반송파 주파수인 1[kHz] 부근까지의 고조파 성분을 시뮬레이션 분석하였다.

그 결과 Sub-MRA PWM기법은 3레벨 PWM 패턴에는 MRA PWM기법에서 보다 고조파 성분이 감소됨을 확인하였고, 3차 고조파성분이 제거됨을 확인할 수 있었다.

제어기 시스템의 구성은 기존에 제시된 아날로그 방식을 탈피하여 신호처리용 프로세서를 이용하여 Sub-MRA PWM기법을 디지털로 구현하고, 이를 가변 제어할 수 있도록 하였다. 또한 신호처리용 프로세서의 연산 시간을 보완하기 위하여 범용 프로세서를 병행함으로써 각각의 독립된 처리를 하도록 하였다.

참 고 문 헌

- 1) Bedford and Hoft, "Principles of Inverter Circuits", Wiley, New York, 1964
- 2) R.J. Chance, J.A. Taufiq, "TMS32010 Based Near Optimaized Pulse Width Modulated Waveform Generator", IEEE, pp. 903-908, 1988.
- 3) S. Fukuda, Y. Iwaji, "A Single-Chip microprocessor-base pwm techniques for sinusoidal inverters" IEEEL IAS conf. Record, Vol. 1, pp. 921-926, 1988.
- 4) Phoivos D. Ziogas, "The Delta Modulation Technique in Static PWM inverters", IEEE Trans. Ind. Appl, Vol. IA-17, No. 2, pp. 199-204, 1981.
- 5) G. Joos, P. D. Ziogas, "A Model Reference Adaprive PWM Technique", IEEE IAS, pp. 695-703, June, 1989.