

논문 94-3-1-08

멀티센서신호 인터페이스용 Custom IC를 위한 CMOS 회로 설계

曹泳*, 崔 坪**, 孫炳基**

CMOS Circuits for Multi-Sensor Interface Custom IC

Young Chang Jo, Pyung Choi, Byung Ki Sohn

요 약

본 논문에서는 멀티센서 신호처리용 집적회로를 구성하였다. 제안된 회로는 멀티센서 신호 선택을 위한 아날로그 멀티플렉서, 노이즈 제거와 신호증폭을 위한 능동 필터, 디지털 신호처리부와 인터페이스를 위한 샘플-홀드 회로 등으로 구성하였다. 이러한 기능회로들을 CMOS 트랜지스터로 설계하여 집적화를 가능케 하였으며, 이로 인해 멀티센서 신호처리 시스템의 저소비전력화, 소형화를 구현케하였다.

Abstract

In this paper, the multi-sensor signal processing IC is designed. It consists of an analog multiplexer for selection of multi-sensor signals, active filters for noise rejection and signal amplification, and a sample and hold circuit for interface with digital signal processing. By implementing these circuits with CMOS transistors, integration, low power dissipation and miniaturization of the total signal processing system have been made possible.

I. 서 론

현대의 고도화된 전자 산업에 있어서 센서는 매우 중요한 소자이며 이의 응용은 산업 및 가정생활에 많이 적용되고 있다. 그러나 센서로 감지한 임의의 물리량을 측정자가 쉽게 알아볼 수 있는 숫자로 나타내기까지는 적절한 신호처리 과정을 거쳐야만 한다.^[1] 지금까지는 센서신호처리 회로를 이산적인 소자로써 구성하였으며, 더욱이 하나의 센서신호만을 처리할 수 있는 회로가 대부분이었다. 따라서 전체 측정계의 부피가 상당히 커질 수 밖에 없었으며 소형화에 큰 장애요인이 되어왔다. 따라서 본 논문에서는 멀티센서의 아날로그 센서신호와 디지털 신호처리부와 적절한 인터페이스를 위한 custom IC를 설계하여 여러

개의 물리량을 동시에 측정할 수 있도록 하였다. 실제 설계시에는 4개의 센서신호를 동시에 처리할 수 있는 저소비전력형 회로를 구성하였다.

II. 본 론

1. 멀티센서 신호처리용 집적회로의 구조 및 기능

멀티센서 인터페이스용 custom IC는 그림 1에서 보는 바와 같이 센서신호에 포함되어 있는 노이즈 제거 기능, 미약한 센서신호의 증폭 기능, 멀티센서 신호처리를 위한 채널선택 기능, 디지털 신호처리부와 인터페이스를 위한 샘플-홀드 기능 등이 요구된다. 각각의 센서마다 출력신호의 특성이 다르고 유효주파수 범위가 일치하지 않으므로 각각의 노이즈 제거용 저역통과필터와 신호증폭용 앰프가 요구되며 센서신호들은 서로다른 신호처리 과정을 거치게 된다. 이렇게 멀티플렉서에 전달된 신호들은 CPU로 부터오는 채널선택 신호에 의해 하나씩 선택되어 샘플-홀드 회로를 통해 아날로그-디지털 변환기(A/D converter)로 전달된다.

* 慶北大學校 電子工學科
(Dept. of Electronics, Kyungpook Nat'l Univ.)

** 正會員 : 慶北大學校 電子工學科
(Dept. of Electronics, Kyungpook Nat'l Univ.)
<접수일자 : 1994년 1월 10일>

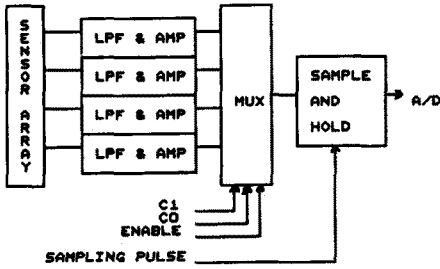


그림 1. 전체회로의 블럭 다이어그램
Fig. 1. The block diagram of full circuit.

2. 4 to 1 아날로그 멀티플렉서

아날로그 멀티플렉서는 여러개의 센서 출력신호 중에서 하나의 신호를 선택하는 회로이다. 이와같은 기능을 가진 회로는 크게 아날로그 CMOS 스위치와 스위치 선택을 위한 decoder부로 구성되어 있다. CMOS 스위치는 양의 신호전달 특성이 우수한 PMOS와 음의 신호전달 특성이 양호한 NMOS 트랜지스터의 조합으로 그림 2와 같이 구성하였다.

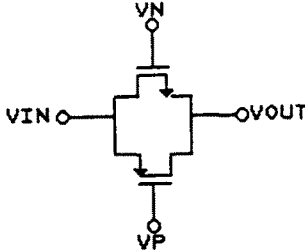


그림 2. CMOS 아날로그 스위치
Fig. 2. CMOS analog switch.

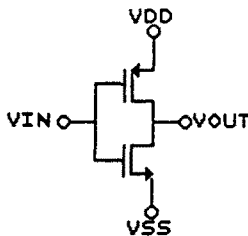


그림 3. CMOS 인버터
Fig. 3. CMOS inverter.

Decoder부는 CMOS 인버터와 3-입력 NAND 게이트의 조합으로 채널선택 및 스위치 ON/OFF 기능을 갖도록 설계하였다. 그림 3과 같은 구조의 CMOS 인버터는 PMOS와 NMOS의 aspect ratio 비를 조절함

으로써 trip point를 조정할 수 있다.

그림 4은 aspect ratio 비가 0.1, 1, 10 일 경우 각각의 trip point의 변화를 보여 주고 있다. 이를 이용하여 5[V]의 로직 1 상태와 0[V]의 로직 0 상태를 갖는 CPU의 컨트롤 신호로부터 각각 -7[V]와 7[V]의 아날로그 스위치 컨트롤 펄스를 발생시킬 수 있다.^[2]

3-입력 NAND 게이트는 4개의 채널중 1개를 선택하기 위한 2개의 컨트롤 신호 입력단자와 enable/disable 기능을 추가하기 위한 한 개의 입력단자를 가지고있다. 그리고 앞단의 CMOS 인버터의 aspect ratio를 조절하여 스위치 컨트롤 펄스의 크기를 가변할 수 있으나 사용면적을 고려하여 NAND 게이트의 aspect ratio를 부가적으로 조절하여 decoder의 사용면적을 최소화하였다.

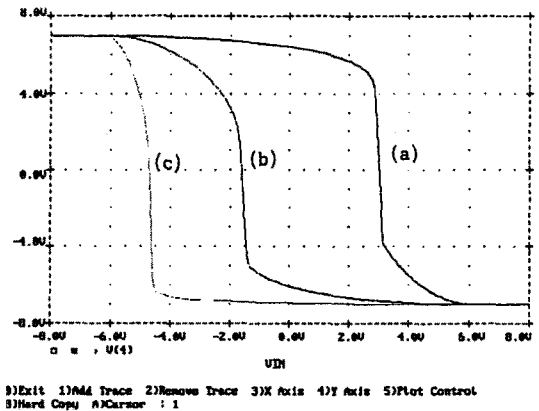


그림 4. CMOS 인버터의 $\frac{(W/L)_N}{(W/L)_P}$ 값에 대한 trip point의 변화
(a) 0.1 (b) 1 (c) 10
Fig. 4. The change-of- trip point for $\frac{(W/L)_N}{(W/L)_P}$ value in a CMOS inverter.
(a) 0.1 (b) 1 (c) 10

그림 5는 4 to 1 아날로그 멀티플렉서를 CMOS 트랜지스터로 설계한 것이다. 여기서 C1과 C0는 채널 선택단자이며 EN은 enable 단자이다. DN과 DP는 disable (EN = 0) 시 샘플-홀드 회로의 holding 콘덴서의 방전을 위한 단자이며 VIN1, VIN2, VIN3과 VIN4는 센서 신호 입력단자 이다. 그림 6는 4 to 1 아날로그 멀티플렉서를 PSPICE를 이용하여 검증한 결과이다. 그림에서 enable신호가 로직 1인 상태에서 C1,C0=00 이면 채널 1, C1,C0=01 이면 채널 2, C1,C0=10 이면 채널 3, C1,C0=11 이면 채널 4가 선택됨을 볼 수 있다.

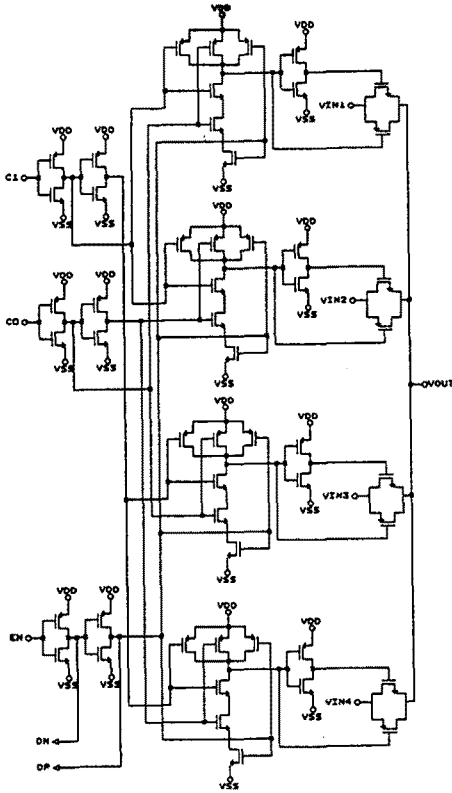


그림 5. MOSFET으로 구현된 4 to 1 아날로그 멀티플렉서
 Fig. 5. The 4 to 1 analog multiplexer implemented by MOSFETs.

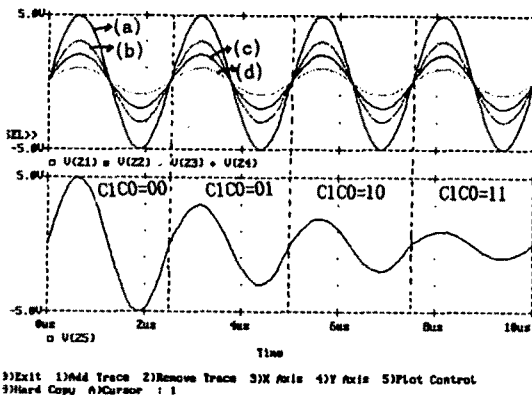


그림 6. 4 to 1 아날로그 멀티플렉서의 검증결과
 (a) 채널 1 (b) 채널 2
 (c) 채널 3 (d) 채널 4
 Fig. 6. The simulation result of 4 to 1 analog multiplexer.
 (a) channel 1 (b) channel 2
 (c) channel 3 (d) channel 4

3. 샘플-홀드 회로

샘플-홀드 회로는 아날로그 멀티플렉서로부터 출력된 센서신호를 디지털 신호처리와 인터페이스 및 안정된 디지털 신호처리를 위해 필요하다. 그 구조는 그림 7과 같이 CMOS 연산증폭기, 아날로그 스위치와 holding 콘덴서, CMOS 인버터로 구성되어 있다. CMOS 인버터는 멀티플렉서단에서와 같이 +5[V]의 로직 1 상태와 0[V]의 로직 0 상태를 가지는 샘플링 펄스로부터 각각 -7[V]와 7[V]의 아날로그 스위치 컷트를 펄스를 발생시킨다. 이 그림에서 S/W 1은 회로의 주 스위치로써 ON시에는 회로가 샘플 모드로 동작하고 OFF시에는 홀드 모드로 동작한다. S/W 2는 아날로그 멀티플렉서 단에서의 enable단자의 상태에 의해 ON 또는 OFF된다. S/W 2가 ON됨은 곧 회로가 reset됨을 의미하고 OFF됨은 회로가 정상동작을 함을 나타낸다.

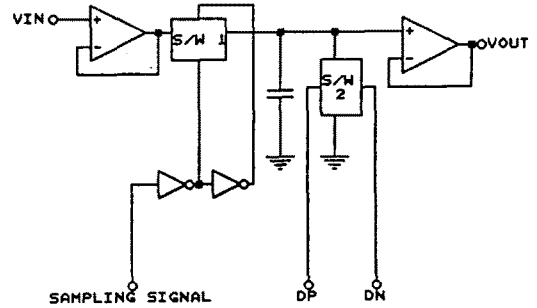


그림 7. 샘플-홀드 회로
 Fig. 7. Sample and hold circuit.

Holding 콘덴서(Ch)의 용량은 방전전류 즉, 누설전류, 샘플된 전압의 홀딩 시간과 허용 전압 강하량에 의해서 결정된다.^[3] 회로의 누설전류 I_l 이 20[pA], holding 시간이 1[ms]이고 10 bit 아날로그-디지털 변환기(A/D converter)를 쓰면서 5[V]의 입력 전압 범위를 가진다면 변환기가 인식할 수 있는 최소 전압은 $5V/2^{10} \approx 5[mV]$ 이며, 이는 holding 콘덴서에서 1[ms] 동안 5[mV] 까지의 전압강하는 허용할 수 있다는 것을 의미한다. 따라서 holding 콘덴서의 용량값은

$$C_h = \frac{t_h \times I_l}{\Delta V} = \frac{1ms \times 20pA}{5mV} = 4pF \text{ 으로 결정된다.}$$

그림 7에서 S/W 1를 구성하는 MOS 트랜지스터의 게이트 크기는 전하량 오차(charge offset)를 줄여주기 위해 가능한 한 작게하는 것이 좋으며^[4] S/W 2의 MOS 트랜지스터의 aspect ratio는 전체회로의 disable

시 holding 콘텐서의 신속한 방전을 위해 약간 크게 좋다. 샘플-홀드 회로에서 연산증폭기는 매우 중요한 부분이므로 신중히 이를 설계해야 한다. 일반적으로 연산증폭기의 성능을 평가하는 기준에는 개루프 전압이득(open loop gain), 입-출력저항, 최대 출력전압범위(maximum output swing), 이득-대역폭의 곱(gain bandwidth product), 전압변화률(slew-rate), 소비전력등이 있는데, 이 모든 사양을 만족하는 연산증폭기를 설계한다는 것은 매우 힘들다.^[5] 따라서 설계하고자 하는 회로의 요구조건에 맞는 적절한 연산증폭기를 설계하는 것이 바람직하다.^[6]

표 1. 연산증폭기의 aspect ratio

Table 1. The aspect ratio of OP-AMP

Transistor	L	W
M 1	5U	45U
M 2	5U	45U
M 3	5U	5U
M 4	5U	5U
M 5	5U	5U
M 6	5U	30U
M 7	5U	78U
M 8	5U	5U
M 9	5U	13U
M10	5U	5U
M11	85U	5U
M12	5U	5.5U
M13	5U	5.5U

표 2. CMOS 공정 parameter

Table 2. CMOS process parameter.

<p>NMOS (LEVEL=2 UO=619.4 VTO=792.3E-3 NFS=543.9E+9 TPG=1 TOX=41.6E-9 NSUB=3.632E+16 UCRIT=149. 6E+3 UEXP=199.4E-3 VMAX=44.88E+3 RSH=27.02 XJ=475.0E-9 LD=135.3E-9 DELTA=1.713 PB=759. 4E-3 JS=10.0E-6 NEFF=5.491 WD=400.0E-9 CJ=2 5.8E-6 MJ=191.8E-3 CJSW=117.3E-12 MJSW=990E -3 CGSO=1.999E-10 CGDO=1.999E-10 CGBO=4.980 E-10 FC=500.0E-3 XQC=1.000)</p>
<p>PMOS (LEVEL=2 UO=237.8 VTO=-787.9E-3 NFS=307.0E+ 9 TPG=-1 TOX=41.6E-9 NSUB=8.461E+15 UCRIT=1 14.4E+3 UEXP=308.6E-3 VMAX=32.95E+3 RSH=80. 41 XJ=582.5E-9 LD=240.9E-9 DELTA=1.000 PB=1 .18E-3 JS=10.0E-6 NEFF=2.763 WD=600.0E-9 CJ =278.6E-6 MJ=416.0E-3 CJSW=45.9E-12 MJSW=99 0.0E-3 CGSO=1.123E-10 CGDO=1.123E-10 CGBO=3 .320E-10 FC=500.0E-3 XQC=1.000)</p>

본 논문에서는 저 소비전력, 높은 개루프 전압이득 그리고 최소의 면적을 기본사양으로 연산증폭기를 설계하였다.^[7] 설계된 연산증폭기의 aspect ratio는 표 1과 같고 Cc값은 1pF으로 하였으며 검증시 사용한 미국 Orbit사의 공정 parameter는 표 2와 같다. 1.76[mW]의 소비전력, 81.1[dB]의 개루프 전압이득, 10 [V/us]의 전압변화률, 15[dB]의 이득 여유(gain margin), 65°의 위상 여유(phase margin)를 가진다. 그림 8에서는 설계된 CMOS 연산증폭기의 구조를 보여 주고 있으며, 연산증폭기의 주파수특성이 그림 9에 나타나 있다.

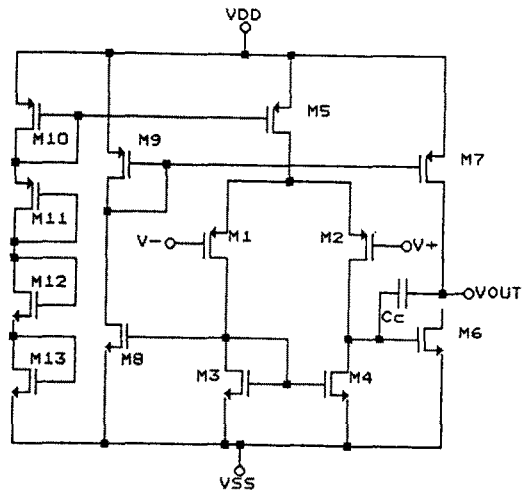


그림 8. CMOS 연산증폭기의 구조

Fig. 8. The structure of CMOS operational amplifier.

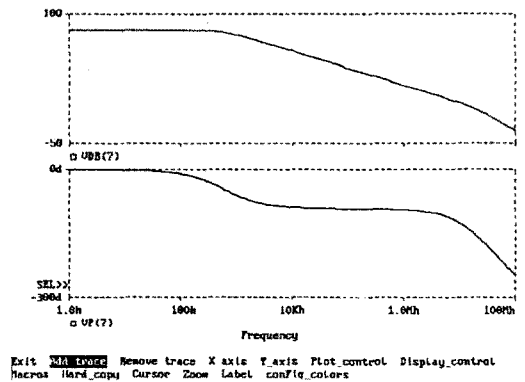


그림 9. CMOS 연산증폭기의 주파수응답

Fig. 9. The frequency response of CMOS operational amplifier.

4. 저역통과 필터 및 신호 증폭부

저역통과 필터는 센서 신호에 포함된 노이즈를 제

거하기 위해 사용되며, 신호 증폭부는 미약한 센서의 출력신호 증폭에 사용된다. 고차의 저역통과 필터를 사용하면 좋은 차단(cutoff)특성을 가질 수 있으나, 소자의 수가 많아지는 단점을 가지게 된다. 따라서 날카로운 차단특성이 요구되지 않는다면 그림 10에서 보는 바와 같이 1차 저역통과 필터 구조로써 충분한 필터링이 가능하다. 저역통과 필터의 차단 주파수는 RF1, CF1 값을 조절함으로써 가변할 수 있다. 한편 센서신호 증폭은 이득을 가변할 수 있는 비반전증폭기 구조를 채택함으로써, 센서로부터 나오는 출력전압을 R1과 R2의 저항비를 가변하여 요구되어지는 전압 크기로 조절 가능하다.

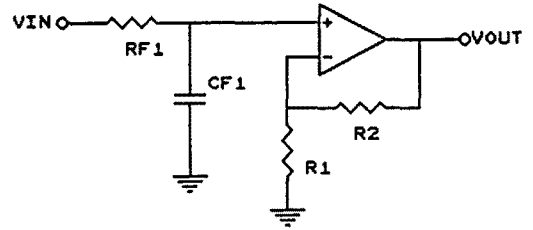


그림 10. 저역통과 필터와 증폭기
Fig. 10. Low pass filter and amplifier.

5. 전체회로 및 검증결과

그림 11은 멀티센서 인터페이스용 custom IC의 전체회로를 나타내었고, 그림 12는 센서신호가 직류전압일때 전체회로의 검증결과를 보여 주고 있다. 아날로그 멀티플렉서의 enable 단자(그림에서 V(50))가 로직

1(+5V)상태일 때는 전체회로가 정상적인 동작[V(40)의 샘플링 펄스에 의해 순차적으로 채널이 선택되어 -5V,-2V,2V,5V로 신호가 변함]을 하고 로직 0(0V)상태일 때는 샘플-홀드 회로의 S/W 2가 ON되어 최종 출력전압이 reset 된다. 이 reset 기능은 샘플링 펄스의 샘플 주기가 아주 짧거나 혹은 holding 콘덴서의 용량이 클 경우 특히 유용한 기능이다. 센서신호가 미약하고 서로 주파수가 다를 때의 검증결과가 그림 13과 그림 14에 나타나 있다. 그림 13은 4개의 입력 센서 신

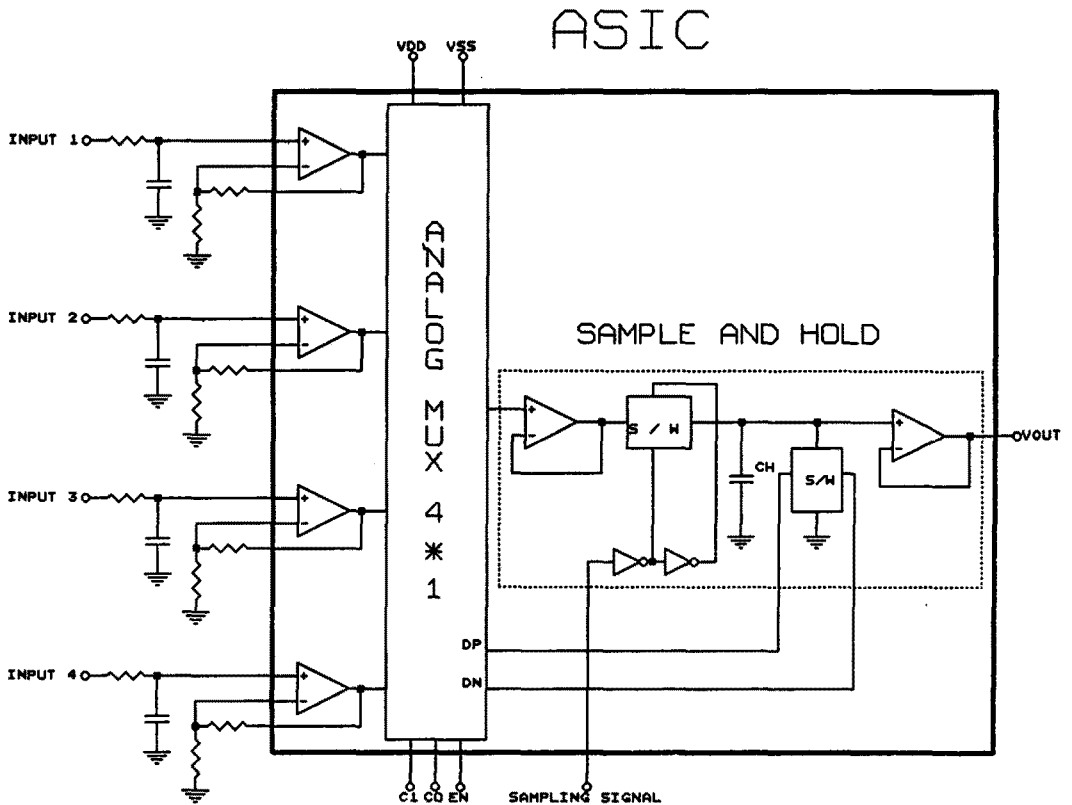
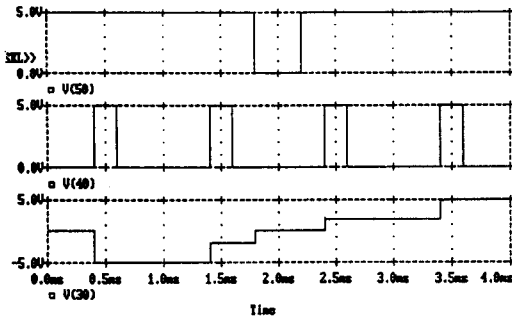


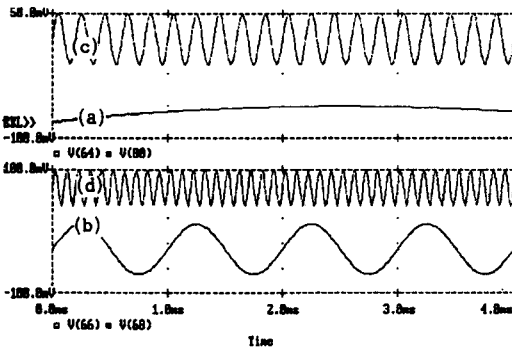
그림 11. 멀티센서신호 인터페이스용 custom IC 전체회로
Fig. 11. The full circuits of multi sensor interface custom IC.



))Exit 1)Add Trace 2)Remove Trace 3)X Axis 4)Y Axis 5)Add Plot
5)Select Plot 7)Remove Plot 8)Hard Copy 9)Suppress Symbols A)Cursor : 1

그림 12. 입력신호가 직류전압일때 전체 회로의 검증결과
Fig. 12. The simulation result of full circuits when input signals are DC.

- ※ V(50) : Enable/Disable signal
- V(40) : Sampling signal
- V(30) : Output signal



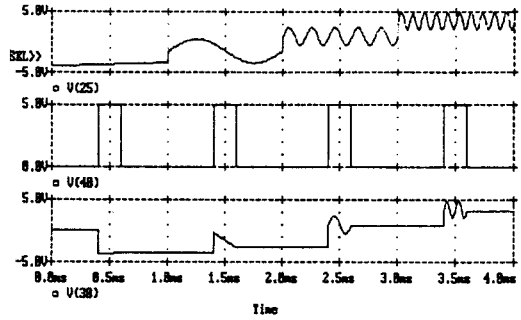
))Exit 1)Add Trace 2)Remove Trace 3)X Axis 4)Y Axis 5)Add Plot
5)Select Plot 7)Remove Plot 8)Hard Copy 9)Suppress Symbols A)Cursor : 1

그림 13. 입력 센서신호
(a) 채널 1 (b) 채널 2 (c) 채널 3 (d) 채널 4
Fig. 13. Input sensor signal.
(a) Channel 1 (b) Channel 2
(c) Channel 3 (d) Channel 4

호를 나타내고 있으며 그림 14에서 V(25)는 아날로그 멀티플렉서단을 지난후의 증폭된 신호이며(단, 이때 증폭단의 전압이득은 50으로 두었다.), V(40)은 샘플링 펄스이고 V(30)은 샘플-홀드 회로를 거친 최종 출력 파형이다. 전체회로의 MOS 갯수는 134개이고 simulation 결과 총 소비전력은 33.6 [mW] 이었다.

III. 결 론

본 논문에서는 4 to 1 아날로그 멀티플렉서를 사용



))Exit 1)Add Trace 2)Remove Trace 3)X Axis 4)Y Axis 5)Add Plot
5)Select Plot 7)Remove Plot 8)Hard Copy 9)Suppress Symbols A)Cursor : 1

그림 14. 입력신호의 주파수가 서로 다를 때의 전체 회로의 검증결과
Fig. 14. The simulation result of full circuits when input signals have different frequencies.

- ※ V(25) : Output signal of analog multiplexer
- V(40) : Sampling signal
- V(30) : Output signal

하여 멀티센서 인터페이스용 custom IC를 설계하였고, IBM PC상에서 PSPICE를 이용하여 설계된 회로를 검증하였다. 제안된 IC를 다목적으로 사용할 수 있도록 하기 위해 소비전력의 감소, 집적도의 향상에 많은 배려를 하였으며, 포터블 센서 시스템용으로도 사용가능하게끔 설계하였다. 노이즈 제거 및 신호증폭용으로 사용된 저역통과 필터 및 신호 증폭부는 수동소자를 사용함으로써 외부 신호처리 회로의 크기를 증가시키는 단점을 가지고 있다. 그러나 이를 switched capacitor circuit 또는 MOS floating resistor형태로 구현하여 IC 내부에 집적화 시킬 경우 위에서 서술된 문제점을 해결할 수 있다.^{[8][9]} 제안된 인터페이스용 CMOS 회로를 센서의 출력신호가 비 선형인 구간에서 사용할 경우, 실제화된 보상회로의 추가 또는 소프트웨어 적인 보상이 필요하다.

참 고 문 헌

[1] Joseph J. Carr, "Sensors and Circuits," PTR Prentice Hall, 1993.
[2] Neil H. E. Weste and Kamran Eshraghian, "Principles of CMOS VLSI Design," Addison-Wesley Publishing Company, 1985.
[3] D. A. Bell, "Operational Amplifiers," Prentice-

- Hall, 1990.
- [4] Burr-Brown, "Integrated circuits data book," vol. 33.
- [5] P. R. Gray and R. W. Brodersen, "MOS Analog/Digital Interface Circuit Design for VLSI Digital Systems," University of California, Berkeley.
- [6] P. R. Gray and R. G. Meyer, "MOS Operational Amplifier Design-A Tutorial Overview," *IEEE Journal of Solid State Circuits*, Dec. 1982.
- [7] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," Saunders College Publishing, 1987.
- [8] Z. Wang, "Current-controlled linear MOS earthed and floating resistors and their application," *IEE Proceedings*, vol.137, Pt.G, no.6, pp. 479-481, Dec. 1990.
- [9] Z. Wang, "Novel Voltage-controlled grounded resistor," *Electronics Letters*, 27th, vol. 26, no. 20, pp. 1711-1712, September 1990.

 著 者 紹 介



曹 泳 唱

1993년 2월 경북대학교 공과대학 전자공학과 졸업(공학사).

1993년 3월-현재 경북대학교 대학원 전자공학과 석사과정 재학중. 주관심 분야 : MOS analog 회로설계, ASIC 설계등임.

崔 坪

『센서학회지 제1권 제1호』 논문 94-3-1-07, p. 53 참조. 1990년-현재 경북대학교 전자공학과 조교수.

孫 炳 基

『센서학회지 제2권 제1호』 논문 93-05, p. 40 참조. 현재 경북대학교 전자공학과 교수, 센서기술연구소장.