

입체표면 폴리실리콘 전극에서 PECVD Ta₂O₅ 유전박막의 전기적 특성

조용범 · 이경우 · 천희곤 · 조동울 · 김선우*
김형준* · 구경완** · 김동원***

울산대학교 재료공학과, *서울대학교 무기재료공학과
충청전문대학 전자과, *경기대학교 재료공학과
(1993년 5월 22일 접수)

Electrical Characteristics of PECVD Ta₂O₅ Dielectric Thin Films on HSG and Rugged Polysilicon Electrodes

Yong-Beom Cho, Kyung-Woo Lee, Hui-Gon Chun, Tong-Yul Cho, Sun-Oo Kim*,
Hyeong-Joon Kim*, Kyung-Wan Koo** and Dong-Won Kim***

Department of Materials Science and Engineering, University of Ulsan
**Department of Inorganic Materials Engineering, Seoul National University*
***Department of Electronics, Choong-Chung College*
****Department of Materials Science and Engineering, Kyung-gi University*
(Received May 22, 1993)

요 약 - DRAM 커패시터에서 축전용량을 증대시키기 위한 기초연구로서 2가지 방법을 시도하였다. 첫째로, 커패시터의 유효 표면적을 증대시키기 위해 HSG(hemispherical grain)와 rugged 형태의 표면형상을 갖는 폴리실리콘 전극을 저압 화학기상증착법을 이용하여 제작하였다. 그 결과 기존의 평평한 폴리실리콘 전극에 비하여 유효면적이 증대된 폴리실리콘 전극이 형성되었다. 둘째로, 고유전상수를 갖는 Ta₂O₅ 박막을 각각의 전극에 플라즈마 화학기상증착법으로 증착시키고 후열처리한 후 전기적 특성변화를 조사하였다. MIS(metal-insulator-semiconductor) 구조의 커패시터를 제작하여 전기적 특성을 측정된 결과, HSG와 rugged 형상의 표면을 갖는 전극에서 기존의 평평한 표면을 갖는 전극에 비하여 축전용량은 1.2~1.5배까지 증대하였으나, 누설전류는 표면적의 증가에 따라 함께 증가함을 보였다. TDDB 특성에서도 HSG와 rugged 형상의 표면을 갖는 전극들이 평평한 표면형상에 비하여 더 열화되었음을 보여주었다. 이상과 같은 결과는 Ta₂O₅ 유전박막을 이용한 차세대 DRAM 커패시터 연구에 기초자료로 이용될 수 있을 것으로 본다.

Abstract - In order to increase the capacitance of storage electrode in the DRAM capacitor, two approaches were performed. First, hemispherical and rugged poly silicon films were made by LPCVD to increase the effective surface area of storage electrode. The even surface morphology of conventional poly silicon electrode was changed into the uneven surface of hemispherical or rugged poly silicon films. Second, PECVD Ta₂O₅ dielectric films were deposited and thermally treated to study the dielectrical characteristics of Ta₂O₅ film on each electrode. MIS capacitors with Ta₂O₅ films were electrically characterized by I-V, C-V and TDDB measurements. As a result, the capacitance of the electrode with uneven surface were increased by a factor of 1.2~1.5 and leakage current was increased compared with those of even surface. TDDB result indicates that the electrode with uneven surface has dielectrically more degraded than that of even surface. These results can be helpful as a basic research to develop new generation DRAM capacitors with Ta₂O₅ films.

1. 서 론

현대사회가 고도의 정보산업사회로 발전함에 따라, 빠른 속도로 많은 양의 정보를 처리하기 위해 우수한 특성의 기억소자를 필요로 하고 있다. 반도체 제조 공정기술의 향상으로 기억소자(DRAM, dynamic random access memory)의 고집적화가 이루어지고 있으며, 각 개별소자 및 셀 영역의 점유면적의 감소가 요구되고 있다. 그러나, 기억소자가 단위정보를 기록, 저장하기 위하여는 고집적화에 관계없이 일정 용량 이상(30~40 fF/cell)의 정전용량을 요구하게 된다[1]. 셀당 정전용량은 동작전압과도 관계가 있으나, 외부의 영향에 의한 소프트 에러(soft error)를 방지하고 기존의 DRAM 구조에서 안정된 동작을 유지하기 위하여 필요로 하는 값이다.

Dielectric 박막에 의한 MIS 커패시터의 충전용량은 다음과 같은 식으로 표현된다.

$$C = \epsilon_0 \epsilon_r \frac{A}{d}$$

C: 유전용량(capacitance), ϵ_0 : 진공에서의 유전율 (8.85×10^{-12} F/m), ϵ_r : 박막의 유전율, A: 박막의 유효면적, d: 박막의 두께

유전용량을 증가시키기 위해서는 1) 유전박막의 유효면적 증가, 2) 유전박막의 유전상수 증가, 3) 유전박막의 두께 감소를 들 수 있다. 기존의 16 Mb, 64 Mb DRAM에서 사용되고 있는 NO(Si₃N₄/SiO₂) 구조의 복합 유전박막의 경우, 전하의 터널링(dielectric tunneling) 현상이 일어나게 되는 환산 산화막 두께(equivalent oxide thickness)가 약 4 nm 부근까지 도달하게 되어, 차세대 고집적 소자에서의 적용이 곤란하다[2, 3]. 현재 응용되고 있는 평평한 표면(even surface)을 갖는 3차원 구조(stacked, trench, crown cell)로 전극면적을 증가시키는 데에는 한계점에 도달하게 되었다.

박막의 유효면적을 증가시키는 방법으로 기존의 트랜지스터와 커패시터를 3차원 공간에 배치하는 방법인 trench형과 stack형과 같은 셀 구조의 평평한 표면을, 2차원적 평면인 rugged(uneven) surface 또는 HSG surface을 형성시켜 박막의 유효면적을 증가시키는 방법이 도입되었고, 특성을 향상시키기 위한 연구가 진행되고 있다[4-6].

차세대 고집적 기억소자 개발을 위한 정전용량 확보기술은 NO 구조보다 더 큰 유전상수를 갖는 물질의 개발 및 더 넓은 유효 전극면적의 확보와 더불어 박막의 전기적 특성개선을 통한 유전박막의 두께의 감소를 피하여야만 한다. 이를 위한 고유전 재료의 연구대상은 TiO₂, ZrO₂, Ta₂O₅, Nb₂O₅, BaTiO₃, PbTiO₃, SrTiO₃, Pb(Zr, Ti)O₃ 등이다. 유전박막으로서의 특성으로 첫째, 소자구동에 필요한 충분한 유전용량을 가져야 되며, 둘째, 소자 구동전압하에서 누설전류가 낮아야 하며, 셋째, 높은 절연파괴전계(dielectric breakdown field)를 가져야 한다. 고유전재료 중 Ta₂O₅가 비교적 높은 절연 파괴전계와 낮은 누설전류를 갖고 있어 차세대 유전박막 재료로 많은 연구가 진행되고 있으며, 특성향상을 꾀하고 있다[7-14].

본 실험에서는 차세대 유전박막으로 활발히 연구되고 있는 Ta₂O₅ 박막을 n⁺ poly-Si 표면 위에 여러 가지 형태의 표면구조를 형성하고, 그 표면을 RTN(rapid thermal nitridation) 또는 RTA(rapid thermal annealing) 처리를 행한 다음, PECVD 방법으로 Ta₂O₅ 박막을 형성하고 상부전극은 Al 전극을 스퍼터링 방법으로 증착한 다음, 사진 식각공정을 통하여 MIS 구조의 커패시터를 제작하였고, 전기적 특성 및 신뢰성을 평가하여 차세대 기억소자로의 적용 가능성을 연구하였다.

2. 실험 방법

본 연구에서는 입체형상 폴리실리콘 전극 위에 PECVD 방법으로 증착된 Ta₂O₅ 박막의 전기적 특성을 고찰하기 위하여 그림 1과 같은 순서로 진행하였다. 먼저 p-Si 웨이퍼 위에 열산화법으로 100 nm 두께의 산화막을 성장시킨 후, 그 표면 위에 SiH₄/PH₃를 이용하여 *in-situ* P-doped poly-Si을 두께 500 nm로 성장시켰다. 입체표면형상 시료(hemispherical 및 rugged 형태)의 폴리실리콘 전극은 LPCVD 장비(ASM-100PRO, TEL)를 이용하여 제작하였으며, 여러가지의 표면형상을 얻기 위한 공정을 연속적으로 진행하였다. 입체표면형상 형성조건은 SiH₄(99.999%) 및 Si₂H₆(99.99%) 가스를 Si 소스로 사용하여, 증착 온도 500°C에서 600°C까지 변화시키면서, 증착압력은 0.5 torr 또는 0.25 torr 이하에서 50 nm에서 30 nm까지의 두께를 갖는 poly-Si 박막으로 표면구조를 생성

하였다. 각각의 조건에 따른 표면형상은 SEM으로 관찰하였으며, 그림 2에 나타내었다.

입체표면형상의 하부전극을 형성한 후, 표면을 RTN(900°C, NH₃, 30초) 또는 RTA(900°C, N₂, 30초) 처리를 행하였다. 폴리실리콘 전극표면의 RTN 처리는 실리콘 표면에 얇은 Si₃N₄ 박막을 형성하게 되어, Ta₂O₅ 박막과 하부전극으로 사용되는 폴리실리콘과의 상호반응과 폴리실리콘의 표면에 생성되는 자연산화막으로 인한 Ta₂O₅ 박막의 특성저하를 방지해 주는 것으로 알려져 있다. 또한, 입체표면형상 폴리실리콘의 경우 열처리에 따른 하부전극의 불순물 분포 등의 제반 특성의 상이점을 막기 위하여, RTN을 행하지 않은 시편은 같은 열처리 조건으로 RTA를 행하였다.

위와 같이 준비된 입체표면형상 폴리실리콘 하부전극 위에 Ta₂O₅ 박막의 증착을 행하였다. 이를 위하여 플라즈마 화학기상 증착장비(ANELVA PED-301)를 사용하였고, 박막의 형성은 유입되는 탄탈륨 유기금속 원료인 Ta(C₂H₅O)₅를 125°C로 가열하여 적

당한 증기압을 확보한 후, Ar 가스를 250 sccm 유입, 플라즈마 화학증착 반응으로 도입하였다. 산화제인 N₂O 가스는 0.6 sccm으로 고정시키고, RF 출력은 150 watt, 기판온도는 400°C로 유지하며, 20~25 nm 두께의 Ta₂O₅ 유전박막을 증착시켰다. 이 증착조건은 기존의 연구결과를 바탕으로 한 최적조건을 사용하였다[15].

최종적으로 RTN, RTA 처리된 입체표면형상 폴리실리콘 표면 위에 증착된 Ta₂O₅ 박막의 저온 열처리에 따른 영향을 고찰하기 위하여 증착 직후의 Ta₂O₅ 박막과 600°C, O₂, 1시간 열처리된 박막으로 그룹을 나누어, Al을 스퍼터링(MRC-902, 1%-Si/Al, DC 7 kW, 700 nm)으로 준비한 뒤, 일반적인 사진식각 방법(photolithography, MJB-3 Aligner, AZ-1512 PR, wet Al etching)으로 Al 상부전극패턴을 형성하였다. 패턴의 크기는 100×100 μm², 120×120 μm², 340×340 μm²로 하였다. Ta₂O₅ 박막의 전기적 특성인 누설전류, TDDB 및 정전용량을 측정하였다. Ta₂O₅ 박막의 누설전류 및 TDDB 특성은 HP 4145B, 정전용량은 HP 4280A 1 MHz C-V plotter, HP 4162A LCR meter(10 KHz)를 이용하였다.

3. 결과 및 고찰

3.1. Ta₂O₅ 박막의 누설전류 특성

3.1.1. TZDB(Time Zero Dielectric Breakdown)

특성

Ta₂O₅ 박막의 누설전류 특성을 입체표면형상의 구조와 비교하기 위하여 p-Si(13.2 Ω-cm) 기판 위에 25 nm의 두께로 증착하여 기준으로 삼았으며, 이 특성은 그림 3에 나타내었다. 증착 직후와 열처리에 따른

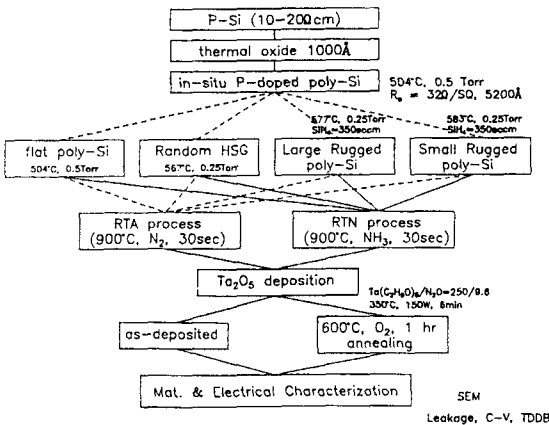


그림 1. 실험 순서도.

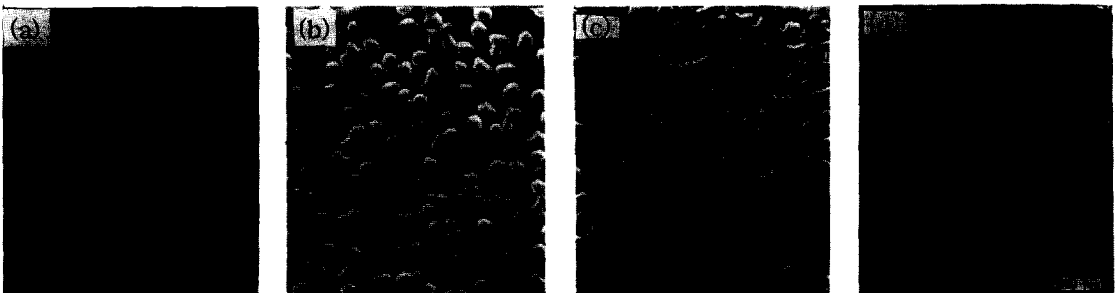


그림 2. 증착조건에 따른 HSG, rugged poly-Si 표면형상(모든 시료는 in situ P-doped). a) flat, b) HSG, c) LR, d) SR.

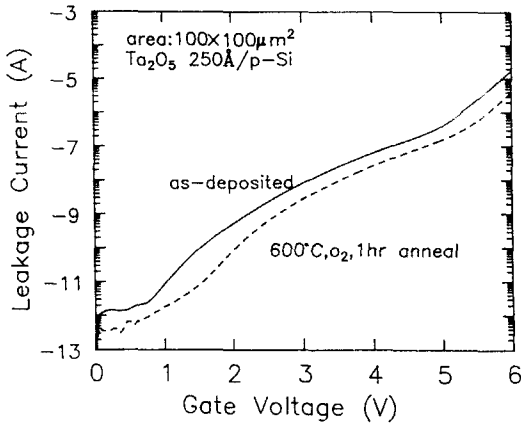


그림 3. Ta₂O₅/p-Si 구조의 열처리에 따른 누설전류 특성.

영향으로 누설전류가 약 1 지수 정도 감소하는 경향을 보여주고 있으며, 박막의 전류-전압 특성곡선(I-V)을 $\ln(I/E)$ 와 $E^{1/2}$ 의 관계로 도시했을 때 직선성을 나타냄으로서 Poole-Frenkel 기구를 따름을 알 수 있다. 이는 유전체에 전장이 가해지면 유전체 내부에 존재하는 포획준위의 전도 장벽이 낮아져서 포획되어 있던 전자들이 유전체의 전도대로 방출되어 누설전류가 흐르는 현상이다. 증착 직후의 박막과 열처리 직후의 박막의 경우 저전계(low electric field, $V_G < 1V$) 영역에서 보여주는 변위전류의 경우 증착 직후의 pA에서 열처리 후에는 0.1 pA 영역으로 감소하는 것을 확인할 수 있었다. 이는 SiO₂ 환산두께(단위 면적당 C_{ox} 를 $\epsilon_r = 3.9$ 로 환산한 유전박막의 두께, $t_{eff,ox} = \epsilon_r (= 3.9) \cdot \epsilon_o \cdot A / C_{ox}$), 약 5.5 nm에 해당하는 박막으로서, 차세대 유전박막으로 적용할 경우, 1V 이하의 인가전압에 있어 아주 우수한 특성을 갖는 유전 박막으로 응용 가능성을 보여주고 있는 것이다. p-Si 웨이퍼 위에 증착된 Ta₂O₅ 박막의 120×120 μm²를 기준으로 하여 1 μA 누설전류를 기준으로 약 1.5~2.3 MV/cm ($E_{ox,eff} = 7 \sim 11$ MV/cm) 정도를 보여주고 있다. 또한, 완전히 유전박막의 성질을 잃어버리는 진성(intrinsic) 유전과괴 전장은 6~8 MV/cm 정도이며, 이는 SiO₂ 기준으로 $E_{ox,eff} = 11 \sim 15$ MV/cm를 보여주고 있다.

그림 4에는 Ta₂O₅ 박막을 평평한 폴리실리콘 표면 (in situ P-doped n⁺ poly-Si) 위와 p-Si 위에서는 누설전류 특성을 RTA, RTN 처리 및 열처리에 따른 영향을 도시하였다. 전반적으로 열처리에 따라 Ta₂O₅

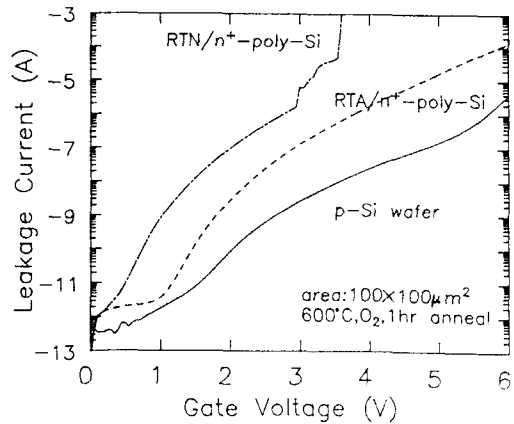
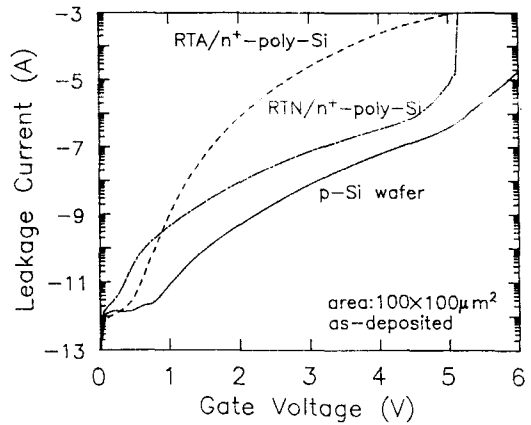


그림 4. Ta₂O₅/[RTN, RTA] flat n⁺ poly-Si 및 Ta₂O₅/p-Si의 a) as-deposited, b) 600°C, O₂, 1시간 열처리 후 누설전류 특성.

박막의 누설전류가 감소하는 경향을 보여주고 있다. 저전계에서는 p-Si와 비슷한 누설전류 값을 보여주고 있다. 1V 이하의 영역에서는 누설전류가 증착 직후의 박막보다 증가하는 경향을 보여주고 있다. 이는 하부전극인 n⁺ poly-Si 박막이 증착온도인 504°C보다 높은 열처리로 인하여 영향을 받는 것으로 생각된다.

RTN 처리된 n⁺ poly-Si 기판의 경우는 열처리에 따라 누설전류가 감소하고 있으며, 증착 직후의 누설전류 값은 p-Si 기판과 비교하여 약 1 지수 정도 높게 흐르고 있다. 그러므로, 저온(600°C)에서의 열처리 공정 유무에 따라 Ta₂O₅ 박막 증착전에 RTA, RTN 공정 삽입여부를 고려하여야 할 것이다. 증착 직후의 누설전류 특성은 RTN 처리된 기판의 특성이

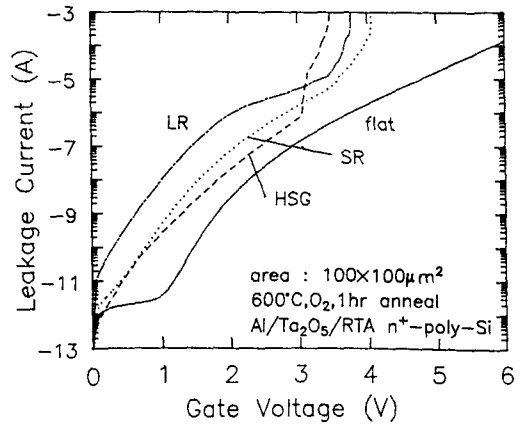
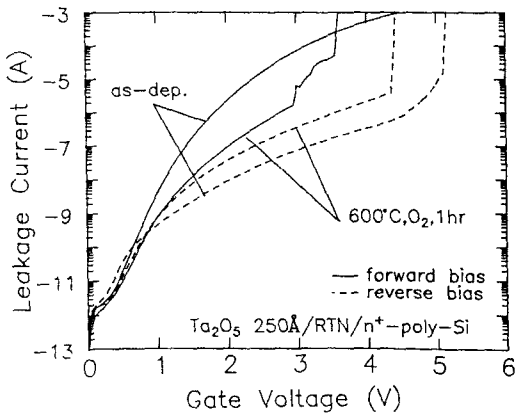
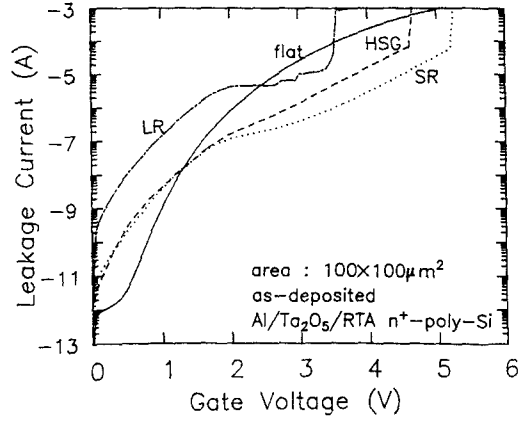
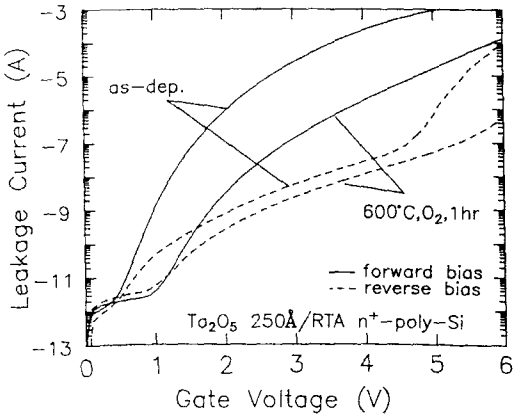


그림 5. Ta₂O₅/[a) RTA, b) RTN] flat n⁺ poly-Si 구조에서 as-deposited 및 600°C, O₂, 1시간 열처리 후의 박막에서 순방향/역방향 바이어스에 따른 누설전류 특성.

그림 6. Ta₂O₅/RTA 처리된 [flat, HSG, LR, SR] 구조에서 a) as-deposited, b) 600°C, O₂, 1시간 열처리 후 누설전류 특성.

우수하였는데, 이는 RTN 박막이 계면에서의 자연 산화막을 oxynitrided화 시킨 것으로 생각된다.

그림 5는 각 시료의 인가전압에 따른 순방향/역방향 누설전류 특성을 보여주고 있다. RTN 처리되어 있는 n⁺ poly-Si 시료의 누설전류가 대칭적으로 나타나고 있으며, RTA 처리된 n⁺ poly-Si 시료의 경우는 비대칭적으로 나타나고 있다. RTN 처리된 n⁺ poly-Si 시료의 경우, Al과 n⁺ poly-Si과의 일함수 차이와 더불어 RTN Si₃N₄의 에너지 밴드갭의 차이에 따른 비대칭성으로 보며, RTA된 n⁺ poly-Si 시료의 경우에는 기판전압에 따른 도핑된 불순물의 공핍(electrode depletion)에 의한 영향을 생각된다. 열처리에 따른 순방향/역방향 누설전류의 특성은 열처리에 따

라, RTN와 RTA 처리된 n⁺ poly-Si 기판이 서로 반대현상을 보여주고 있다.

그림 6은 RTA 처리된 flat, HSG, Large rugged (LR), Small regged(SR) 표면형상을 갖는 n⁺ poly-Si 기판 위의 증착 직후와 600°C, O₂, 1시간 열처리 후의 Ta₂O₅ 박막의 누설전류 특성을 나타내고 있다. 누설전류의 경향은 표면형상에 의존하고 있음을 알 수 있다. 600°C, O₂, 1시간 열처리에 의하여 Ta₂O₅ 박막 및 flat, HSG, LR, SR 구조의 계면결함 등이 상당히 감소하는 영향으로 누설전류가 감소하였다.

그림 7은 RTN 처리된 flat, HSG, LR, SR 표면형상을 갖는 n⁺ poly-Si 기판 위의 증착 직후와 600°C, O₂, 1시간 열처리 후의 Ta₂O₅ 박막의 누설전류

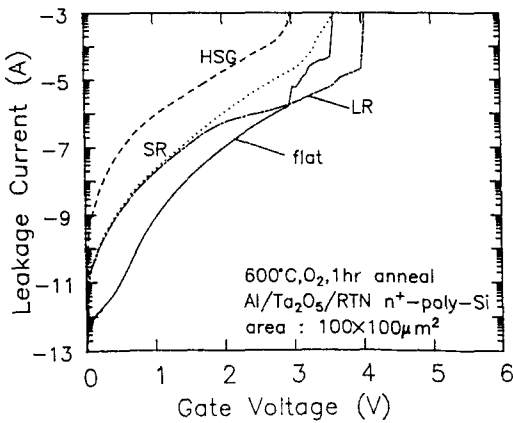
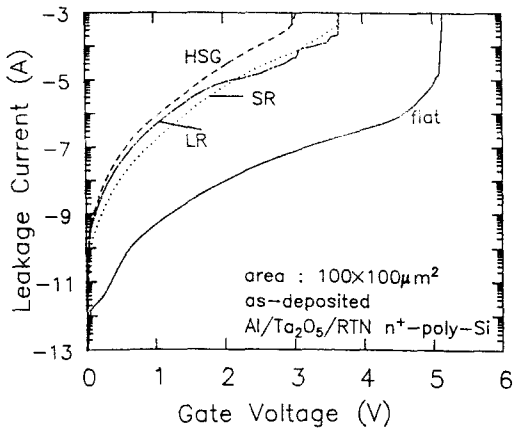


그림 7. Ta₂O₅/RTN 처리된 [flat, HSG, LR, SR] 구조에서 a) as-deposited, b) 600°C, O₂, 1시간 열처리 후 누설전류 특성.

특성을 나타내고 있다. HSG의 경우는 열처리 유무에 크게 관계없이 거의 같은 누설전류 경향을 보여주고 있으며, LR과 SR의 경우는 열처리를 거치므로서, 누설전류가 감소하는 경향을 보여주고 있다.

3.1.2. TDDB(Time Dependence Dielectric Break-down) 특성

Ta₂O₅ 박막의 차세대 기억소자로의 응용 가능성을 고찰하기 위하여 Ta₂O₅ 박막의 TDDB 특성을 조사하였다. TDDB 특성은 각각 E=4.0, 3.5, 3.0 MV/cm에서 측정하였다. 이를 기준으로 작동전압인 1V를 기준으로 하였을 때는 수명이 약 10년 정도로 도출된다. 그러나, Ta₂O₅ 박막이 flat, HSG, LR, SR 구조의 n⁺ poly-Si 기판 위에 증착되었을 때의 특성은 그림 8 및 9에 나타난 바와 같이 많이 열화된 것을 알 수

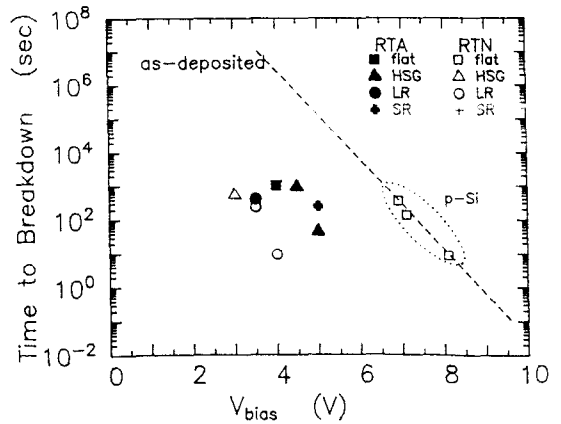


그림 8. Ta₂O₅/[flat, HSG, LR, SR n⁺ poly-Si 및 p-Si] 구조에서 증착 직후의 TDDB 특성.

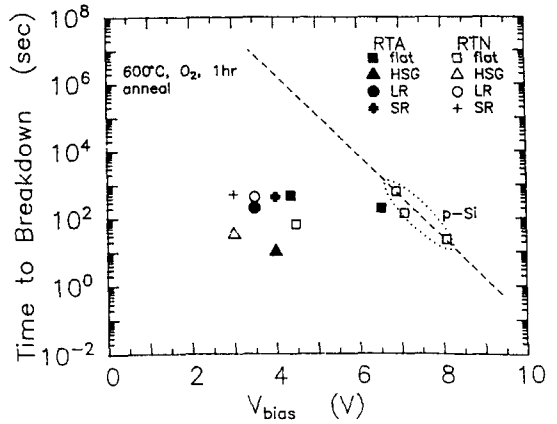


그림 9. Ta₂O₅/[flat, HSG, LR, SR n⁺ poly-Si 및 p-Si] 구조에서 600°C, O₂, 1시간 열처리 후 TDDB 특성.

있었다. 이는 Ta₂O₅ 박막 및 n⁺ poly-Si 기판과의 균일성 및 결함의 제재에 따른 저전압에서의 높은 파괴에 기인하고 있다. 고전압 영역에서의 TDDB 특성은 높은 누설 전류의 영향으로 실제 작동전압에서의 TDDB 특성을 유추하기가 어렵기 때문에, 고전압에서의 TDDB 특성은 제외하였다. 약 10~100 μA 정도의 누설전류 영역에서의 TDDB 특성을 표시하였다. 또한, flat, HSG, LR, SR 구조의 n⁺ poly-Si 기판에서의 인가전계에 따른 파괴시간의 측정 및 그 연장선으로부터 실제 동작전압에서의 예상 수명을 예측하고자 하였으나, 높은 누설전류로 인하여 재현성 있는 유전파괴 특성을 보이지 않아 측정할 수가 없

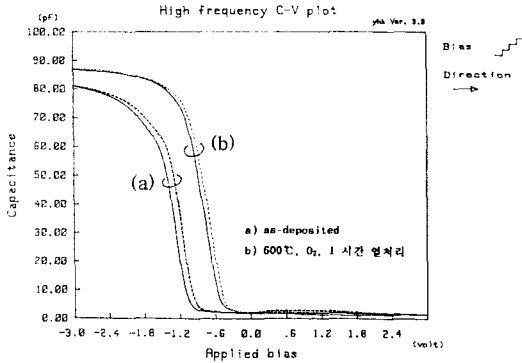


그림 10. Ta₂O₅/p-Si 구조에서 a) as-deposited, b) 600°C, O₂, 1시간 열처리 후의 1 MHz C-V 특성(실선: forward sweep, 점선: reverse sweep).

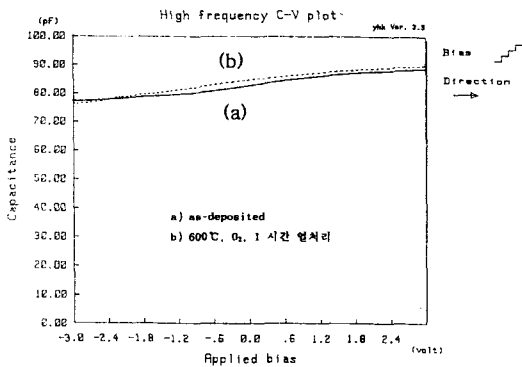


그림 11. Ta₂O₅/[RTA flat n⁺ poly-Si] 구조의 a) as-deposited, b) 600°C, O₂, 1 hr 열처리 후의 1 MHz C-V 특성(실선: forward sweep, 점선: reverse sweep).

었다.

3.2. Ta₂O₅ 박막의 정전용량 특성

Ta₂O₅ 박막의 정전용량을 기존의 p-Si 웨이퍼와 flat, HSG, LR, SR n⁺ poly-Si 위에서의 표면형상 및 새로운 기관의 도입에 따른 영향을 고찰하였다. 그림 10에는 p-Si 위에 증착된 Ta₂O₅ 박막의 C-V 특성을 나타내었다. 이는 1 MHz C-V 측정결과이다. Ta₂O₅ 박막의 증착 직후의 박막의 경우 C-V 곡선이 전반적으로 (-)의 전압쪽으로 이동하고 있으며, 600°C, O₂, 1시간 열처리 후에는 일반적인 경향을 보여주고 있다. 이는 증착 직후의 박막내에 존재할 수 있는 전하를 띤 결함(charge point defect)의 영향과 기관과 Ta₂O₅ 박막 계면에서의 계면전하가 존재함에 따른

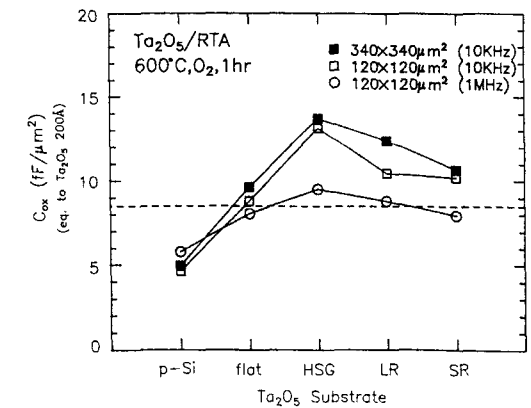
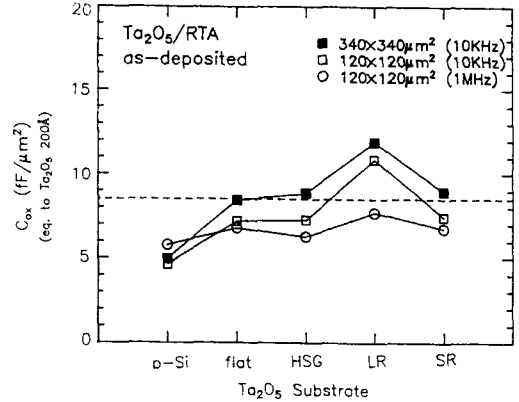


그림 12. Ta₂O₅/[p-Si]와 Ta₂O₅/[RTA flat, HSG, LR, SR n⁺ poly-Si] 구조에서 a) as-deposited, b) 600°C, O₂, 1시간 열처리 후의 V_{bias} = 1.5 V, 1 MHz, 10 KHz에서 C_{ox} 특성.

영향을 보이며, 플라즈마를 에너지원으로 하여 증착 하였으므로, 박막속에 전하를 띤 radical의 damage가 있었던 것으로 판단된다. 이 결함은 600°C, O₂, 1시간 열처리함으로써 제거되어 계면전하 밀도가 감소하여 C-V 특성곡선이 오른쪽(+쪽)으로 이동한 것으로 생각된다.

그림 11은 RTA 처리된 flat n⁺ poly-Si 위에 증착된 Ta₂O₅ 박막의 C-V 특성이다. 전형적인 n⁺ poly-Si 위에 형성된 Ta₂O₅ 박막의 MIM 구조의 C-V 곡선을 보여주고 있다. C-V 곡선에서 음의 전압하에서의 용량 C_{ox}가 약간 감소하는 경향을 보여주고 있는 것은 하부전극 기관인 flat n⁺ poly-Si에 도핑된 불순물의 농도가 낮기 때문에(Rs = 32 Ω/□, 두께 = 520 nm), 음의 전압하에서 표면이 공핍화되는 현상에 기인하는

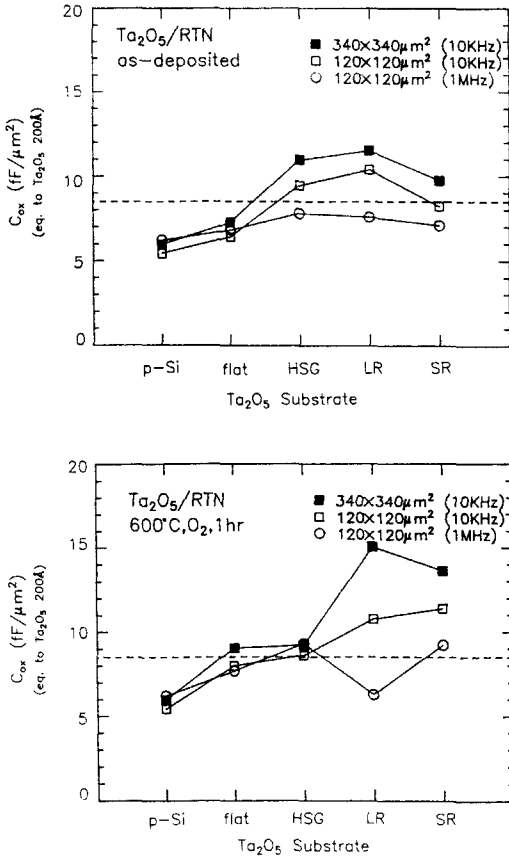


그림 13. Ta₂O₅/[p-Si]와 Ta₂O₅/[RTN flat, HSG, LR, SR n⁺ poly-Si] 구조에서 a) as-deposited, b) 600°C, O₂, 1시간 열처리 후의 V_{bias} = 1.5 V, 1 MHz, 10 KHz에서 C_{ox} 특성.

것으로 생각된다. 이는 보다 고농도로 도핑된 하부 전극의 도입으로 해결이 가능한 문제이다. RTN 처리된 flat n⁺ poly-Si 위에 증착된 Ta₂O₅ 박막의 C-V 특성도 RTA 처리된 시료와 유사한 경향을 보여주었다.

그림 12 및 13에 RTA 및 RTN 처리된 flat, HSG, LR, SR n⁺-poly-Si 위에서의 Ta₂O₅ 박막의 C_{ox}값과 Ta₂O₅/p-Si 위에서의 값을 비교, 제시하였다. 그림에서 보이는 점선은 Ta₂O₅ 박막 20 nm의 경우에 가질 수 있는 정전용량을 표시한 선이다. 다른 모든 비교 Ta₂O₅ 박막은 각각 개별적으로 같은 조건에서 증착 되었으므로 재현성이 같은 만큼의 두께 차이가 존재한다. 따라서, 이를 20 nm의 Ta₂O₅ 박막으로 두께를

보정($C_{ox}(20\text{ nm}) = C_{ox} \cdot 200 / (\text{sample thickness})$)하여 사용하였다. 그림 12 및 13에 제시된 C_{ox}값은 C meter로 측정된 값이다.

그림 12에서 보여지는 Ta₂O₅/[p-Si]와 Ta₂O₅/[RTA flat, HSG, LR, SR] 구조의 각 열처리 조건에서 V_{bias} = 1.5 V일 경우에 1 MHz, 10 KHz의 C_{ox} 특성을 기판의 입체형상과 관련하여 고려하였다. 그러나, 실험에 사용된 기판의 형상에 따른 기대값인 약 2배보다 작은 1.2~1.5배의 C_{ox}를 획득하였는데, 이는 본 실험에서 실험한 시편의 하부전극 유효면적이 그림 2의 SEM 사진에서 HSG와 rugged poly-Si 하부전극의 표면적 증가치를 계산한 결과 평평한 표면과 비교하여 약 1.2~1.5배 정도 증가함을 알 수 있어 유효면적 증가에 따른 C_{ox}값이 실험치와 잘 일치되고 있다.

4. 결 론

본 연구에서는 전극의 유효 표면적을 증대시키기 위하여 HSG 및 rugged 형상의 폴리실리콘 전극을 형성하고, 그 위에 PECVD 방법으로 형성된 Ta₂O₅ 박막의 전기적 특성변화를 고찰하였다.

Ta₂O₅ 박막은 폴리실리콘 전극표면적이 증대되고 거칠어 질수록 누설전류 증가함을 보여주었으며, n⁺ poly-Si 전극표면을 RTN, RTA 처리에 따른 Ta₂O₅ 박막의 특성변화는 큰 차이를 보여주고 있지 않았다. 입체표면형상 변화에 따른 정전용량은 평평한 표면에 비하여 정전용량의 증가를 확인할 수 있었으며, 이는 flat n⁺ poly-Si을 기준으로 하였을 때, 약 1.2~1.5배에 이르렀다. 이는 실제 표면형상의 유효면적 증가치인 1.2~1.5배와 잘 일치한다. 입체표면형상 위에서의 Ta₂O₅ 박막의 TDDB 특성은 p-Si 웨이퍼 위에서의 특성보다 열화된 특성을 보여주고 있었으며, 이는 n⁺ poly-Si 기판의 표면 형상의 영향으로 보인다.

참고문헌

1. S. Asai, *IEDM Tech.* 84 (1984).
2. T. Mine *et al.*, *SSDM* 137 (1989).
3. K. F. Schuegraf *et al.*, 1992 *Symp. VLSI Tech.* 18 (1992).
4. T. Kaga *et al.*, *IEEE Trans. Electron Devices* 38, 255 (1991).

5. 라사칸, 김동원, *진공학회지* **2**(1), 999 (1993).
6. P. C. Fazan *et al.*, *IEDM Tech.* 263 (1992).
7. Y. Numasawa *et al.*, *IEDM Tech.* 43 (1989).
8. K. Yamagashi *et al.*, *Japan. J. Appl. Phys.* **25**, L306 (1986).
9. H. Shinriki *et al.*, *IEEE Trans. Electron Devices* **38**, 455 (1991).
10. P. Gallias *et al.*, *Thin Solid Films* **165**, 227 (1988).
11. Y. Nishioka *et al.*, *J. Electrochem. Soc.* **134**, 410 (1987).
12. K. Kato *et al.*, *J. Electrochem. Soc.* **135**, 2586 (1988).
13. S. Kimura *et al.*, *J. Electrochem. Soc.* **130**, 2414 (1983).
14. S. Kamiyama *et al.*, *IEDM Tech.* 827 (1991).
15. 김형준, 서울대학교 반도체연구소 보고서 ISRC 91-E-QM-C001 (1991).