

論文93-30B-9-2

분산된 단위 제어기기의 실시간 처리를 위한 접속 모듈의 설계 (Interfacing Module Design for Real Time Processing in Distributed Programmable Devices)

朴南洙*, 金正鎬*, 李相範**

(Nam Su Park, Jeong Ho Kim and Sang Burm Rhee)

要約

조립라인, 검사라인에는 다수의 제어기기(PLC, loop controller 등)가 중심이 되어 운영되고 있다. 이들 단위 제어기기들의 연계운영이 요구된다. 이러한 연계운영 방식은 ISO 등의 표준화에 적합한 네트워크 규격에 의하여 설정되어야 한다. 본 논문에서는 중소 규모의 간이 공정 자동화 시스템을 구현하기 위해 Mini-MAP을 기반으로 하여, 모델 공정 시스템을 대상으로 하는 네트워크 접속 모듈을 설계하고 운영하는데 그 목적이 있다. 이를위해 데이터링크 계층에 대해 본 논문에서 설계된 접속 모듈에 성능 파라미터를 설정하고 시뮬레이션을 실시하여 throughput를 조사하였다. 그 결과 설계된 접속 모듈의 auto mode는 처리시간의 감소를 갖게되므로 throughput의 향상이 있었다. 또한 가상공정을 설정하여 운영함으로써 중소 규모의 간이 자동화를 목적으로하는 분산된 산업용 네트워크의 실시간 처리에 적용할 수 있음을 확인하였다.

Abstract

There are multiple controllers(PLC, Loop Controller) which are operating in product line and fabrication line. In those lines, it is necessary to connect various multiple controllers with integrity and coordination. The ways to connect those devices are specified by ISO network standard. In this paper, real time network is designed and implemented for factory automation at lowest possible cost that meets the small and middle size MINI-MAP specifications. Network performance is evaluated by simulation method on data link layer (HDLC). Parameters used are transmission rate and processing time. It is found that implemented interfacing module has efficiency in throughput by reducing processing time. The system designed in this paper can be also applied to the field of distributed systems for real time processing.

* 正會員, 韓國電子通信研究所
(Electronics and Telecommunication Reserch Institute)

** 正會員, 檀國大學校 컴퓨터工學科
(Dept. of Com. Eng., Dankook Univ.)
(※ 본 논문은 체신부 지원 제조업 경쟁력 강화를
위한 연구 개발 사업의 중간 결과임)
接受日字: 1992年 7月 9日

1. 서론

최근의 제조 공정에서는 생산 라인의 운영 효율화, 설비의 융통성을 위하여 제조계획에서 생산에 이르기까지의 통합 생산의 구축이 활발히 이루어지고 있다. 특히 생산라인에서 지역적으로 분산되어 있는 단위기기들의 정보를 공유할 수 있는 통신 시스템의 구성이

요구되며, 실시간으로 공정정보를 처리하기 위한 효율적인 시스템 운영이 도입되어야 한다.

1980년에 미국 General Motors(GM)사는 MAP(manufacturing automation protocol)을 제시하여 생산환경을 위한 토큰 버스 네트워크를 제안하였다. 또한 1986년에는 실시간 요구와 저가격의 중소 규모의 자동화에 적합한 Mini-MAP를 제안하였다.

국내 제조업체의 조립라인, 검사라인에는 다수의 제어기기(PLC, loop controller 등)가 중심이 되어 운영되고 있다. 이러한 생산라인에서는 운영의 효율화, 고장예의 대응 및 설비의 융통성을 위하여 단위 제어기기들의 연계 운영이 필요하다. 이러한 연계운영 방식은 ISO 등의 표준화에 적합한 네트워크 규격에 의하여 설정되어야 한다.

아울러 생산 라인의 자동화를 구축하기 위하여 퍼스널 컴퓨터를 기본으로 하고, 간이 자동화를 목적으로 하는 공정 정보 처리 시스템을 구축하려는 연구가 필요하다.

본 논문에서는 산업용 네트워크상에 분산되어 있는 단위 제어기기의 실시간 처리를 위해 Mini-MAP 규격에 근거하여 네트워크를 구성하였다. 또한 운영 대상을 중소 규모의 산업 공정에 대한 간이 자동화 영역으로 설정하여 IBM PC/AT와 실시간 처리를 위한 네트워크 접속 모듈의 하드웨어와 소프트웨어를 설계하고 구현하였다. 여기서 설계된 접속 모듈의 중요한 계층인 데이터 링크 계층의 HDLC(high level data link control)에 대한 네트워크 성능 파라미터를 설정하여 시뮬레이션 방법을 사용하여 시스템의 성능을 확인하였다. 실험을 통해 분산된 산업용 네트워크상의 단위 제어기기들의 실시간 처리에 본 논문에서 설계된 접속 모듈이 적용될 수 있음을 확인하였다.

II. MAP 네트워크

MAP은 생산 단위기기를 위한 네트워크 프로토콜로써 이의 출현은 산업용 네트워크의 여러 계층에 다양한 시스템을 연계 운영하고 이 프로토콜로써 이(異)종 시스템의 용이한 상호 접속에 그 목적이 있었다.

따라서, MAP은 ISO(international standard organization)의 개방 시스템의 OSI(open system interconnection) 참조 모델에 기반을 둔다. MAP/EPA(manufacturing automation protocol/enhanced performance architecture)는 Mini-MAP과 Full MAP 네트워크의 접속을 위한 중계 시스템으로 Mini-MAP 네트워크의 실시간 처리기능과 Full MAP 네트워크의 다양한 서비스기능을 포

합하고 있다.

MAP 네트워크를 구성함으로써 얻을 수 있는 것은 네트워크 그 자체가 아니라, 이를 통해서 생산공정에서 사용되는 컴퓨터의 통합이 가능하게 된다. 이를 통하여 인건비, 설계비의 감소보다는 생산품의 질과 생산성을 향상시키는 것이 목표이다.

다음 그림은 MAP/EPA 시스템이 접속되어 있는 MAP 네트워크의 구성을 나타낸다.

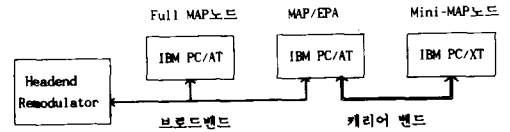


그림 1. MAP 네트워크 구성

Fig. 1. Construction of MAP network.

MAP 규격 3.0에 나타난 MAP/EPA는 브리지를 통하여 Full MAP과 Mini-MAP 네트워크를 물리계층에서 상호접속시키는 것으로 제안하고 있으나, 브리지의 가격이 매우 비싸므로 기존에 사용하고 있는 네트워크 접속장치를 변경없이 그대로 상호접속한다.

Full MAP과 Mini-MAP 네트워크의 채택여부는 일반적으로 네트워크 시스템이 쓰이는 응용분야와 요구사항에 따라 구분될 수 있으며, 운영시의 소요되는 유지, 보수 및 설치비용에 따라 결정된다. OSI의 7계층 모두를 포함하는 Full-MAP은 통신 기능이 다양한 응용분야와 단말수나 네트워크의 길이 등이 대규모인 시스템에 적합하나 실시간 응답 특성이 낮고, 또한 접속 비용이 많이 든다.

이에 반해 Mini-MAP은 OSI 7계층중에서 1, 2, 7계층으로 구성되고, 실시간 응답 특성이 우수하며 접속 비용이 저렴하기 때문에 중소 규모의 간이 자동화 시스템에 적합한 장점이 있다. Mini-MAP 계층 구조중 물리 계층은 IEEE 802.4의 토큰 버스 방식을 채택하고 있으며, 캐리어 밴드(5 Mbps)와 제한된 거리에서 단일 채널을 갖고 데이터를 송수신 한다. 데이터 링크 계층은 MAC(media access control)과 LLC(logical link control)의 두개의 부계층(sublayer)으로 구성된다. MAC계층은 논리적 링의 구성, 위치 및 송수신 프레임 관리등의 기능을 갖고 있다. LLC계층은 전통적으로 SDA(send data with immediate acknowledge), RDR(request data with response), RDR(request data with response)의 3가지의 서비스를 제공하며 HDLC절차와 같은 기능을 수행하면서 링크의 설정이나 절단,

프로그램 제어, 오류회복 등의 기능을 수행^[2] 한다.

Ⅲ. 네트워크 성능해석

MAP 네트워크의 구현방식을 결정함에 있어서 고려해야 할 중요한 파라미터는 공정성과 응답시간이다. 이때 네트워크는 모든 노드에게 일정시간 동안에 적어도 한번 이상의 네트워크의 사용권을 주어야 하는 것이 필수적이며, 데이터의 전송시간이 어느 수준 이하를 유지하여야 한다. 또한 네트워크 구성(configuration)은 Ring형이나 Bus 형태를 선택할 수 있는데 Bus 형태의 네트워크가 설치 및 유지보수가 용이하다.

성능을 해석하기 위한 평가방법으로는 시뮬레이션을 이용하는 방법과 해석적 모델을 이용하는 방법, 측정에 의한 방법이 있다. 본 논문에서는 해석적 대상이 되는 시스템을 컴퓨터 프로그램으로 묘사하고 수행하므로써 여러가지 관련 정보를 얻어내는 시뮬레이션 방법을 사용한다. 시뮬레이션을 이용할때 네트워크의 성능을 좌우하는 지표들은 delay, throughput, reliability, availability^[3] 가 있다.

본 논문에서는 delay를 포함하는 throughput을 조사하므로써 네트워크의 성능을 살펴본다. 설계된 Mini-MAP의 성능은 특성 파라미터가 될 수 있는 전송속도와 processor의 처리시간 파라미터를 사용하여 시뮬레이션을 수행하여 평가한다.

데이터 링크 레벨에서 사용되는 HDLC 프로토콜은 어드레싱, 에러제어 기능과 물리적 통신 링크를 통하여 데이터를 전송하는 흐름제어, 에러제어등의 기능을 가진다. 데이터링크계층에 사용된 HDLC 기능들은 분석적인 모델 - 모든 관련된 파라미터와 역할등을 반영하는 구조-의 가상 전송 시간(virtual transmission time)의 개념을 사용한다. 가상 전송 시간은 정보 프레임의 실제적인 전송 시간과 전송 에러가 발생할 경우 이를 회복하는데 걸리는 시간 지연을 비교하는것 이다. 이에따라 시스템 파라미터로서 message throughput을 설정^[2] 하고 다음 (1)과 같이 표현된다.

$$\text{message throughput} = \frac{\text{전송되는 데이터 총수}}{\text{LAN의 데이터 용 x 경과된 시간}} \quad (1)$$

식 (1)에서 전송되는 데이터의 총수는 주소를 포함한 모든 프레임을 포함한다. 이때 메시지의 버퍼 크기는 비 제한적이며, 메시지의 길이는 l 이라고 가정한다. 전송 채널은 전송률 v와 그들의 비트-에러 확률 P_{bit}(독립적인 비트 에러), 전달 지연(propagation delay) t_{prop}에 의해 특징지어 진다. 또한, 수신 프레

임의 처리 시간(processing time)인 t_{proc}가 일정하다고 가정한다. 한편, 해석을 용이하게 하기 위하여 새로운 선택적 지연 상수인

$$t_p = t_{proc} + t_{prop} \quad (2)$$

을 도입한다. 한 프레임에 에러가 일어날 확률을 블록에러(block error) 확률이라 하고 다음의 식(3)으로 표현할 수 있다.

$$P_b = 1 - (1 - P_{bit})^{l+48} \quad (3)$$

여기서 l+48은 한 프레임의 오버헤드(overhead)를 포함한 전체 비트수이며, 48은 오버헤드를 의미한다. t_l를 정보 프레임(I-frame)의 전송 시간 이라 할때

$$t_l = (l + 48) / v \quad (4)$$

가 되며, t_s를 감시 프레임(S-frame)의 전송 시간 이라할 때,

$$t_s = 48 / v \quad (5)$$

가 된다.

단, 여기서 모듈러(modular) M을 8로 가정한다.

한편, 전송의 한 방향, 즉 스테이션 A에서 스테이션 B로 전송될 때 최대 throughput은 어느 때든지 스테이션 A는 보낼 정보가 있는 반면 채널 B에서 A로는 휴지상태(idle)일때 얻어진다.

I-frame을 에러 없이 송신한 직후 acknowledgement가 수신 될 때까지 걸리는 시간을 acknowledgement time t_{ack}라 하고 S-frame에 에러가 발생하는 상황을 무시할 때 다음 식(6)과 같이 표현할 수 있다.

$$t_{ack} = 2t_p + t_s \quad (6)$$

Throughput을 구하기 위해서는 송신단에서 하나의 정보 프레임에 대하여 error 발생한 상황을 고려한 서비스 시간을 계산하여야 하며, 이를 위하여 가상 서비스시간(virtual service time) 개념을 도입한다.

이는 N(s)=i-1이 전송 에러 없이 순서대로 수신 되었다는 가정하에서, N(s)=i 프레임을 전송하는 순간부터 송신단에서 정보 프레임(N(s) = i) 전송이 끝나는 순간까지를 의미한다. 그러므로 가상 전송 시간 t_v의 기대치는 스테이션 A에서 B로 정보 프레임을 성

공적으로 전송하는데 요구되는 평균시간이다. 그러므로 최대 정보의 throughput T는

$$T = 1 / t_v \quad (7)$$

평균 가상 전송 시간 t_v 을 결정하기 위해 t_v 가 윈도우 폭(window width)에 종속적인 경우와 비종속적인 두가지로 고려되어 얻어진 식³⁴⁾에 기초한다.

IV. 접속 모듈의 설계

전형적인 제어시스템에서는 호스트 컴퓨터와 원거리에 위치한 마이크로 컨트롤러와 통신하는 것이 바람직한 형태이다. 충돌을 감지할 수 있는 장치인 캐리어 감지기(carrier sensor)를 갖추면서 다중 액세스(multiple access) 기능을 하는 버스 중재기(bus arbitration)기능이 있는 구조는 근거리 네트워크의 여러 응용 분야에 유용하게 사용된다. 그러나 생산 공정에서와 같은 환경³⁵⁾에서는 적절하지 못하다. 그 이유는 bus contention에서 부가되는 오버헤드가 실시간 처리에 문제가 되기 때문이다. 이러한 오버헤드는 호스트와 원거리 마이크로컨트롤러 사이에 마스터-슬레이브(master-slave)의 관계를 갖게 함으로써 제거될 수 있다. 즉 마스터는 단순히 모든 마이크로 컨트롤러에 대해서 폴(poll)을 하기만 하면 되고 슬레이브는 폴 명령에 대해 응답하기만 하면되기 때문이다.

이러한 구조로 되어 있는 본 네트워크 고속 직렬 접속 네트워크의 개념도를 그림2에 나타내었다.

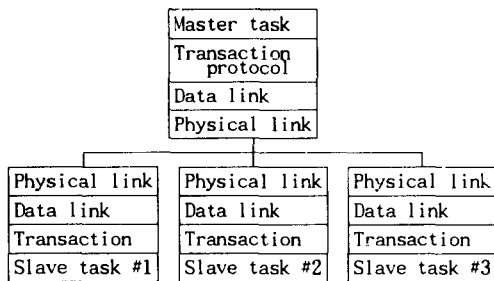


그림 2. 고속 직렬망의 개념적 구조
Fig. 2. Conceptual structure of serial network.

그림 2에서 마스터의 역할을 하는 스테이션을 주스테이션(primary station)이라 하고 슬레이브에 대해서는 부스테이션(secondary station)이라 한다.

여기서 물리계층은 표준에 정의된 다음과 같은 특징들을 지원해야 한다.

- segment 마다 32개의 스테이션을 지원할 수 있는 버스 토폴로지(topology)
- 꼬인 전선쌍(twisted pair), 동축 케이블, 또는 광섬유 사용
- RS-485 인터페이스 이용³⁵⁾
- 낮은 가격과 높은 잡음 불감성을 위한 전송매체 데이터 링크 계층에서의 access 방식은 마스터가 슬레이브를 주기적으로 polling하는 집중화 방식의 master 슬레이브 방식과 여러 제어 장비가 같은 필드 버스에 접속되어 있을때 이용되는 비집중화 방식인 토큰 패싱 방식이 있다.
- 응용 계층에서는 세가지의 서비스가 필요하다.
 - 동기화 프리미티브를 포함하는 주기적 동작(cyclic operation) 서비스 요소
 - 파라미터 세팅과 reading을 위한 필드버스 메시지 서비스 요소
 - 구성, 제어, 그리고 통신 자원의 감독을 위한 네트워크 관리 서비스 요소

이를 위해 응용계층에서는 MHS 서비스를 구현하는 것이 바람직 하다고 할 수 있지만, 크기 문제로 Mini-MAP과 같은 필드버스에 MHS를 완전히 구현한다는 것은 실제적이지 못하다.

본 논문의 네트워크 구성에서 호스트인 IBM PC/AT는 마스터 역할을 하는 주스테이션을 갖고 있으며, 이 주스테이션은 물리, 데이터링크 계층을 포함하고 있으며, 호스트에 응용계층을 두어 사용자 인터페이스를 하도록 하였다. 구성된 네트워크의 운영 대상은 간이 자동화용 실시간 처리 기능을 보유하여 제조 공정에서 상호 관련된 단위기기들의 가상 공정을 감시하고 제어한다.

다음 그림은 본 논문에서 운영된 시스템의 전체적인 구성 모형도이다.

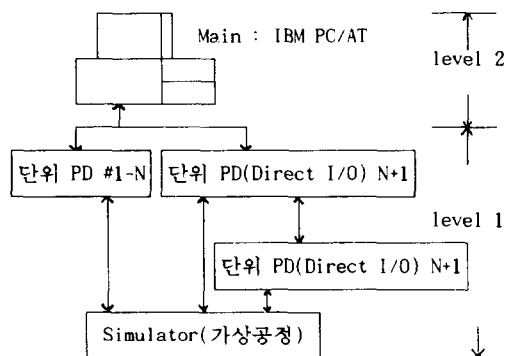


그림 3. 시스템 구조
Fig. 3. Structure of system.

그림 3에서 호스트인 IBM PC/AT는 주스태이션의 접속보드를 장착하게 되며, 각각의 PD(programmable device)에는 부스태이션을 제어하는 mini-board가 설치되고 이런 mini-board들의 각 포트에는 가상공정의 입출력 장치가 접속될 수 있다.

1. 하드웨어 구성

하드웨어의 구성은 크게 호스트인 IBM PC/AT와 주스태이션 그리고 주스태이션과 부스태이션로 나누어 생각한다.

첫째로, IBM PC/AT와 마스터의 역할을 하는 주스태이션간에는 실시간 구축을 위해 PC의 주변 시리얼 입출력 장치를 사용하지 않고 두개의 버퍼를 사용하여 병렬로 데이터가 전송되도록 하였다.

다음 그림 4는 호스트 컴퓨터와 주스태이션간의 하드웨어 블럭도 이다.

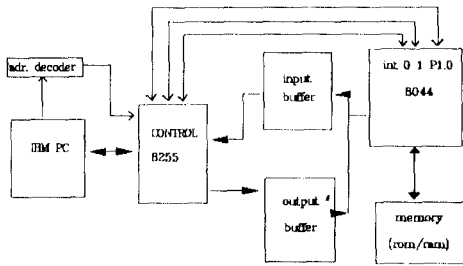


그림 4. IBM PC/AT와 주스태이션의 하드웨어 블럭도

Fig. 4. Hardware block diagram of IBM PC/AT and primary station.

이때, 마스터 부분을 제어하기 위해서 사용된 프로세서는 I8044를 사용하였다. 이 프로세서는 비트 버스방식으로 데이터의 송수신이 이루어진다. 또한 SIU(serial interface unit)는 고속의 데이터 통신을 가능하게 하는 자동모드(auto mode)의 기능이 있으며 실제적인 throughput을 계산할 경우에 프로세서의 처리 시간을 단축시킨다.

여기서 auto mode는 CPU가 현재에 입출력되는 PD의 입력값이나 상태를 감시하고 있으며, SIU는 CPU의 간섭없이 HDLC 절차를 수행하게 되므로, 처리시간이 감소되며, 실시간 처리에 효과적인 모드이다.

물리계층의 표준화 규격인 RS-485 인터페이스 부분은 전류 구동 드라이버이며 differential 방식인 SN75176 IC를 사용하였고, 전송 케이블은 산업용 네트워크에 적합한 twisted pair를 사용하였다.

프로그램 메모리는 256KB를 가지며 데이터 메모

리는 64KB로 구동 프로그램에서의 지역 및 전역변수를 저장한다.

둘째로, 주스태이션과 부스태이션간에는 멀티포인트 방식으로 접속하여 주스태이션이 마스터가 되고 부스태이션이 슬레이브가 되는 형태로 하였다. 부스태이션은 버스상에 최대 256개까지 가능하고 이들 부스태이션에 실제의 단위 제어기들이 접속되게 된다.

본 네트워크의 가상공정은 다음과 같은 형태이다. 부스태이션 1은 가상 공정을 제공하기 위해 8개의 ON-OFF가 있는 디지털 입력장치로 설계 되었으며, 부스태이션 2은 ON-OFF 디지털 출력 장치로 되어 있고, 그리고 부스태이션 3은 8bit의 아날로그 입력 장치로 되어 있다.

2. 소프트웨어의 구성

호스트는 응용 계층의 네트워크 접속을 위한 모듈들을 가지고 있으며, Turbo-C를 사용하여 작성하였다. 주스태이션과 부스태이션과의 소프트웨어는 Archimedes C-51 cross compiler kit로 작성되었으며, 이의 주된 모듈은 초기 통신 모드 설정부분, 어드레스 설정부분, 프로토콜 초기화 설정부분, 에러 감지 및 회복 기능, 입출력 초기화 부분, 인터럽트 설정부, 핸드셰이킹 방식의 데이터 입출력 부분 등으로 구성되어 있으며 대표적으로 호스트에서 주스태이션에 데이터를 전송할 경우의 순서도를 그림 5에 나타내었다.

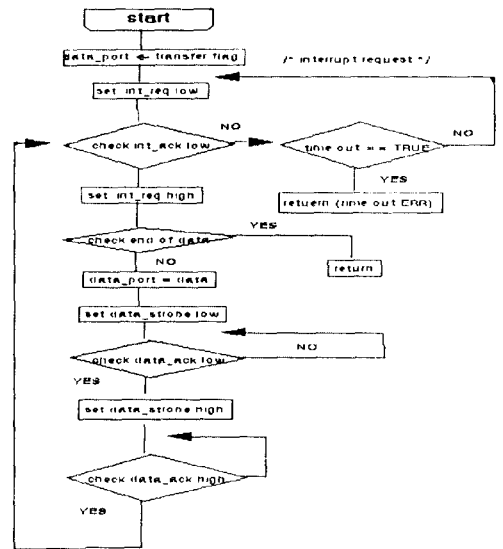


그림 5. PC->I8044 데이터 전송시 동작 순서도
Fig. 5. Flowchart of PC->I8044 data transmission.

한편, 주스테이션은 각 부스테이션의 상태와 데이터를 저장하는 데이터 베이스를 가지고 있다. 이때, 주스테이션은 링크 액세스, 링크 레벨 에러 회복, 정보의 흐름제어등의 기능을 가지도록 했다. 각각의 부스테이션은 HDLC 프로토콜에 의해 명령(poll)과 응답(final)의 통신 절차로 이루어 진다. 이 부스테이션은 두가지의 상태, NRM(normal response mode)과 NDM(normal disconnect mode)를 가질 수 있다.

그림 6은 구현된 데이터링크계층의 소프트웨어 모듈에서 HDLC 프로토콜에 대한 부스테이션의 상태를 나타내는 상태 다이어그램이다.

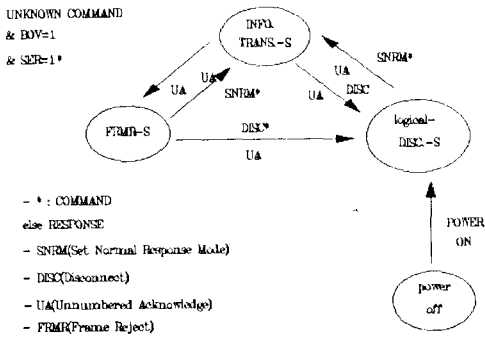


그림 6. 부스테이션의 상태도
Fig. 6. State diagram of secondary station.

여기서 *로 표시된 부분은 주스테이션이 보내는 명령에 해당되고, *표시가 없는 부분은 주스테이션에 대한 부스테이션의 응답에 해당된다.

이 상태도에 따른 동작은 다음의 표1로 나타 낼 수 있다.

표 1. 부스테이션의 상태 전이와 응답
Table 1. State transition and response of secondary station.

부스테이션 상태	Incoming프레임	다음 상태	응답
NDM	DISC	NDM	UA
NDM	SNRM	NRM	UA
NDM	Other	NDM	FRMR
NRM	Information	NRM	RR, RNR, I
NRM	RR	NRM	RR, RNR, I
NRM	RNR	NRM	RR, RNR
NRM	I, RR, RNR	NDM	FRMR
NRM	Other	NDM	FRMR

한편 링크 레벨의 타이머를 사용할 경우도 존재할 수 있는데, HDLC 타이머는 2가지의 타이머 T1, T2를 사용한다.

T1는 주스테이션이 P(poll)비트를 발생시키고 응답이 주어진 시간안에 수신되는가를 조사한다. 이 기능은 T1 타이머에 의해 제어되는 것으로써, 'F (final) 타임-아웃(time-out)'을 기다리는 시간을 말한다. T2는 ARM(asynchronous response mode)에서 정보 프레임이 발생되고, 주어진 시간안에 응답이 수신되었는가를 조사한다. 이 기능은 T2 타이머에 의해 제어되는 것으로써, 'N(R) 타임-아웃'을 기다리는 시간을 말한다. 그러나 ARM는 거의 사용되지 않기 때문에 T1 타이머를 대부분 사용한다.

다음 그림은 NRM에서 주스테이션 타임-아웃 기능을 설명하는 상태 다이어그램이다.

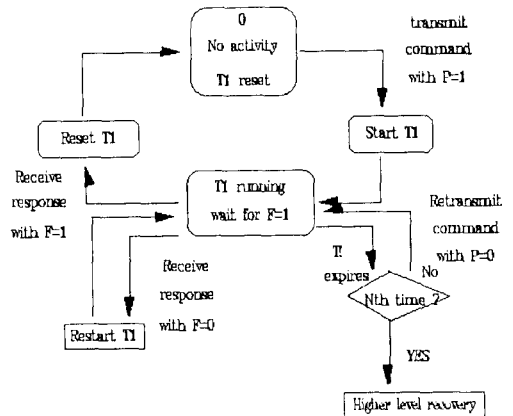


그림 7. HDLC T1 타이머 상태 다이어그램
Fig. 7. HDLC T1 timer operations state diagram.

그림 7에 대해서 T1 동작은 다음과 같이 설명될 수 있다. 명령이 P=1로 보내어질 때 T1은 start하고, 응답이 F=0로 수신될 때 T1은 restart한다. 응답이 F=1로 수신될 때 T1을 0으로 reset한다. T1이 벗어나게 되면, P=1인 명령이 재전송된다.

V. 네트워크 운영과 시뮬레이션 결과 및 검토

제 II장에서 설계된 접속 모듈의 모델 공정 운영은 호스트로 사용된 PC에서 구현된 응용 프로그램으로

수행하며, 접속 모듈의 인터페이스 보드는 기본적인 기능을 롬(ROM)화 하였고, 부스태이션의 어드레스 설정은 외부에 스위치를 통해 이루어 진다. 설계된 시스템의 시범 운영은 호스트 사용자가 원하는 스테이션을 선택하게 되면, 입력/출력이 결정되고, 입력인 경우에는 원하는 데이터를 기입한다. 다음으로 호스트는 주스태이션에 외부 인터럽트를 발생시킨다. 이때 주스태이션은 반복적인 부스태이션에 대한 폴링을 마치고 호스트로 부터 데이터를 받아 데이터 베이스에 저장하게 되며, 그것이 끝나게 되면 즉시 폴링을 개시하여 HDLC 절차에 의해 부스태이션과 통신을 시작하게 된다. 입력인 경우에는 각 부스태이션의 가상 단위 제어기기의 가장 최근의 입력 데이터를 디스플레이 하게되고, 현재의 부스태이션 상태를 디스플레이 하게 된다. 멀티포인트 configuration에서 주스태이션은 폴링해야 될 부스태이션의 어드레스를 어드레스 레지스터에 세팅하게 되며, 부스태이션은 매번 동기신호의 감지와 자신의 어드레스가 프레임에 있는가를 확인한다.

사용자의 응용 프로그램에서 대표적인 기능들은 다음과 같다.

- INTO_REQ() : 주스태이션에 인터럽트 요구
- HAND_SH_TR() : 데이터 전송을 위한 핸드셰이킹
- DATA_READ() : 주스태이션으로 부터 데이터 입력
- DIS_MAIN BAR() : 단위 제어기기의 상태 표시
- PORT INIT() : 포트 초기화

제 III 장에서 해석된 파라미터들인 메시지 길이 l ,

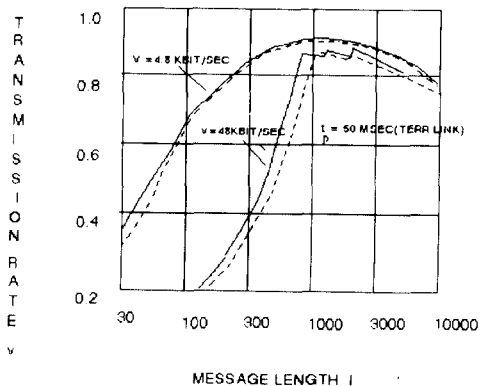


그림 8. 메시지 길이당 throughput 효율 (전송율)
Fig. 8. Throughput efficiency per message length (transmission rate).

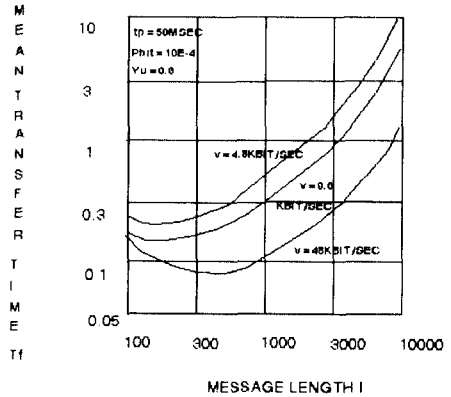


그림 9. 메시지 길이당 throughput 효율 (처리시간)
Fig. 9. Throughput efficiency per message length (processing time).

전달지연과 처리시간의 합 t_p , 모듈 M , 전송율 v , 그리고 비트 에러 확률 P_{bit} 에 대한 파라미터를 사용하여 HDLC 링크에 대한 throughput 특성에 대한 시뮬레이션 결과를 그림 8 과 9에 나타냈다. 본 논문에서는 전송율 v 는 소프트웨어적으로 세팅할 수 있는 실제의 전송속도이며, 처리시간은 auto mode 기능이 있으므로 가변 파라미터이다.

그림 8, 9에서 첨예할 부분의 급격한 변화는 원도우폭이 증속될 경우에서 독립적일 때로 변하는 순간을 나타낸다.

그림 8은 본 시스템이 가지고 있는 각각의 전송율에 대해서 메시지 길이를 변경하면서 throughput를 보여주고 있다. 짧은 메시지에 대해서는 throughput가 낮다는 것을 알 수 있는데 이것은 $M=8$ 에 대해 flag, address, control, 그리고 sequence checking bit로 인한 오버헤드가 크기 때문이다.

메시지 길이가 큰 경우에는 상대적인 오버헤드는 감소하지만, 블록 에러 확률은 증가한다. 그림 9는 각 처리 시간에 대해 메시지 길이를 변경하면서 throughput를 변화를 보여주고 있다. 같은 메시지 길이에 대해서 프로세서 처리 시간이 짧으면 throughput가 증가하고 있음을 알 수 있다. 이 사실로 부터 본 네트워크 시스템의 프로세서가 auto mode를 가지고 있기 때문에 throughput.효율을 향상시킨다는 것을 알 수 있다.

VI. 결론

컴퓨터 통합 생산 방식으로 생산공정의 자동화를

구축하기 위해서는 산업용 네트워크의 도입이 필요하다. 특히 중소 규모의 생산 공정에서 분산된 단위 제어기기의 제어하는 간이 자동화 시스템 구축을 위해서는 일반적으로 많이 사용하는 IBM PC/AT 를 활용한 실시간 네트워크 운영이 요구되고 있다.

본 논문에서는 Mini-MAP 구조를 기반으로 데이터링크 계층을 HDLC 프로토콜로 하였으며 메시지 길이, 전달지연과 처리시간의 합, 모듈의 크기, 전송율, 그리고 비트 에러 확률에 대한 파라미터를 설정하여 throughput에 대한 시뮬레이션을 수행하였다. 또한 분산된 제어기기의 실시간 처리를 위하여 생산 자동화 프로토콜 계층중에서 물리계층, 데이터 링크 계층, 그리고 응용계층을 기반으로 하는 Mini-MAP 구조를 적용하여 실시간 접속 네트워크 시스템 보드를 설계하고 운영하였다.

IBM PC/AT를 기본으로 하여 설계된 산업용 네트워크 접속 모듈에서 데이터 링크 계층의 중요한 프로토콜인 HDLC 절차를 제어하는 소프트웨어 모듈을 설계하였다. 또한 가상공정을 설정하여 운영함으로써 간이 자동화 시스템을 적은 비용과 국제 표준화에 근거한 간단한 분산 처리 시스템을 구성할 수 있음을 보였다.

또한 성능에 있어서 소프트웨어적인 전송속도의 결정을 가변적으로 할 수 있는 장점과 함께 auto mode로 인해 처리시간의 감소로 설계된 네트워크의 throughput 향상을 보임을 알 수 있었다.

參 考 文 獻

[1] Henrik A. Schutz. "The Role of MAP in Factory Integration." *IEEE Trans. Ind.*

Electron., vol.35, no.1, Feb. 1988.
 [2] Alfred C. Weaver and Catherine F. Summers. "The IEEE Token Bus - A Performance Bound on GM MAP." *IEEE Trans. Ind. Electron.*, vol.35, no. 3, Feb. 1988.
 [3] Vincent C. Jones. *MAP/TOP*, Macgraw-Hill, 1990.
 [4] Werner Bux, Karl Kummerle, and Hong Lith Troung. "Banlanced HDLC Procedure : A Performance Analysis." *IEEE Trans. Comm.*, vol. 28, no.3, Nov. 1980.
 [5] 石永正實, 鈴木政吉. RS485 ト "라이브" /레오포" の特性 と應用 回路 設計, 電子技術, 1987. 4.
 [6] Black. *OSI. A model for Computer Communications Standards*, Prentice-Hall, 1991.
 [7] Anura P. Jayasumana and Geetha G. Jayasumana. "On the Use of the IEEE 802.4 Token Bus in Distributed Real-Time Control Systems." *IEEE Trans. Ind. Electron.*, vol.36, no.3, Aug. 1989.
 [8] Peter D. Macwilliams. *Serial Bus Simplifies Distributed Control*, Control Engineering, June. 1984.
 [9] Young Sohn and Charles Yager. *Network with 8044*. Intel, 1984.

著者紹介



朴南洙(正會員)

1991年 단국대학교 전자공학과 졸업(공학사). 1993年 2月 단국대학교 전자공학과 공학석사 학위취득. 1993年 한국전자통신연구소 지상 시스템 1실 연구원. 주관심 분야는 컴퓨터네트워크, 영상처리, 뉴로퍼지 등임.

리, 뉴로퍼지 등임.



李相範(正會員)

1951年 2月 3日生. 1974年 2月 연세대학교 전자공학과 졸업. 1978年 8月 서울대학교 대학원 전자공학과 공학석사. 1986年 2月 연세대학교 대학원 전자공학과 공학박사. 1983年 10月 ~ 1984

年 12月 미국 IOWA 대학 컴퓨터공학과 객원교수. 1979年 ~ 1992年 단국대학교 전자공학과 교수. 1993年 ~ 현재 단국대학교 컴퓨터공학과 교수 주관심분야는 컴퓨터구조, 마이크로 프로세서 응용, 영상처리 시스템 등임.

金正鎬(正會員) 第 29卷 B編 第 12號 參照

현재 한국전자통신연구소 책임연구원