

論文93-30A-8-10

0.3 μm 급 Inverse-T Gate 모스와 LDD모스의 전류구동력 및 신뢰성 특성 비교

(Characterization of Current Drivability and Reliability of 0.3 μm Inverse T-Gate MOS Compared with Those of Conventional LDD MOS)

尹昌周*, 金千洙*, 李鎮浩*, 金大容*, 李振孝*

(Chang Joo Youn, Cheon Soo Kim, Jin Ho Lee, Dae Yong Kim and Jin Hyo Lee)

要約

본 논문에서는 0.3 μm 급의 Inverse-T Gate MOS(ITMOS)와 Conventional Oxide Spacer Lightly Doped Drain (LDD)MOS를 제작하여 전기적인 특성을 비교하였다. 게이트 길이가 0.3 μm 인 ITMOS소자의 문턱전압은 0.58V이고, LDDMOS소자는 0.60V이었다. Subthreshold Slope 특성은 두소자 모두 85mV/decade를 나타내었다. $V_{ds}=V_{gs}=3.3\text{V}$ 에서 측정된 최대 전달컨덕턴스(Transconductance)는 ITMOS가 180mS/mm이고, LDDMOS가 163mS/mm이었다. GIDL 전류는 ITMOS는 0.1pA/ μm 이고 LDDMOS 소자에서 0.8pA/ μm 이었다. 드레인전류의 함수로 측정된 ITMOS의 기판전류는 LDDMOS보다 2.5배 작은 값을 얻었다.

Abstract

We fabricated 0.3 μm gate length inverse-T gate MOS(ITMOS) and conventional lightly doped drain oxide spacer MOS(LDDMOS), and studied electrical characteristics for comparison. Threshold voltage of 0.3 μm gate length device was 0.58 V for ITMOS and 0.6V for LDDMOS. Measured subthreshold characteristics showed a slope of 85mV/decades for both ITLDD and LDDMOS. Maximum transconductance at $V_{ds}=V_{gs}=3.3\text{V}$ was 180mS/mm for ITMOS and 163mS/mm for LDDMOS respectively. GIDL current was observed to be 0.1pA/ μm for ITMOS and 0.8pA/ μm for LDDMOS. Substrate current of ITMOS as a function of drain current was found to be reduced by a factor of 2.5 compared with that of LDDMOS.

1. 서론

* 正會員, 韓國電子通信研究所 半導體團 素子構造
研究室
(Device Structure Section, Device Dept.
Semicon. Tech.Div. ETRI)
接受日字 1993年 1月 21日

고집적 기억소자의 발전에 따라 모스 소자를 Scaling-down시켜 제작 하기 위해서는 소스, 드레인, 게이트 구조를 최적화시키고, 기판내에 필요한 곳에 부분적으로 농도를 제어할수 있는 기판기술

(Substrate Engineering)이 필요하다. 특히 소자의 게이트 길이가 짧아지고, 게이트 산화막이 얇아 짐에 따라 짧은 채널 효과, Punchthrough 문제, 소자의 신뢰성이 심각해지고, 이를 개선하기 위해 기관기술이 더욱 중요해진다. 기관기술을 이용하여 제작한 소자가 보고된 바는 있지만^[1], 실제 소자 제작에 기관기술을 적용하기는 어려움이 많다. 따라서 Deep-Submicron 소자 제작에 있어서도 기존과 같이 드레인 기술 측면에서 구조최적화를 통하여 신뢰성을 증가시키고, 소자 열화를 억제하여 소자를 제작하는 추세이다. 게이트 길이가 1um 정도인 소자에서는 Breakdown전압과 Hot Carrier에 대한 신뢰성을 증가시키기위해 채널(Channel)내에 n- 지역을 형성시킨 LDD(Lightly Doped Drain)구조를 사요하였다. 다음 세대로 게이트 길이가 0.4um 내려가면 LDD지역을 기관농도 보다 높게 감싸는 Halo 또는 Pocket 구조를 채택하여 Punchthrough전압을 높이고 채널변화에 대한 문턱전압 변화를 억제하여 신뢰성 있는 소자를 제작하였다.^[2] 그러나 이 기술도 게이트 길이가 0.3um정도 되는 Deep Submicron으로 내려가면 LDD구조에 의한 기생 저항의 증가로 인한 전류 구동력의 감소되고, 짧은 채널에 의한 채널내의 전계의 증가로 Hot Carrier에 대한 신뢰성이 감소되어 한계에 도달한다. 이를 극복 하기 위해 n-지역 즉 LDD지역 위로 의도적으로 게이트를 중첩(Overlap)시키거나 n-지역을 게이트 아래로 들어 가도록 만드는 게이트 기술을 첨가하여 GOLD(Gate Overlap Drain)구조로 소자를 제작하면 신뢰성 및 전류구동력을 확보 할수 있다.^[3,4] 이 게이트 중첩구조는 이미 게이트 길이가 0.8um정도인 Mitsubishi 1M DRAM 제 3세대에서 이미 실용화 되었고 0.3um급이하 소자에서도 신뢰성이 좋으므로 여러 Maker에서도 실용화를 검토하고 있다.^[5] 게이트 중첩구조는 만드는 방법에 따라 1) LATID(Large-Tilt Angle Implanted Drain)^[6], 2) ITMOS(Inverse-T Gate)^[4]로 분류할 수 있다.

LATID구조는 n 지역을 게이트 아래에 이온주입으로 형성시킨 구조로 이온주입각을 변화시킬 수 있는 장치를 가진 이온 주입기(Ion Implantor)를 이용한다. 즉 특수한 이온 주입기를 사용함으로 드레인 기술에 새로운 공정자유도를 제공하는 편리함 때문에 앞으로 차세대 소자는 이런 장치로 제작 될 것으로 보인다. 반면에 기관 방향을 정하는 특수한 장치가 필요하며, 기관 방향에 따라 주입농도(Doping Profile)가 변할 수 있다. 또 게이트 산화막을 통하여 직접 이온을 주입 시키므로 게이트산화막과 계면

에 포획된 전하에 의해 소자의 신뢰성에 영향을 줄수 있는 가능성도 있다.

ITMOS구조는 특별한 이온 주입기를 사용치 않고 기존의 공정을 사용하여 만들 수 있으므로 많은 연구가 진행 되었다. 반면 게이트 형성시 n-지역을 중첩시키기 위한 다른 공정을 첨가 함으로 LATID에 비해 공정이 복잡한 단점이 있다. ITMOS제조 방법중에서 게이트 형성시 이온 식각(Reactive Ion Etching)시간을 적절히 조절하여 게이트 중첩부분을 남기고 산화막 Spacer를 먼저 형성한 후 나머지 폴리 부분을 식각하여 Inverse-T게이트구조를 만드는 공정이 가장 간단한 제작방법으로 제안되었다.^[7] 그러나, 이 방법은 이온 식각의 공정 특성 때문에 중첩된 부분을 균일하게 만들수 없다는 단점이 있으므로 이를 해결하기 위해 게이트 사이에 적절한 Etching Stop Layer(SiO₂, TiN, etc.)를 삽입하여 중첩된 부분의 두께를 균일하게 하는 방법이 제안되었다.^[4] 이외에도 불안정한 폴리 게이트 식각 대신에 게이트를 중첩시켜기 위해 선택적으로 폴리실리콘을 성장시켜 n-지역과 게이트를 중첩시켜는 제조 방법도 제안되었다.^[8]

이런 중첩구조를 가진 소자들은 단순한 LDD구조에 비해 제조공정이 복잡하지만 소자의 전류구동력(Current Drivability)및 신뢰성(Reliability)이 좋으므로 앞으로 Deep Submicron소자에 적용이 늘어날것으로 보인다.

따라서 본 연구에서는 이 소자의 특성을 이해하기 위해 Simulation을 통하여 ITMOS소자의 전기적인 특성을 파악하고, Quarter Micron급의 ITMOS를 게이트 형성시 이온 식각 시간을 적절히 조절하여 Inverse-T구조를 제작하고 같은 공정조건으로 제작한 보통의 LDDMOS소자와 전류구동력 및 신뢰성 측면에서 두 소자를 서로 비교 분석하고자 한다.

II. 실험 방법

결정 방향이 (100) 이고, 비저항이 1-5 Ohm.cm 인 P형 5인치 실리콘 기판을 소자 제작에 사용하였다. 공정 순서는 보통의 NMOS공정과 같으며, 폴리실리콘 게이트는 전자선 노광장비(EBML 300, Leica, Co)를 이용하여 직접 묘사하고 다른 노광은 g-line의 광스태퍼를 사용하는 Mix & Match 방식으로 소자를 제작 하였다.

특히 전자선 노광시 패턴의 크기에 따라 전자선 주입양(Dose)을 적절히 조절해야 하는 어려움 때문에 기초실험을 통하여 0.1um-1.2um패턴에 대하여 주

입량을 3uC/CM2에서부터 12uC/cm²까지 변화시키면서 선폭에 따른 적절한 주입량을 구하여 노광하였다.

대체적인 소자제작 순서는 그림 1에 보인것과 같으며 게이트 산화막의 두께는 900℃에서 80 Å, 100 Å 두께로 성장시켰다. 문턱전압을 맞추기 위해 BF₂를 30KeV로 3×10¹² atms/cm²만큼 이온주입을 실시하고, Punchthrough특성을 향상 시키기 위해 붕소(B) 이온을 기판에에너지 80KeV로 5.5×10¹² atms/cm²만큼 이온주입을 실시하였다.

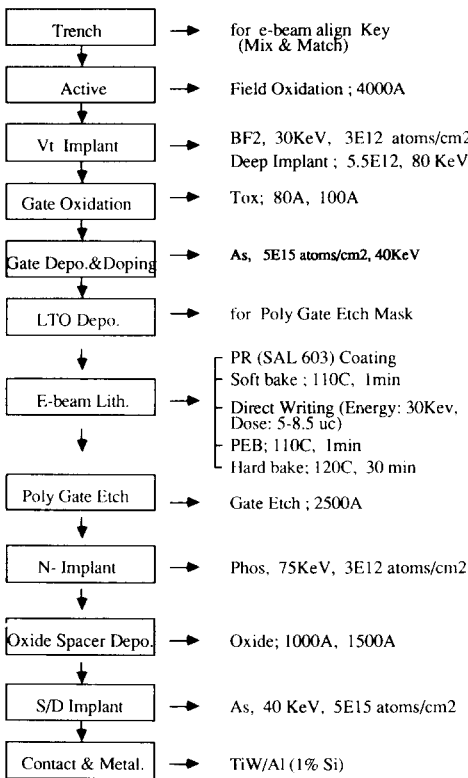


그림 1. Inverse-T게이트 모스소자 제작 공정 흐름도

Fig. 1. Process Sequence for Inverse-T Gate MOS.

게이트는 폴리 실리콘 300nm을 증착한후 비소(As)이온을 에너지 70KeV로 5E15 atms/cm²이온 주입 하였다. 그위에 LTO(Low Temperature Oxide) 산화막을 100nm 증착한후 SAL603 레지스트(Resist)를 도포하여 전자선으로 게이트를 정의한

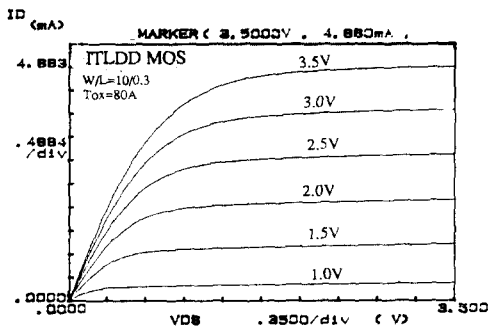
후 산화막을 식각하였다. 다음에 이 산화막을 마스크로 하여 이온식각하여 게이트를 형성하였다. ITMOS 제조공정에서는 n-지역과 중첩부분을 형성하기 위해 게이트형성시 식각시간을 조절하여 250nm까지 식각하고 두께 50nm 폴리실리콘을 남긴후 인(Phos)을 70KeV로 3×10¹³ atms/cm²이온주입하여 n-지역을 형성하였다. 그후에 LTOX 산화막을 각 100nm, 150nm 증착한후 RIE식각으로 Spacer를 형성한 후 나머지 두께 50nm 폴리실리콘을 식각하였다. 폴리 게이트를 850C에서 20분 동안 산화시킨후 n'소스와 드레인을 형성 시키기위해 비소를 40KeV로 5×10¹⁵ atms/cm²로 이온주입하였다. 다시 900C로 30분 동안 열처리한 후 LTO산화막을 600nm 증착한 후 Contact을 열고 확산 방지용으로 TiW을 50nm증착 후 알루미늄(Al 1% Si)을 800nm 증착하여 Alloy한 후 소자제작을 완성하였다.

측정에 사용한 소자의 마스크 상의 게이트 길이(L)는 0.2, 0.3, 0.5, 0.8, 1.0, 1.2, 4.0um이고 채널 폭은 모두 10um이다. 게이트 패턴 후에 SEM측정에 의하면 선폭이 0.05um정도 더 길어져 있었다. 소자의 전기적인 측정은 HP4145B, HP4273을 사용하여 측정하였다.

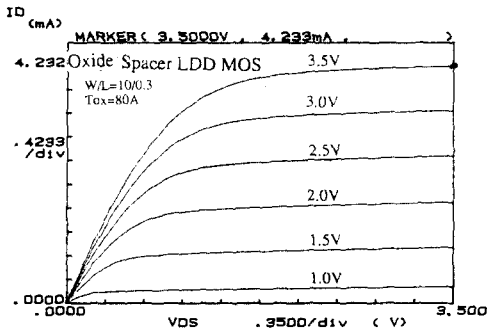
ITMOS소자의 채널 내의 전기적인 특성은 Simulation통하여 조사하였으며, 사용한 기구(Tool)로서는 공정및 농도 분포에 2D Simulator인 SUPREM IV을 사용하였고, 이 결과를 PISCES-2B에 넘겨 전기적인 특성을 조사하였다.

III. 결과 및 고찰

그림 2는 게이트 길이 0.3um에 대한 ITMOS와 LDD(Oxide Spacer LDD)MOS소자의 전류및 전압 특성을 나타낸 것이다. 그림 2에 보인것 처럼 게이트 길이 0.3um에서 드레인 전류는(V_{gs}=V_{ds}=3.5V) ITMOS에서 4.880mA, LDD에서는 4.232mA로 ITMOS가 15%이상 크게 나타난다. 소자구조에 따라 문턱전압이 달라 드레인 전류는 직접 비교치가 될 수 없으므로 게이트 전압당 드레인 전류를 비교하는 전달컨덕턴스(Transconductance)를 그림 3에 나타내었다. 즉 게이트 길이 0.3um에서 전달 컨덕턴스는 ITMOS가 180mS/mm이고 LDD MOS는 163mS/mm로 측정되었다. 이와같은 전류의 증가는 ITMOS의 경우 n-지역을 중첩시키므로 수직 전계의 증가에 의한 기생저항의 감소에 기인한 것이다. 이를 보이기 위해 그림 4에 소스드레인 저항(Rsd)을 게이트 Over-drive전압으로 측정하여 나타내었다. 그림



(a) ITLDD소자의 전류 및 전압특성 (L/W=0.3 $\mu\text{m}/10\mu\text{m}$)



(b) LDD 소자의 전류 및 전압특성 (L/W=0.3 $\mu\text{m}/10\mu\text{m}$)

그림 2. ITLDD MOS와 LDD MOS소자의 전류 및 전압특성

Fig. 2. I-V Characteristics of ITLDD MOS and LDD MOS.

에서 보면 ITMOS소자가 LDD소자보다 소스드레인 저항이 평균 80Ohm정도 적음을 알 수 있다. 특히 n-지역의 전자밀도는 게이트 및 드레인 전압에 변화에 민감하게 변하는데 이 관계를 Simulation을 통하여 분석하여 보면 ITMOS경우는 중첩부분의 수직전계에 의하여 n-지역에 Accumulation이 형성되어 기생저항이 줄어드는데 비해 LDD구조의 n지역은 전하가 공핍된 상태로 남아있게 된다. 그림 5에 게이트와 드레인 전압에 따른 n 지역의 전자 농도를 Simulation하여 나타내었다.

그림에 보인것처럼 드레인 전압 증가에 따라 ITMOS는 소스근방의 n-지역의 전자농도가 $3.5 \times$

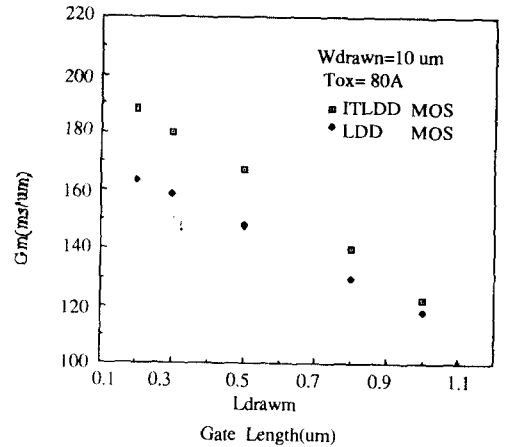


그림 3. 채널길이에 따른 ITLDD 모스 소자 및 LDD모스 소자의 최대 트랜스컨덕턴스값

Fig. 3. Peak Transconductance of ITLDD MOS and Oxide Spacer LDD MOS Versus Gate Length.

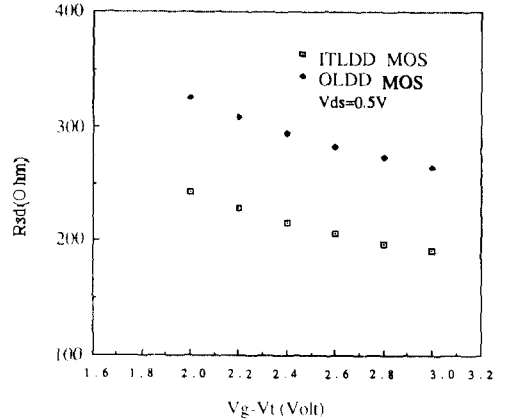


그림 4. 게이트 드라이브전압에 대한 소스/드레인 저항변화 ITLDD 모스가 LDD모스보다 소스/ 드레인 저항이 평균 80 Ohm 적게 관측된다

Fig. 4. The Source/drain resistence vresus gate overdrive of an ITLDD MOS and Oxide Spacer LDD MOS. A80 Ohm reduction in series resistance is osverved in ITLDD MOS.

10^{19} Electrons/cm³로 높은데 비하여 LDDMOS의 경우는 드레인 전압에 상관없이 공핍된 상태로 남아 있게 되어 그림 4의 측정값에 보인것처럼 ITMOS에

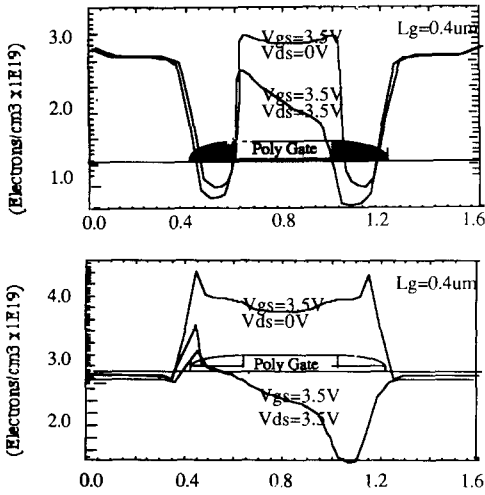


그림 5. ITLDD와 LDD모스에 대해 드레인 전압의 변화에 따라 시뮬레이션으로 계산한 채널 전자밀도 변화

Fig. 5. Simulated Channel Electron Concentration for both Oxide Spacer LDD MOS and ITLDD MOS.

비해 기생저항이 크게 나타난다. 따라서 전류 구동력 측면에서 두 구조를 비교하여 보면, 게이트를 n-지역에 중첩시킨 ITMOS구조가 수직 전계의 증가로 인해 n-지역에 전자 농도가 증가되어 전류 구동력이 커짐을 알 수 있다. 그림 5에 보인것처럼 드레인 전압이 증가함에 따라 드레인의 기생저항 보다 소스의 기생저항 R_s 가 감소 됨으로 전류 구동력이 증가하게 되는데 전달 컨덕턴스와 관계지어 다음과 같이 주어진다. [9]

$$G_m = (C_{ox} W V_s) / (1 + C_{ox} W R_s)$$

여기서 C_{ox} 는 산화막 캐퍼시턴스, W 는 채널폭, V_s 는 전자포화속도, R_s 는 소스 기생저항 등을 나타낸다. 즉 R_s 감소는 전류 및 전달컨덕턴스의 증가를 가져온다. 이상에서 보인것 처럼 전류구동력을 증가시키기 위해 n-지역을 중첩시키는 것이 유리한데 그림 3에 의하면 게이트 길이 0.2um에서 ITMOS의 전달 컨덕턴스는 LDD구조 보다 18%이상 크며 게이트 길이가 짧아짐에 따라 전달 컨덕턴스가 더 증가됨을 보이므로 소자가 Deep Submicron으로 Scale-down 될수록 게이트 중첩구조가 유리함을 알수 있다.

그림 6은 게이트 길이 0.3um ITMOS소자를 드레인 전압 0.1V와 3.3V에서 측정한 Subthreshold 전류를 나타내고 있다. 그림 6에 보인것 처럼

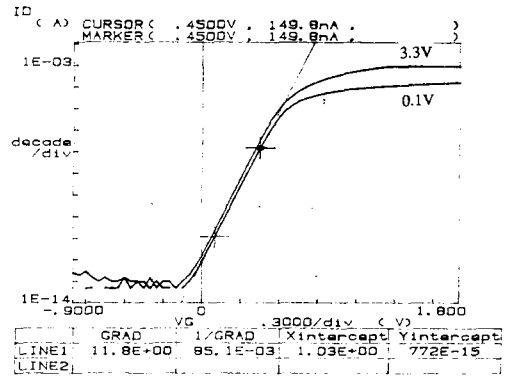


그림 6. 0.3um ITMOS 소자의 subthreshold 전류-전압 특성

Fig. 6. Subthreshold I-V characteristics at $V_{ds}=0.1V$ and $V_{ds}=3.3V$ for the 0.3 um ITMOS.

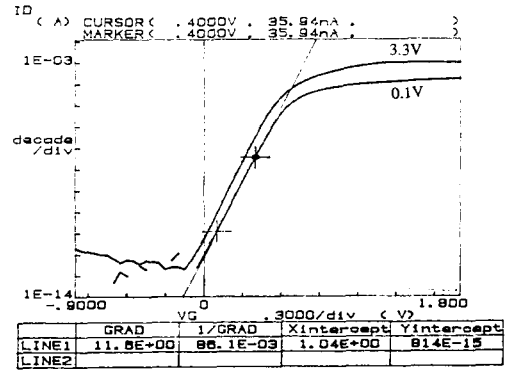


그림 6. 0.3um LDD 소자의 subthreshold 전류-전압 특성

Fig. 6. Subthreshold I-V characteristics at $V_{ds}=0.1V$ and $V_{ds}=3.3V$ for the 0.3 um LDDMOS.

Subthreshold 기울기는 85mV/decade이고, 드레인 전계에 의한 소스의 포텐셜 높이의 감소인 DIBL (Drain Induced Barrier Lowering)은 30mV였고, 드레인 전압 3.3V이고, 게이트 전압이 0V일때 누설전류는 0.1pA/um정도 양호함을 알수 있다. 그림 7은 LDD소자를 같은조건에서 Subthreshold전류 특성을 나타낸것으로 Subthreshold기울기는 85mV/decade로 ITMOS와 같고, DIBL은 120mV로 ITMOS보다 다소 높게 나타난다. 게이트 전압이

Turn-off전압일때 누설전류는 0.8pA/um 정도로 ITMOS에 비해 높다. 또 게이트 전압이 음의 방향으로 커질수록 GIDL(Gate Induced Drain Leakage)에 의한 누설 전류가 증가함을 보이고 있다. 원인은 드레인 근방의 높은 전계가 생기는 지역에 깊은 공핍층이 형성되어 에너지 밴드가 급격히 굽어짐에 따라 가전자대(Valance Band)있던 전자가 같은 에너지 크기의 전도대로(Conduction Band)로 직접 터널링(Tunneling)하여 생긴 전류이다. 소자 Scaling에 따라 드레인 근방에 형성된 전계와 얇은 게이트 산화막에 의해 새롭게 대두된 문제로 보통 3.3V소자 동작전압에서 0.1pA/um정도를 허용한계로 보며, 그 이상의 값은 가지면 소자의 Stand-by전류를 증가시키는 원인이 된다. 본 실험에서 제작된 LDD소자는 0.8pA/um로 양호한 편이나 좀더 개선이 요구 된다.

ITMOS경우 초기에는 보통 게이트 중첩에 의한 강한 전계의 영향으로 LDD소자 보다 GIDL전류에 취약할 것으로 알려져 왔다. 그러나 본 연구에서 제작한 ITMOS는 Spacer공정후에 850C에서 20분간 산화공정을 더하여 폴리게이트를 재산화시킨후에 n형성을 위한 이온주입을 실시하여 GIDL의 원인이 되는 3×10^{18} atms/cm3정도의 높은 농도지역을 게이트와 드레인의 중첩지역에 최소화시켜 그림 6에 보인 것처럼 누설전류를 0.1pA/um허용 한계 정도로 할 수 있었다.

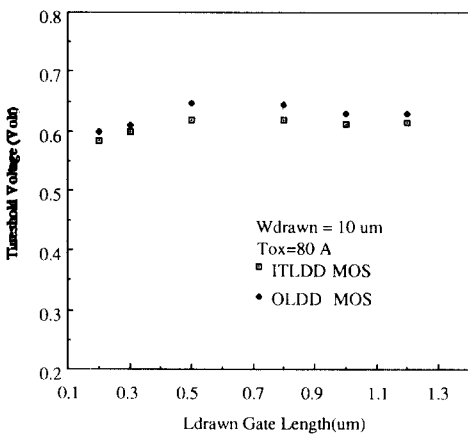


그림 8. 게이트 길이에 따른 ITLDD모스와 LDD 모스의 문턱전압변화
Fig. 8. Threshold voltage for ITLDD and Oxide Spacer LDD MOS versus Gate Length.

그림 8은 게이트 길이에 대한 문턱전압 변화를 나타낸것으로 ITMOS및 LDD MOS 모두 열처리에 의한 중도 재분포의 영향으로 Threshold전압이 채널길이에 따라 증가하는 역짧은 채널효과를 보이고 있다. 또 채널길이 0.2um에서 ITMOS가 짧은 채널효과에 덜 민감함을 보이는데 이는 n-지역 이온주입시 게이트 구조에 의한 이온 산란의 원인이거나, 중첩으로 인한 강한 수직전계로 전기적인 유효 채널길이가 늘어나는 효과에 기인한 것으로 보인다. 전기적인 유효 채널 길이는 LDD나 ITLDD와 같은 Deep Submicron소자에서는 게이트 전압에 대해 함수 관계로 명확하게 정의 되지 않으므로 본 연구에서는 정의에 따른 모호함을 피하기 위해서 모든 관계를 마스크상의 길이로 정의하였다.

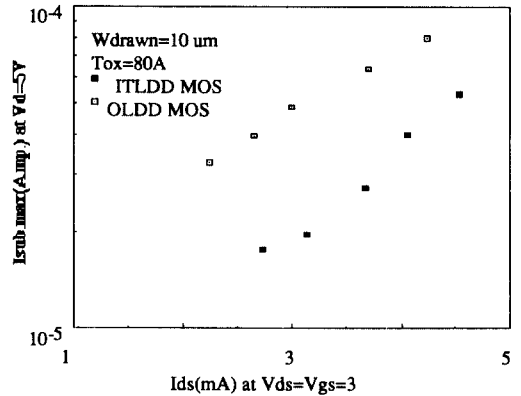


그림 9. ITLDD모스와 LDD모스의 드레인 전류에 대한 기판전류특성
Fig. 9. Substrate current as a function of the drain current for both ITLDD MOS and Oxide Spacer LDD MOS.

그림 9는 소자의 Hot Carrier에 대한 신뢰성을 알아보기 위해 기판 전류(Substrate Current)을 드레인 전류로 나타낸 것이다. 기판 전류는 드레인 전압 5V에서 측정된 최대값이고, 드레인 전류는 게이트 전압과 드레인 전압 3.5V에서 측정된 것이다. 그림에 보인것처럼 ITMOS구조가 LDD구조에 비해 같은 드레인 전류 3mA에서 보면 기판전류가 2.5배 적다. 그림 10은 기판 전류를 드레인 전압으로 표시한 것이고, 그림 11은 이온화율(Impact Ionization Ratio)를 드레인 전압으로 나타낸것이다. 이들 관계에서 보면 ITMOS구조는 n지역에 수직 전계를 강화시켜 소자의 신뢰성을 향상 시킴을 알 수 있다. 각 구조에 대한 전계를 Simulation하여 그림 12에 나

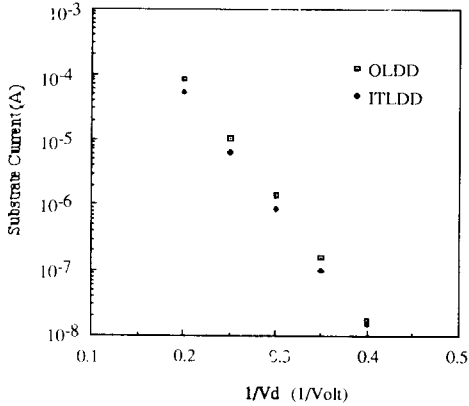


그림 10. 게이트 길이 0.3um 이고 Oxide Spacer 길이가 0.15um인 ITLDD모스와 LDD모스의 드레인 전압에 따른 기판전류
 Fig. 10. Substrate current as a function of drain voltage for both ITLDD and OLDD MOS at Lg=0.3 um and Ls=0.5 um.

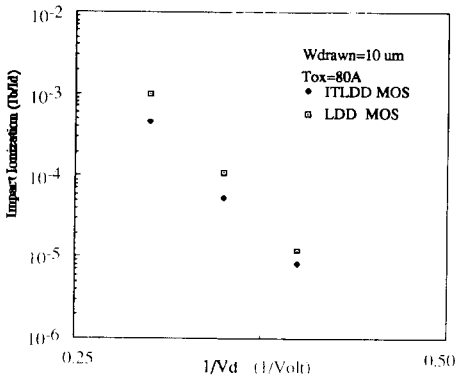


그림 11. 게이트 길이 0.3um 이고 Oxide Spacer 길이가 0.15um인 ITLDD모스와 LDD모스의 드레인 전압에 대한 충격이온화율 특성
 Fig. 11. Impact Ionization rate(Lsub/Id) as a function of drain voltage for both ITLDD and OLDD MOS at Lg=0.3 um and Ls=0.5 um.

타내었다. 그림 12에서 알수 있듯이 LDDMOS의 전계 최대값인 5.0×10⁵V/cm인 전계 피크 위치가 Spacer아래 0.11um곳에 위치하는데 비해 ITMOS에서는 같은 전계 피크 위치가 게이트 중첩아래 0.

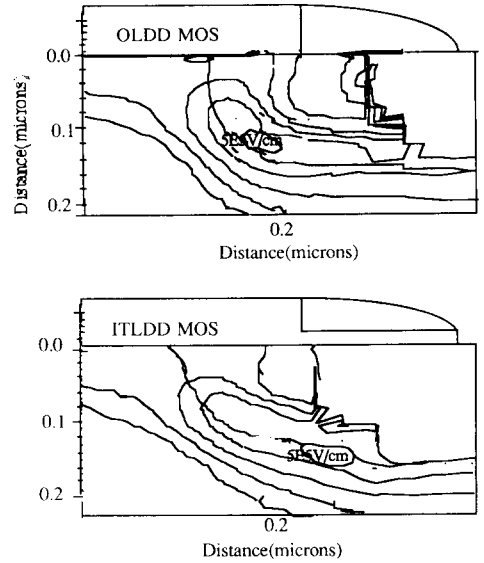


그림 12. ITLDD와 OLDD모스 소자의 시뮬레이션으로 계산한 최대전계피크 위치
 ITLDD모스는 계면으로 부터 최대피크가 멀어짐에 따라 충격이온의 영향을 적게 받음

Fig. 12. Simulated Electric Field Contour for Oxide Spacer LDD and ITLDD MOS.

Em(Maximum Electric Field) position in ITLDD MOS move into the substrate, thus push the impact ionization region into silicon substrate.

18um위치하여 충격 이온화가 일어나는 지역이 더 기판 아래 쪽에 위치하므로 Hot Carrier에 대해 유리한 구조임을 알수 있다. 또한 피크 전계의 위치도 ITMOS구조에서는 게이트 중첩아래에 위치하게 되어 게이트 전압에 의한 피크 전계조절이 훨씬 용이한 반면에 LDD구조에서는 전계 피크가 Oxide Spacer 아래에 위치함으로 상대적으로 적은 게이트전계에 의하여 피크전계 조절이 용이하지 않다. 게이트에 의한 전계조절 능력은 Spacer아래 n-지역의 포획된 전하에도 적용된다. ITMOS와 LDDMOS에서 포획된 전하에 대한 저하모드(Degradation Mode)를 살펴보면 Oxide Spacer구조에서는 Hot Carrier에 의해서 포획된 전하가 채널 전류 흐름을 계면에서 아래로 밀어내어 이 지역에 기생저항을 증가시키는 반면에 ITMOS구조에서는 게이트가 n-지역을 충분히 제어하

므로 포획된 전하에 거의 영향을 받지 않는다. 이러한 전류 Path Modulation도 Hot Carrier에 대한 소자의 신뢰성에 영향을 미치므로 n-지역을 게이트로 중첩시킨 구조가 다른 구조에 비해서 신뢰성이 향상된다.

IV. 결론

0.3 μm 급의 ITMOS소자를 전자선 노광과 광 Stepper를 이용하여 Mix & Match 방법으로 제작하여 그 특성을 비교분석하였다. 80nm의 산화막과 약 0.1 μm 정도의 접합깊이를 형성하여 0.3 μm 까지 채널효과가 거의 없는 소자 제작이 가능하였다.

ITMOS의 Subthreshold기울기는 85mV/decade 얻었고, Off-state전압에서 GIDL전류는 0.1pA/ μm 이하로 억제할 수 있었다. 기관전류가 ITMOS에서 보통의 LDDMOS소자보다 2.5배 적은 것으로 보아 Hot Carrier에 대한 신뢰성이 우수함을 알 수 있다. 따라서 DRAM의 Transfer소자 구조를 게이트 중첩으로 할 경우 신뢰성과 전류구동력에 의한 소자의 Switching속도가 개선됨으로 64M 이상 초고집적 메모리의 Transfer소자구조에 적합할 것으로 보인다.

參 考 文 獻

- [1] Okumura etc, "A Novel Source-to Drain Nonuniformly Doped Channel (NUDC)MOSFET for High Current Driveruility and Threshold Voltage Controlability", *IEDM Tech.Dig.*, p.391, 1990.
- [2] N.Rovedo and C.Codella, "Asymmetrical Halo Source GOLD Drain (HS-GOLD) Sub-helf Micron n-MOSFET Design For Reliability and Performance", *IEDM Tech Dig.*, p.617, 1989.
- [3] M.Inuishi etc, "Optimun Design of Gate/N-overlapped LDD Transistor", *Symp. VLSI Tech. Dig.*, p.33, 1989.
- [4] D.S.Wen "A Self-Aligned Inverse-T Gate Fully Overlapped LDD Devicd for Sub-Half Micron CMOS", *IEDM Tech. Dig.*, p.765, 1989.
- [5] 이병현, "반도체 기술동향및 정보 91-5", 정보통신 연구소 반도체연구단, p.24, 1991.
- [6] T.Hori "1/4 μm LATID(Large-The-angle Implanted Drain Technology for 3.3V Operation, " *IEDM Tech. Dig.*, p.777, 1989.
- [7] T.Y.Huang etc "A Novel Submicron LDD Transistor with Inverse-T Gate Structure." *IEDM Tech.Dig.*, p.742, 1986.
- [8] J.R.Pfiester etc "A Self-Aligned LDD/Channel Implanted ITLDD Process with Selectively-Deposited Poly Gates for CMOS VLSI", *IEDM Tech. Dig.*, p. 769, 1989.
- [9] T.Mizuno etc "High Dielectric LDD Spacer Tehnology For High Performance MOSFERusing Gate-Fringing Field Effects", *IEDM Tech Dig.*, p.617, 1990.

著者紹介



尹昌周(正會員)

1953年 12月 12日生. 1976年 2月
전북대학교 물리학졸업 1980年 5월
전북대학교 대학원 물리학과졸업(공학석사) 1984年 5월 미국 New Mexico대 전기과 대학원졸업(공학석사) 1987年 12월 미국 New Mexico대 전기과 대학원졸업(공학박사) 1989年 9월부터 현재 한국 전자통신연구소 선임연구원 주관심분야는 CMOS소자, Deep Submicron소자, ASIC설계 등임.



金千洙(正會員)

1959年 8月 30日生. 1982年 2월
경북대학교 전자공학과 졸업 1984
年 2월 경북대학교 대학원 전자공학과 졸업(공학석사) 1984年 2월 부터 현재 한국 전자통신연구소 선임연구원 주관심분야는 CMOS소자, MOS소자신뢰성연구 등임.



李鎭浩(正會員)

1957年 10月 6일생. 1980年 2월
경북대학교 물리학과졸업 1982年 2
월 고려대학교 대학원 물리학과 졸업(이학석사) 1982年 2월 부터 한국전자통신연구소 선임연구원 주관심분야는 CMOS공정 및 소자, DRAM Cell구조.

金大容(正會員) 현재 한국전자통신연구소 반도체단 소자개발부 소자해석연구실 실장 책임연구원

李振孝(正會員) 현재 한국전자통신연구소 반도체단 소자기술연구부 부장 책임연구원