

論文93-30A-2-8

MOS 소자의 FN 터널링 캐리어에 의한 성능저하에 관한 연구

(A Study on the Degradation Mechanism due to FN Tunneling Carrier in MOS Device)

金明燮, 朴榮俊*, 閔弘植*

(Myong Seob Kim, Young June Park and Hong Shick Min)

要約

FN(Fowler-Nordheim) 터널링 캐리어에 의한 소자 성능 저하에 대해 연구를 하였다. 양의 방향, 음의 방향 스트레스를 n-channel MOSFET과 p-channel MOSFET 소자에 준 후에 전류-전압 곡선과 문턱전압, subthreshold 기울기와 같은 소자 특성의 변화를 측정하였다. 또한, charge pumping method에 의하여 계면 상태의 변화도 측정하였다. 이러한 실험을 토대로 계면 상태의 변화가 산화막을 통과해가는 홀의 수와 게이트 산화막 내에 트랩된 전자의 수에 의해 결정된다는 것을 발견하였다. 그리고, 이 논문에서 계면 상태의 증가에 따른 소자 수명에 대한 모델을 제시하였다.

Abstract

Device degradations by the Fowler-Nordheim tunneling have been studied. The changes of device characteristics such as the threshold voltage, subthreshold slope, I-V curves have been measured after bidirectionally stressing n-channel MOSFET's and p-channel MOSFET's. Also the interface states have been directly measured by the charge pumping method. It is shown that the change of interface states is determined by the number of hole carriers tunneling the gate oxide and electrons which are trapped in the gate oxide. Also, in this paper, we propose a model for device lifetime limited by the increase of interface states.

1. 서론

MOSFET 소자의 신뢰성 저하는 주로 채널의 길이가 짧아지면서 증가하는 채널내의 전계에 의한 hot 캐리어에 의해 야기된다.^[1-3] 또한 짧은 채널 MOSFET 소자의 성능을 향상시키기 위한 방법중의 하나로 게이트 산화막의 두께를 줄이게 되면 산화막

내의 전계가 증가하여 hot 캐리어에 의한 성능 저하뿐만 아니라 FN(Fowler-Nordheim) 터널링 캐리어에 의한 게이트 산화막의 변화 및 파괴가 소자의 중요한 성능 저하의 요인이 된다.^[4,5] 따라서 이러한 FN 터널링과 이에 의한 산화막의 열화 현상을 물리적으로 이해하고 이의 구조의 의존성을 이해하는 것이 필요하다. 이러한 FN 터널링에 의한 산화막의 열화 현상은 정보를 프로그램하고 지우기 위해 산화막 안에 전하들을 주입하는 EEPROM Cell에서는 그 원리상 특히 중요하다.^[6]

FN 터널링 캐리어의 주입동안에 게이트 산화막 안에서 생기는 전하의 종류는 크게 세가지로 나눌 수

* 正會員, 서울大學敎 電子工學科

(Dept. of Elec. Eng., Seoul Nat'l Univ.)

接受日字 1992年 11月 12日

있다. 1)양의 전하, 2)음의 전하, 3)계면 상태 및 이에 의한 전하(interface charge)이다.^[7,8] 그러나 이러한 전하들의 생성 위치와 생성 메카니즘에 대해서는 아직도 논란의 여지가 있다.^[4,5,7-10] 예를 들면, FN 터널링 스트레스 시 생성되는 양의 전하는 산화막 내에서의 이온화 충돌 등에 의해 생긴 홀이 트랩된 것이라고 설명하는 이론도 있고^[5] 전자를 포획하고 있는 중성 트랩의 detrapping에 의한 것이라고 설명하는 이론도 있다.^[10] 또한 생성되는 양의 전하의 위치 또한 다르다.

따라서 본 논문에서는 NMOS와 PMOS의 DC FN 일정 전압 스트레스에 의한 소자 특성의 변화와 charge pumping 전류의 변화를 분석하여 FN 터널링에 의한 소자의 열화 메카니즘의 이해를 넓히고자 한다. 특히, 본 연구에서는 이전에는 발표되지 않은 터널링 전압의 방향과 전계의 크기에 따른 계면 상태(interface state)의 변화를 비교 분석할 것이다. 이 조건의 변화에 따른 전자와 홀의 전류를 비교 분석함으로써 계면 상태의 변화의 모델을 제시하고자 한다. II장에서는 실험 방법 과 실험에 사용된 소자 그리고 측정된 소자 특성에 대해 설명하고, III장에서는 실험 결과와 이에 대한 분석을 다루고 있고, IV장에서는 검토, 그리고 V장에서는 본 논문의 결론 및 앞으로의 연구 내용으로 맺는다.

II. 실험 방법

스트레스를 주는 전압원으로는 Keithley electrometer 617을 사용하였고 스트레스를 주는 과정은 컴퓨터에 의해 조정하였다. 실험에 사용된 소자는 게이트 산화막의 두께가 250Å이고 게이트 면적이 $4.0 \times 10^{-6} \text{cm}^2$ 이며 채널 길이와 폭이 모두 20μm인 n⁺ 폴리 실리콘을 게이트로 가진 NMOS와 PMOS이다. 본 논문에서는 PMOS와 NMOS의 게이트에 서로 다른 크기의 DC FN 일정 전압 스트레스를 가하여 단위 면적당 통과해 가는 전하의 양(이하 fluence)과 전류 방향 및 산화막 전계 등에 의한 소자 특성 변화를 비교하는 실험과 이에 대한 분석을 하고자 한다.

스트레스를 가하는 전압값은 PMOS와 NMOS 관계없이 양의 전압 스트레스의 경우에는 23V, 24V, 25V로 가하였고 음의 전압 스트레스의 경우에는 -25V, -26V, -27V로 가하였다. 이 전압의 선택은 측정 전류가 FN 터널링 영역에 있어야 하고, 양의 전압과 음의 전압이 같은 게이트 전류값을 갖는 전압값으로 하기 위해 스트레스 게이트 전압을 선택하였다. 게이트 전압에 대한 게이트 전류를 보면 두 개의 전류 영역이 존재함을 알 수가 있는데 산화막 내부의

평균 전계의 크기가 약 8MV/cm(V_G 19V) 이하인 경우((i)영역)는 저항 성분이, 그 이상인 경우((ii)영역)는 FN 터널링에 의한 전류가 지배적인 것으로 관찰되었다. 이는 (i)영역의 전류 성분을 선형 전류-전압 곡선으로 표시하고, (ii)영역의 전류 성분을 FN plot함으로써 알 수 있다.

스트레스 시간, 혹은 fluence에 따른 소자의 특성 변화를 구하기 위해 스트레스 시간을 5초, 10초, 50초, 간격으로 일정 전압 스트레스를 준 후 소자의 전기적 특성의 변화를 측정하였다. 본 논문에서 측정된 소자의 특성은 문턱 전압(이하 threshold 전압: V_T)과 subthreshold swing(S) 그리고 charge pumping 전류의 최대값 등이다. 측정 조건은 다음과 같다. Threshold 전압과 subthreshold swing은 드레인 전압 $|V_D|$ 를 0.05V로 고정시키고 게이트 전압 $|V_G|$ 를 변화시키면서 드레인 전류 $|I_D|$ 를 측정함으로써 구하였다. V_T 는 스트레스 전에 transconductance의 최대값인 점에서 선형 접선으로부터 구하여 초기 V_T 를 구한뒤, 그 초기값에 대응되는 드레인 전류값에 대응하는 게이트 전압값을 V_T 로 취하였다. Subthreshold swing은 드레인 전류가 1nA와 10nA일 때의 점을 연결한 직선의 기울기의 역수를 취하였다. 그리고 계면 상태와 관련이 있는 charge pumping 전류의 최대값은 게이트에 주파수 500kHz, 진폭 6V의 삼각파를 기준 전압(base voltage)을 바꾸어 가면서 가하고, 소스와 드레인에는 $|0.052|$ V로 고정시킨 뒤 기판 전류(substrate current)를 측정했을 때, 그 값중 최대값을 취하였다.

III. 실험 결과 및 분석

1. 양의 전압 스트레스 실험

그림 1은 게이트에 양의 전압을 가한 경우 NMOS 대한 전류의 성분을 보여 주고 있다. 그림을 보면 FN 스트레스 전류는 게이트로부터 기판쪽으로 들어가는 방향이 되고, 기판 종류에 관계없이 게이트로부터는 홀(I_h)이, 기판으로부터는 전자(I_e)가 주입된다. 그리고 게이트 전류는 홀 전류와 전자 전류의 합이 된다. 이 경우 소스-드레인 전류($I_{S,D}$)는 I_e , 기판 전류(I_B)는 I_h 가 되어 이 전류 성분들은 원칙적으로 구분할 수 있다.

그림 2는 게이트 전압을 변화 시켰을 때 산화막내의 전계의 크기에 따른 게이트 전류와 기판 전류를 나타내고 있다. 그림에서 기판 전류 I_B 는 홀 전류를 나타내고 있고, 전자 전류는 게이트 전류 I_G 에서 기판 전류 I_B 를 뺀 값으로 알 수 있다.

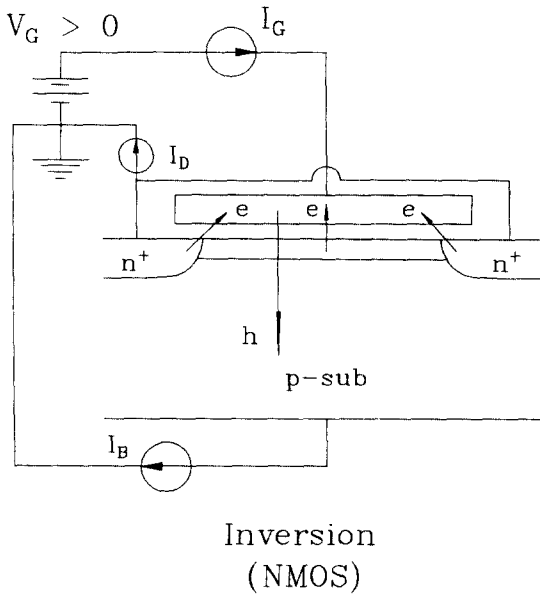


그림 1. 양의 전압 스트레스 실험동안의 소자내의 전류 흐름.(NMOS의 경우)

Fig. 1. Carrier currents for the positive gate voltage stress experiment of NMOSFET.

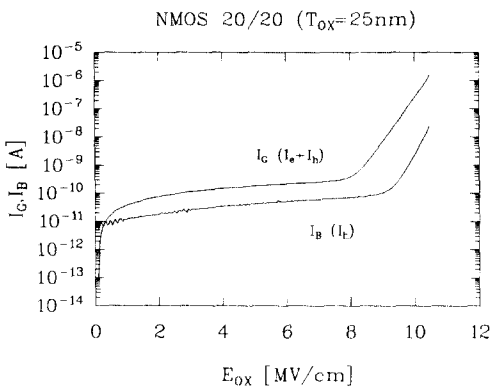


그림 2. 산화막내의 전계에 따른 게이트 전류와 기판 전류(NMOS의 경우) 그림에서 기판 전류는 게이트에서 주입되는 홀 전류이다.

Fig. 2. Gate and substrate currents of NMOSFET as a function of oxide electric field. In figure, substrate current is hole current which is injected at gate.

1) Threshold 전압변화 (ΔV_T)

그림 3은 PMOS와 NMOS에 대해서 fluence에 따른 문턱 전압의 변화, 즉 ΔV_T 를 나타내고 있다. 그림 3의 NMOS의 ΔV_T 보면 fluence가 10^{16} 개/cm² 일 때까지는 ΔV_T 가 (-)이고, 그 이상에서는 ΔV_T 가 (+)임을 알 수 있다. 이는 게이트 산화막 내에 양의 전하가 생성되었다가 fluence가 증가함에 따라 전자에 의해 상쇄된 후 계속되는 전자의 트랩에 의한 영향이라고 생각된다.^[9]

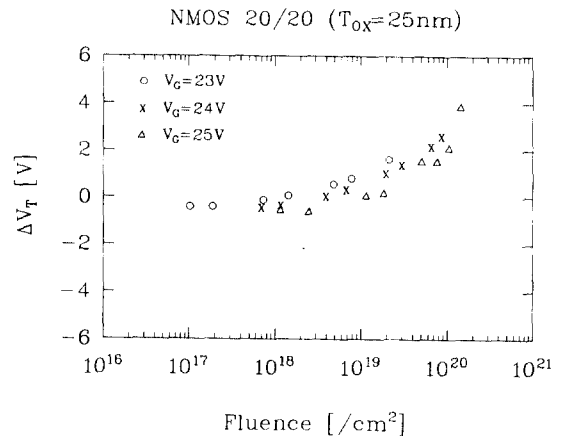


그림 3. NMOS 양의 전압 스트레스 실험 결과. 각 스트레스 조건에 대하여 단위 면적당 주입되는 캐리어의 수에 따른 Threshold 전압의 변화. PMOS의 경우도 비슷한 결과가 측정되었다.

Fig. 3. The changes of V_T of NMOSFET after the positive gate voltage stress. As for PMOSFET, we obtained the similar results.

이 때 생성되는 양의 전하의 기원은 산화막에서의 홀의 트랩과 트랩된 전자의 여기(detrap)로 생각할 수가 있다. Fischetti^[11] 등은 산화막내의 약 10MV/cm의 전계에 대해 전자가 얻을 수 있는 평균 운동 에너지가 4~5eV로 측정하였다. 그런데 산화막내의 이온화 충돌을 일으키기 위해서는 9eV 정도의 에너지가 필요하므로 산화막 내의 이온화 충돌 확률은 거의 없다고 할 수 있다. 산화막 내의 홀은 게이트로 넘어온 전자가 게이트에서 이온화 충돌을 일으켜 발생한 홀이 산화막으로 주입되어 발생할 수 있다. 둘째의 설명은 큰 에너지를 얻은 전자가 게이트 근처의 산화막내에 트랩되어 있는 전자와 이온화 충돌을 하여 트랩되어 있는 전자를 여기(detrap)시킨

다. 이 때 전자를 빼앗긴 트랩 site가 양의 전하라고 설명할 수 있다.^[10,12] 이 모델의 타당성은 같은 방법으로 제작한 소자에 게이트의 전계를 작게 걸고 avalanche 전자를 주입시킨 결과, ΔV_T 가 계속 (+)쪽으로만 이동하였으며 SiO₂ 내의 양전하의 위치를 측정함으로써 밝혔다.^[13] 여기서 미리 트랩되어 있는 전자는 산화막 제작시에 발생한 산화막내의 전자이다.^[10]

이상과 같은 메카니즘에 의해 생긴 양의 전하에 의해서 ΔV_T 가 (-)로 이동한 후 기판으로부터 터널링하는 전자들이 기판 근처의 산화막내에 트랩됨에 따라 ΔV_T 가 (+)로 이동한다. 그림 3에서 V_T 를 (-)쪽에서 (+)로 회복하기 위한 fluence 크기(TP:turn-around point)는 V_G 즉, 전계의 크기가 클수록 커짐을 알 수 있다. 또한 이 전환점 이후에는 전류주입량에 따른 ΔV_T 증가율이 전계의 크기에는 거의 무관함을 알 수 있다.

Fluence가 10¹⁸개/cm²보다 낮을 때의 양의 전하에 의한 산화막의 열화는 fluence의 양뿐만 아니라 산화막내의 전계의 크기에 비례한다. 이는 전계가 클수록 게이트에서의 홀의 주입량, 그리고 SiO₂ 내의 전자의 여기량이 커진다는 위의 두 모델로 설명이 가능하다. PMOS의 경우도 NMOS의 경우와 비슷한 결과가 측정되었다.^[14]

2) Subthreshold swing의 변화 (ΔS)

스트레스에 의한 소자의 스위칭 특성의 변화를 알기 위해 문턱전압 이하 전류의 기울기 (S)를 측정하였다. $S \equiv \frac{d|V_{GS}|}{d|\log|I_{DS}|}$ 로 표시하는데 S가 작을수록 작은 전압 변화로 소자를 켤 수 있으므로 바람직하다.

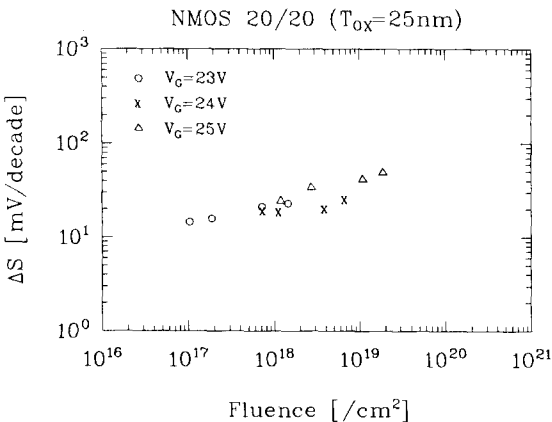


그림 4. 양의 전압 스트레스 실험 결과 [NMOS] 각 스트레스 조건에 대하여 단위 면적당 주입되는 캐리어의 수에 따른

subthreshold swing의 변화. PMOS의 경우도 같은 데이터가 측정되었다.^[14]

Fig. 4. The changes of the threshold swing of NMOSFET. As for PMOSFET, we obtained the similar results.

그림 4는 그림 3과 같은 스트레스 조건에서 기울기 S의 증가량을 보이고 있다. 일반적으로 이 기울기 S의 증가는 계면상태의 생성에 기인하는 것으로 알려져 있다.^[3]

NMOS, PMOS 모두 ΔS 가 거의 비슷하게 나타난다.^[14] 그리고 그림 4에서 보듯이 산화막내의 전계의 크기와도 큰 상관관계가 없다는 것을 알 수 있다. 이에 대한 분석은 다음 절에서 charge pumping 전류와 함께 다루기로 하자.

그림 4에서 fluence가 약 10¹⁹개/cm² 이상에서는 측정값이 표시되어 있지 않다. 이는 fluence가 매우 큰 경우 기생 트랜지스터의 영향, 즉 field 산화막 밑에 있는 기생소자의 문턱 전압의 영향이 나타나 진성 소자의 S를 정확히 측정할 수가 없기 때문이다.^[15]

3) Charge pumping 전류의 최대값의 변화 ($\Delta I_{CP,max}$)

스트레스에 따른 계면 상태의 변화를 좀 더 정확히 알기 위해서 charge pumping 방법을 사용하였다.^[14,16] 주파수 500kHz, 진폭 6V인 삼각파를 게이트에 가하고 기준 전압(V_{base})을 변화시키면서 매 스트레스 단계마다 기판 전류를 측정하였다. 그림 5은 NMOS에 23V로 스트레스를 주면서 시간에 따라 charge pumping(I_{CP}) 전류가 초기상태(virgin)로부터 어떻게 변화하고 있는가를 보여 주고 있다. 그림 5에서 I_{CP} 최대치의 변화는 계면 상태의 변화를 나타내고, 좌우로 변하는 것은 채널의 V_{FB}(Flat Band 전압) 변화를 나타낸다. 즉 전류 곡선이 왼쪽으로 이동하였다가 오른쪽으로 이동하는 것은 그림 3의 ΔV_T 측정 결과와 같음을 알 수 있다. 초기 곡선에서 보듯이 기준 전압이 -5V보다 커지면 채널이, 기준 전압(V_{base})에서는 축적(accumulation) 영역, V_{peak}(V_{base}+6V)에서는 반전됨으로써 이 때는 계면 상태를 채운 전자가 축적(accumulation)시 홀과 결합함으로써, 이에 의한 홀 전류가 기판 전류로써 측정되는 것이다. 마찬가지로 V_{base}가 그림의 (c)영역, 즉 -1V보다 커지게 되면 채널의 표면이 flat band 조건에서 inversion으로 되기 시작함으로써 pumping 전류가 감소하게 되는 것이다.

그림 5의 (a)에서 (b)영역은 V_{peak}에서 채널 표면이 축적영역에서 반전영역으로 옮겨가는 부분이고,

(c)이상은 V_{base} 에서 채널 표면이 축적에서 반전으로 옮겨가기 시작하는 부분이다. 또한 (a)점과 (a') 점 사이에서의 전압에 대한 pumping 전류는 n'영역에서의 표면을 depletion시킴으로써 n'영역 위의 계면 상태에 의한 pumping 전류로 알려져 있다 [16]. 따라서 그림 5에서의 $V_{(a)}, V_{(b)}$ 의 변화를 봄으로써 tail의 V_{FB} , 그리고 계면 상태의 증가를 알 수 있고, (a), (a')에서의 I_{CP} 의 변화를 봄으로써 n'영역위의 계면 상태의 증가를 예측할 수 있다. 그림 5에서 I_{CP} 의 최대값의 변화(이하 $\Delta I_{CP,max}$)를 fluence에 따라 나타낸 것이 그림 6이다.

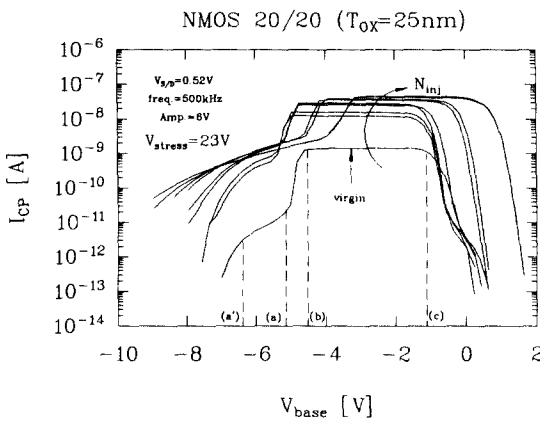


그림 5. NMOS의 스트레스 시간에 따른 pumping전류의 base 전압에 대한 변화. (스트레스 조건 : $V_G=23V$, 스트레스 시간 : 0.5, 10, 50, 100, 500, 1000, 5000, 9000 초, charge pumping 조건 : 삼각파, 주파수=500kHz, 진폭= 6V, $V_{SD}=0.52V$)

Fig. 5. Charge pumping currents of NMOSFET after the positive gate voltage stress. (Stress condition : $V_G=23V$, Stress time : 0.5, 10, 50, 100, 500, 1000, 5000, 9000second, ChaPumping condition : triangle gate pulse, fuency=500kHz, amplitude=6V, $V_{SD}=0.52V$)

NMOS에 대해 그림 6을 보면 $I_{CP,max}$ 의 증가는 주로 fluence에 비례하며, 미세하나마 산화막내의 전계의 크기가 클수록 증가함을 알 수 있다. PMOSFET의 경우도 마찬가지이다. 산화막내의 전계의 크기가 클수록 같은 fluence에 대해 더 많은 홀 전류가 발생

한다는 관찰(그림 2)로부터 홀에 의해 계면 상태가 주도된다는 모델을 생각할 수가 있다. 이에 대해서는 4절에서 검토하기로 하자.

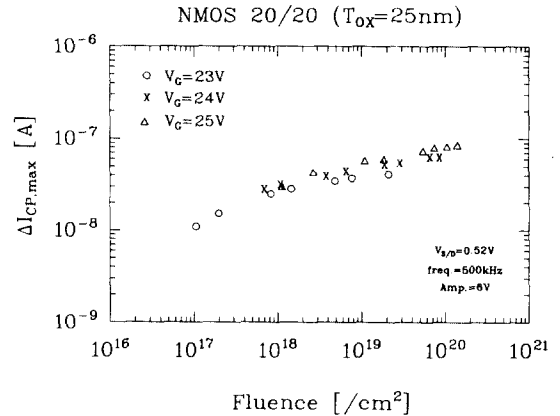


그림 6. 양의 전압 스트레스 실험 결과. 각 스트레스 조건에 대하여 단위 면적당 주입되는 캐리어의 수에 따른 charge pumping 전류의 최대값의 변화. ((a) NMOS, (b) PMOS

Fig. 6. The changes of the maximum charge pumping current after the positive gate voltage stress for (a) MNOSFET and (b) PMOSFET.

2. 음의 전압 스트레스 실험

스트레스에 따른 SiO_2 내의 전자 트랩과 계면 상태 증가의 이해를 깊게 하기 위해서 1절의 실험을 음의 전압에 대해서도 반복하였다. 이 절에서는 양의 스트레스 결과와 비교 검토 하도록 한다. 음의 전압 스트레스의 경우도 PMOS에서의 소스-드레인 전류는 홀 전류, 기판 전류는 전자 전류이므로 원칙적으로 구분해 낼 수 있다. 그림 7은 산화막내의 전계의 크기에 따른 PMOS 게이트 전류와 드레인 전류를 나타내고 있다. 그림에서 드레인 전류 I_D 는 홀 전류를 나타내고 있고, 전자 전류는 게이트 전류 I_G 에서 드레인 전류 I_D 를 뺀 값으로 알 수 있다. 그림 2의 양의 측정 결과와 비교하면 다음과 같은 관찰을 할 수가 있다. 첫째 전류의 크기는 같은 전계에서 거의 비슷하며 PMOS의 경우가 더 큰 전계에서 FN 터널링이 시작된다는 것이다. 둘째는 홀의 전류가 양전압인 경우보다 훨씬 크다는 것이다. 이는 주입될 수 있는 홀의 농도가 PMOS의 경우가 크기 때문이다. 세째 음전압의 경우 홀전류의 방향이 약 8.5MV/cm 정도부터

바뀔 수 있다. 이는 게이트에서 주입된 전자가 벌크에서 이온화 충돌을 일으켜 생성된 홀이 드레인 쪽으로 빠져 나가기 때문이다.

로 detrapping이 많이 발생하게 되고 이에 의해 큰 V_T 의 변화를 초래하게 될 것이다. 두 모델이 모두 합리적인 실험결과를 설명해 줄 수 있다.

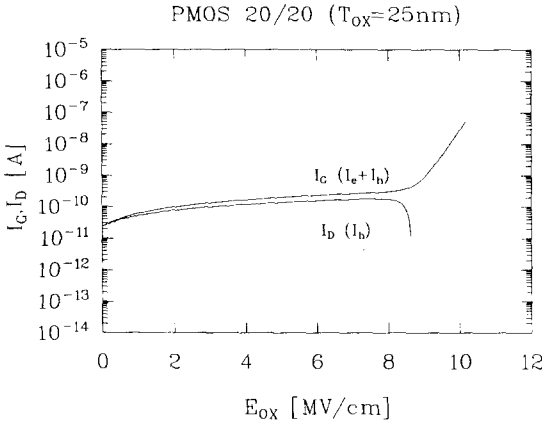


그림 7. 산화막내의 전계에 따른 게이트 전류와 드레인 전류(PMOS의 경우)

Fig. 7. Gate and drain currents of PMOSFET as a function of oxide electric field.

1) Threshold 전압 변화 (ΔV_T)

먼저, 그림 8(a)의 NMOS의 경우를 보면, 양의 전압 스트레스 경우와 크게 차이를 알 수 있다. 즉 같은 산화막내의 전계에 대해서 같은 fluence인 경우 양의 전압 스트레스 때보다 ΔV_T 가 훨씬 크다. 또한, ΔV_T 의 기울기가 (-)에서 (+)로 바뀌는 점(turn-around point)의 위치가 양의 스트레스 때 (10^{18} 개/cm²)보다 오른쪽에 있다. (10^{19} 개/cm²) 즉 음의 스트레스 시 SiO₂ 내에서 양전하 발생률이 큼을 알 수 있다. 이 이유를 앞에서 설명한 양전하 모델로 설명하도록 하자. 첫째, 홀이 SiO₂ 내의 트랩 site에 트랩되어 양전하를 발생시키는 모델이다. 그림 7에서 보듯이 홀 전류의 양이 양전압의 경우보다 크므로 이 모델로 설명할 수가 있다. 물론 전계가 큰 경우 드레인 전류로서 주입되는 홀의 전류를 측정할 수는 없지만 (이온화 충돌 영향때문에) 낮은 전계의 결과로부터 유추할 수가 있다. 따라서 기판에 가까운 쪽의 산화막내에 홀이 트랩되기 때문에 홀이 게이트쪽의 산화막내에 트랩되는 양의 전압 스트레스 때보다 홀에 의한 ΔV_T 의 영향이 크게 나타난다는 것이다.⁽¹⁷⁾ 둘째는 전자의 여기(detrapping) 모델이다. 이 전자 여기(detrapping)를 위해서는 전자가 큰 에너지를 필요로 하다. 그런데 음 스트레스의 경우 기판 가까이에서 게이트에서 주입된 전자가 큰 에너지를 얻게 되므

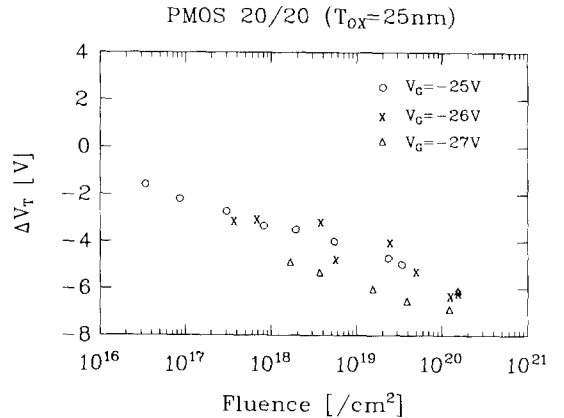
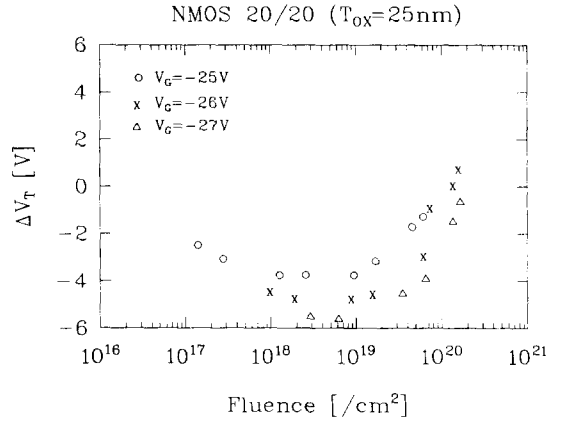


그림 8. 음의 전압 스트레스 실험 결과. 각 스트레스 조건에 대하여 단위 면적당 주입되는 캐리어의 수에 따른 Threshold 전압의 변화 (a) NMOS, (b) PMOS

Fig. 8. The changes of V_T after the negative gate voltage stress as for (a) NMOSFET and (b) PMOSFET.

이상과 같은 메커니즘에 의해 음의 전압 스트레스 때가 훨씬 큰 ΔV_T 를 보이게 되고, 이를 상쇄시키기 위해서는 게이트쪽에 전자가 양의 스트레스 때보다 많이 트랩되어야 한다. 따라서 양의 스트레스 때보다 큰 fluence 값에서 기울기의 변화가 일어난다.

Fluence가 매우 커지면 산화막내의 전계의 크기에 따른 영향이 점차 사라지는 것은, 전자의 트랩이 산

화막내의 전계의 크기보다는 fluence의 양에 관계하고 또 SiO₂-Si 계면에서 멀리 떨어져 있기 때문이다. 그러나 양의 전하의 영향이 나타나는 낮은 fluence에서는 산화막내의 전계의 크기의 영향이 매우 크다. 위의 전자의 detrapp 모델에서 설명하였듯이 detrapp 위치가 ΔV_T에 영향이 큰 SiO₂-Si 계면에 가깝고 detrapp되는 양이 전계의 크기에 비례하기 때문이다.

한편, 그림 8(b) PMOS의 경우는 그림 8(a) NMOS의 결과와는 양상이 크게 다르다. 즉 PMOS의 경우는 기울기가 바뀌는 점이 나타나지 않고 계속해서 ΔV_T가 (-)쪽으로 증가하고 있다. PMOS의 경우 홀의 공급량이 많으며(그림 7) 이 홀에 의해 홀의 트랩이 산화막내에서 생성되는 것으로 생각할 수가 있다. 이에 대한 결론은 연구가 좀 더 진행된 뒤에 내려져야 하겠다.

2) Subthreshold swing의 변화 (ΔS)

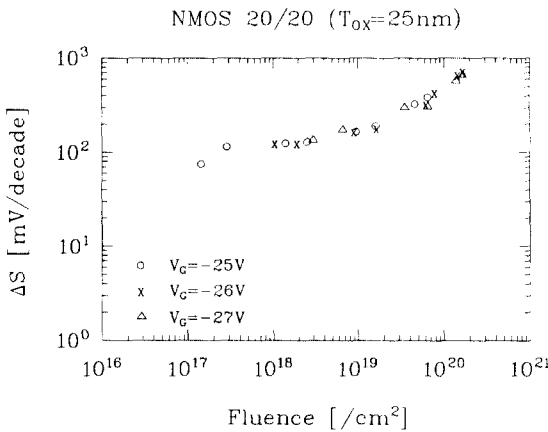


그림 9. 음의 전압 스트레스 실험 결과. NMOS에 대해 각 스트레스 조건에 대하여 단위 면적당 주입되는 캐리어의 수에 따른 subthreshold swing의 변화.

Fig. 9. The changes of the subthreshold swing of NMOSFET after the negative gate voltage stress.

그림 9는 음의 스트레스시 NMOS 소자의 ΔS를 fluence에 따라 나타낸 것이다. 양의 전압 스트레스 때에 비해 같은 fluence에 대한 S의 변화가 더 큼을 알 수 있다. 그러나 전계 크기의 영향은 양의 스트레스의 경우와 마찬가지로 무시할 만하다.

3) Charge pumping 전류의 최대값의 변화 (Δ I_{CP,max})

그림 10은 음의 전압 스트레스를 준 후 fluence에 대해 charge pumping 전류의 최대값의 변화를 나타낸 것이다. 그림 6의 양의 전압 스트레스 때의 결과와 비교하면 두가지 차이점이 있음을 알 수 있다. 첫째, 음의 전압 스트레스 경우, 같은 fluence에서 Δ I_{CP,max}의 증가가 더 크다는 것이고 둘째, 양의 전압 스트레스 때와는 반대로 산화막내의 전계의 크기가 클수록 미소하나마 Δ I_{CP,max}의 값이 더 작게 나타난다는 것이다.

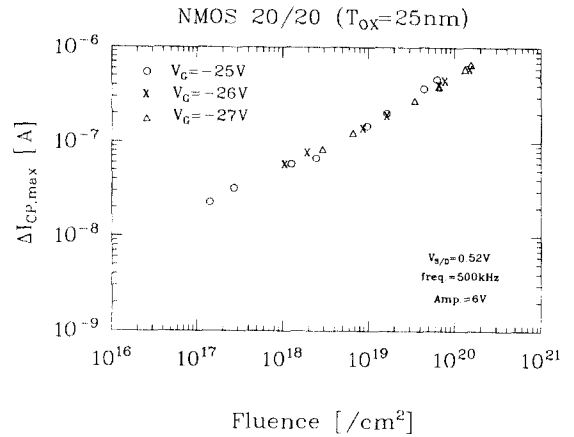


그림 10. 음의 전압 스트레스 실험 결과. 각 스트레스 조건에 대하여 단위 면적당 주입되는 캐리어의 수에 따른 Charge pumping 전류의 최대값의 변화 (NMOS의 경우)

Fig. 10. The changes of the maximum Charge Pumping current after the negative gate voltage stress for NMOSFET.

첫째 차이로 음의 스트레스시 계면 상태의 증가 양의 스트레스시보다 더 큰 점에 대해서 이해하기 위해 같은 fluence에 대한 홀 전류의 크기를 비교해 보자. 음과 양의 스트레스시 홀 전류의 크기를 알기 위해 홀 전류 성분인 PMOS의 소스-드레인 전류(음 스트레스시)와 NMOS의 기판 전류(양 스트레스)를 그림 11과 같이 측정하였다. 그림에서 알 수 있듯이 음의 전압 스트레스인 경우에는 FN 터널링이 일어나는 지점부터 게이트에서 주입된 전자에 의해 기판에 이온화 충돌이 발생하여 홀 전류인 드레인 전류의 방향이 바뀌게 되어 터널링하는 홀 전류의 값을 알 수 없

다. 그림에서와 같이 양의 전압일 때, 게이트 전류와 기판 전류와의 경향을 참조하여 음의 전압일 때 홀 전류인 드레인 전류를 예측하였다. 전자 전류와 홀 전류에 대한 터널링 전류가 나타나는 전계의 차이를 $\Delta\epsilon$ 라면 이 양이 양, 음 전압에서 같다고 해서 음 전압일 경우의 홀 전류를 예측할 수 있다. I_B' 는 이러한 방법으로 예측한 것이다.

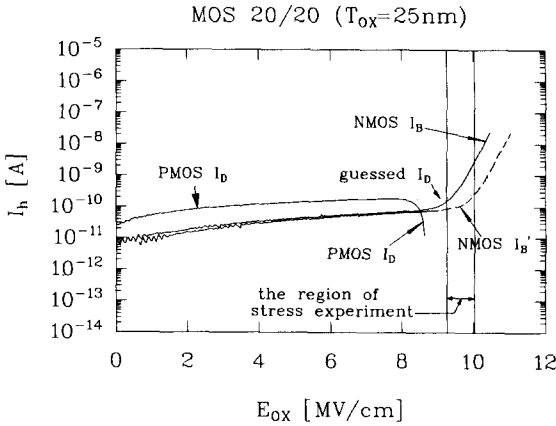


그림 11. 게이트 전압에 대해서 양의 전압과 음의 전압의 홀 전류(파선:양의 게이트 전류와 음의 게이트 전류가 같은 값을 가질 때의 홀 전류) (점선:양의 스트레스에서 홀 전류의 경향에 의해 음의 스트레스에서 예측한 값)

Fig. 11. Hole currents of the positive and negative voltages as function of the gate voltage. (dashed line : as for the case that positive gate current is same to negative gate current, dotted line : expected hole current with the tendency of hole current after the positive gate voltage stress)

또한 그림 10에서 보듯이 산화막내의 전계의 크기가 커지면 적으나마 계면 상태의 발생율이 작아진다. 이는 그림 8의 양전하 생성량과는 반대되는 경향을 알 수가 있다. 이상을 종합해 보면 계면 상태의 증가는 홀의 전류가 커질수록 커지고 양전하가 덜생길수록, 즉 트랩되어 있는 중성전자의 수가 많을 수록 더욱 커진다는 것으로 생각할 수가 있다.

앞의 실험적 관찰을 토대로 하여 Si-SiO₂ 계면 상태의 증가에 대한 다음과 같은 모델을 세울 수가 있

다. 즉, 단위 시간당 계면 상태의 증가량은 산화막 내에 존재하는 트랩된 전자의 수와 단위시간당 지나가는 홀의 수에 비례하는 모델이다. 이를 측정할 값으로 나타내면 다음과 같다.

$$\frac{d\Delta I_{cp,max}}{dt} = A \cdot N_e(t) \cdot I_h \cdot G(\Delta I_{cp,max}) \quad (1)$$

여기서, A는 비례 상수이고, Ne는 단위 면적당 산화막 내에 존재하는 전자를 트랩하고 있는 중성 트랩이 Si-SiO₂에만 있다고 했을 때의 숫자이고 G($\Delta I_{cp,max}$)는 현재의 계면 상태가 계면 상태의 증가율에 미치는 영향을 나타내 주는 함수라고 하자. G($\Delta I_{cp,max}$)가 $(\Delta I_{cp,max})^{-k}$ 에 비례한다고 가정하고^[18], Ne(t)는 초기의 Ne(0) 상태에서부터 $Ne(t) = Ne(0) + Cox(V_T(t) - V_T(0))/q$ 의 관계로 구할 수가 있다. 여기서 $V_T(t)$ 는 그림 3.8에서 구한 fluence에 따른 문턱 전압의 변화량이다. $V_T(t)$ 가 감소할 때의 홀의 트랩의 영향은 미미하다고 보고 무시하였다(즉 양전하의 형성은 순수히 전자의 detrapping이라고 가정하였다). 식 (1)의 미분 방정식을 풀면, $\Delta I_{cp,max}$ 는 다음과 같이 표시할 수 있다.

$$\Delta I_{cp,max} = (A \cdot (k+1) \cdot N_e \cdot I_h \cdot t)^{1/(k+1)}$$

$$\text{즉, } \log(\Delta I_{cp,max}) = \frac{1}{k+1} \cdot \log(A \cdot (k+1) \cdot N_e \cdot I_h \cdot t) \quad (2)$$

따라서, $\log(\Delta I_{cp,max})$ 와 $\log(A \cdot (k+1) \cdot N_e \cdot I_h \cdot t)$ 와 는 선형관계에 있어야 함을 보이며 기울기는 $1/(k+1)$ 이다.

앞에서 구한 실험적으로 측정된 모든 데이터를 $\Delta I_{cp,max}$ 와 $N_e I_h t$ 와의 관계를 나타내면 양, 음의 각각 스트레스에 대해 그림 12(a),(b)와 같이 나타난다. 그림에서 k의 값을 구해보면, 양의 전압 스트레스인 경우는 약 1.94이고, 음의 전압 스트레스인 경우는 약 0.66이다. 산화막의 두께가 다른 소자(19nm)에 대한 결과도 같이 표시하였으며 같은 커브위에 있음을 알 수 있다.

이와같이 식 (2)로 표시되는 계면상태 생성의 모델링은 다음과 같은 실험적 관찰을 설명해 주고 있다. 첫째 음의 스트레스시 양의 그것보다 같은 fluence에서 큰 계면 상태의 증가를 보이는 것은 같은 fluence에서 홀의 fluence가 크기 때문이다. 음의 스트레스시 전계가 클수록 계면 상태의 증가량이 감소하는 것은 같은 fluence에서 전자의 detrapping이 크기 때문(N_e 가 감소)이다. 또한 같은 I_h 가 흐르더라도 양의 스트레스시 게이트를 터널링한 홀이 계면을 지나갈 때, 많은 에너지를 얻어서 트랩된 전자와 재결합 확률이 작아질 것이다. 이 현상이 양의 스트레스시의 k

값이 큰 것으로 현상적으로 표시된다고 할 수 있다.

계면상태에 관한 정보를 가지고 있다는 사실을 증명한다.

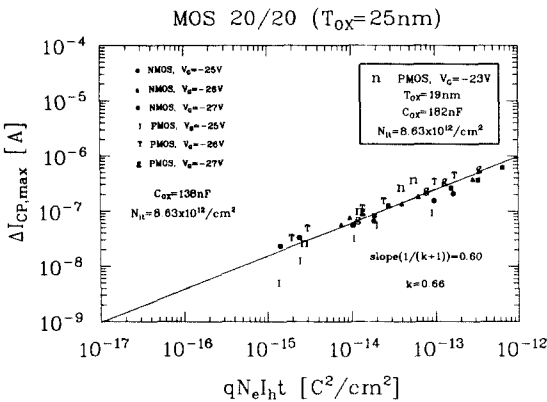
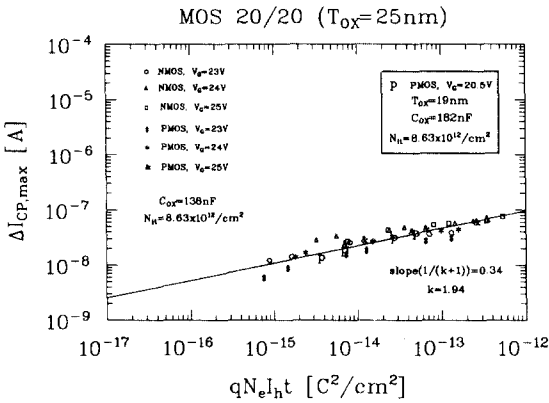


그림 12. 계면 상태와 홀 전류, 산화막 내의 전자의 수간의 관계 그래프

(a)Positive Stress (b)Negative Stress

Fig. 12. The relationship between the change of maximum charge pumping current and the electrons in the gate oxide and hole current after (a) the various positive gate voltage stress and (b) the various negative gate voltage stresses.

IV. 검토

그림 13은 NMOS에서 FN 스트레스에 의한 subthreshold swing의 변화 ΔS 와 $I_{CP,max}$ 와의 상관 관계를 보여준다. 이를 보면 subthreshold swing이

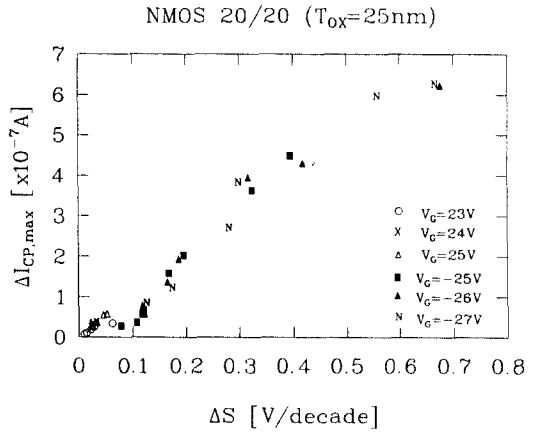


그림 13. 각 스트레스 조건에 대하여 Charge pumping 전류의 최대값의 변화에 대한 Subthreshold swing의 변화 (NMOS)

Fig. 13. The relationship between the change of maximum charge pumping current and the change of the subthreshold swing after the various stresses for NMOSFET.

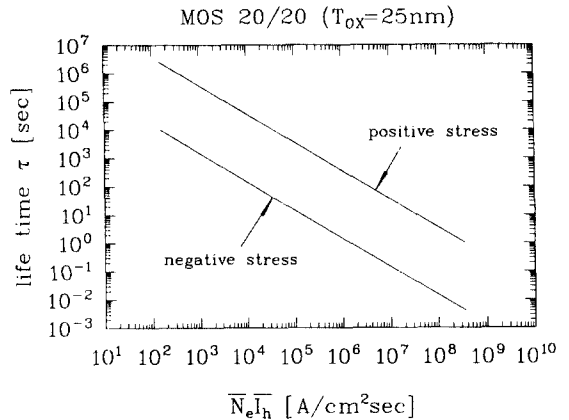


그림 14. 스트레스 방향에 대해서 홀 전류와 산화막 내의 트랩된 전자의 수에 따른 소자 수명 그래프

Fig. 14. The relationship between the lifetime and hole current and trapped electrons in the gate-oxide with the direction of the stress.

식 (1)은 계면상태의 생성률의 전계에 의한 상관 관계등을 함축적으로 설명해주고 있다. 즉 전계가 크면 산화막 내의 전자의 detrapping되는 양이 증가하므로 (그림 3과 그림 8), 홀과 재결합할 트랩된 전자의 수가 작아지기 때문에 계면 상태의 증가율이 감소하는 것으로 설명할 수 있다.

식 (1)(2)의 모델에 의하면 계면 상태의 증가율은 N_e , 즉 산화막 내의 전자를 포획하고 있는 중성 트랩의 숫자와 홀 전류와의 곱에 의해 결정된다는 것이다. 따라서 계면상태에 의해 제한되는 소자의 수명을 정할 수가 있다. 즉 그림 13에 의해 subthreshold swing이 10% 변할 때의 $\Delta I_{CP, max}$ 의 값에 도달하는 시간을 소자 수명의 기준값으로 정하였다. 따라서, 홀 전류의 값을 알면 스트레스 방향에 따른 소자 수명(그림 14와 같이)을 알 수 있다. 이때 스트레스 방향에 따라 소자 수명이 다른 것은, 그림 12에서 양의 스트레스 때와 음의 스트레스 때의 k 값이 다른 것과 같은 원인이다. 이에 대해서는 더 많은 연구가 있어야 하겠다.

V. 결론

본 논문에서는 NMOS, PMOS에 대해 서로 다른 전압을 게이트에 양의 방향(양의 전압 스트레스), 음의 방향(음의 전압 스트레스)으로 스트레스를 준 후, fluence에 따른 문턱 전압의 변화와 계면 상태의 변화를 측정하고 분석하였다.

계면 상태 변화의 스트레스 방향 의존도, 전계 크기 의존도 등을 분석한 후, 이를 설명할 수 있는 모델을 제시하였다. 이 모델은 계면 상태가 산화막 내의 홀과 산화막 내의 포획되어 있는 전자의 재결합 방출 에너지에 의해 발생한다는 모델에 근거를 두고 있으며, 이 모델이 양과 음의 계면 상태 증가의 실험적 현상을 잘 설명해 주고 있음을 보였다.

감사의 글

이 연구는 90~91년도 산학과의인 "Deep Submicron CMOS Transistor의 설계 및 모델링에 관한 연구"의 일환으로 수행되었으며, 이 연구를 지원해 준 현대전자 주식회사에 감사드립니다.

參考文獻

[1] K. R. Hofmann, C. Werner, W. Weber and G. Dorda, "Hot-Electron and Hole Emission Effects in Short n-Channel

MOSFET's," *IEEE Trans. Electron Device*, vol.ED-32, pp.691-699, March 1985

- [2] P. Heremans, R. Bellens, G. Groeseneken and H. E. Maes, "Consistent Model for the Hot-Carrier Degradation in n-Channel and p-Channel MOSFET's," *IEEE Trans. Electron Device*, vol.ED-35, pp.2194-2208, December 1988
- [3] A. Shwerin, W. Hansch and W. Weber, "The Relationship Between Oxide Charge and Device Degradation : A Comparative Study of n- and p-Channel MOSFET's," *IEEE Trans. Electron Device*, vol.ED-34, pp.2493-2500, December 1987
- [4] E. Harari, "Dielectric Breakdown in Electrically Stressed Thin Film of Thermal SiO₂," *J. Appl. Phys.*, vol.49, no.4, pp.2478-2489, April 1978.
- [5] I. C. Chen, S. E. Holland and C. Hu, "Electrical Breakdown in Thin Gate and Tunneling Oxides," *IEEE Trans. Electron Device*, vol.ED-29, no.2, pp. 413-422, February 1985.
- [6] A. Kolodny, S. T. K. Nieh, B. Eitan and J. Shappir, "Analysis and Modeling of Floating-Gate EEPROM Cells," *IEEE Trans. Electron Device*, vol.ED-33, no.6, pp.835-844, June 1986
- [7] Y. Nissan-Cohen, J. Shappir and D. Frohman-Bentchkowsky, "Characterization of Simultaneous Bulk and Interface High-Field Trapping Effects in SiO₂," in IEDM Tech. Dig., PP.182-185, 1983.
- [8] M. S. Liang, C. Chang, Y. T. Yeow and C. Hu, "MOSFET Degradation Due to Stressing of Thin Oxide," *IEEE Trans. Electron Device*, vol.ED-31, no. 9, pp.1238-1244, September 1984.
- [9] M. Itsumi, "Positive and Negative Charging of Thermally Grown SiO₂ Induced by Fowler-Nordheim Emission," *J. Appl. Phys.*, vol.52, no.5, pp.3491-3497, May 1981.

- [10] Y. Nissan-Cohen, J. Shappir and D. Frohman-Bentchkowsky, "Dynamic Model of Trapping-Detrapping in SiO₂," *J. Appl. Phys.*, vol. 58, no. 6, pp. 2252-2261, September 1985.
- [11] M. V. Fischetti, "Monte Carlo Solution to the Problem of High-Field Electron Heating in SiO₂," *Physical Review Lett.*, vol. 53, no. 18, pp. 1755-1758, October 1984.
- [12] P. Fazan, M. Dutoit, C. Martin and M. Ilegems, "Charge Generation in Thin SiO₂ Polysilicon-Gate MOS Capacitors," *Solid-State Electronics*, vol. 30, no. 8, pp. 829-834, August 1987.
- [13] D. R. Young, E. A. Irene, D. J. Di Maria and R. F. De Keersmaecker, "Electron Trapping in SiO₂ at 295 and 77 ° K," *J. Appl. Phys.*, vol. 50, no. 10, pp. 6366-6372, October 1979.
- [14] 김 명섭, "MOS 소자의 FN 터널링 캐리어에 의한 성능저하에 관한 연구." 석사학위논문, 서울대학교 전자공학과, 1992.
- [15] M. Kato, Y. Nishioka and T. Okabe, "Parasitic MOSFET Degradation Induced by Fowler-Nordheim Injection," *IEEE Electron Device Lett.*, vol. 11, no. 12, pp. 590-592, December 1990.
- [16] P. Hearemans, J. Witters, G. Groeseneken and H. E. Maes, "Analysis of the Charge Pumping Technique and its Application for the Evaluation of MOSFET Degradation," *IEEE Trans. Electron Devices*, vol. ED-36, no. 7, pp. 1318-1335, July 1990.
- [17] A. Weinberg, W. C. Johnson and M. A. Lampert, "High-Field Transport in SiO₂ on Silicon Induced by Corona Charging of the Unmetallized Surface," *J. Appl. Phys.*, vol. 47, no. 1, pp. 248-255, January 1976.
- [18] N. G. Einspruch, G. Gildenblat, VLSI Electronics Microstructure Science, vol. 18 : Advanced MOS Device Physics, Academic Press.

 著者紹介



金明燮 (正會員)

1966年 12月 21日生. 1989年 2月 서울대학교 전자공학과 졸업(공학사). 1992年 2月 서울대학교 대학원 전자공학과 졸업(공학 석사). 1992年 1月~현재 까지 현대전자 반도체 연구소 연구원. 주관심분야

는 FLASH EEPROM DEVICE 개발 및 DEVICE RELIABILITY등임.

朴榮俊(正會員) 第 27卷 第 6號 參照.

현재 서울대학교 전자공학과 교수

閔洪植(正會員) 第 27卷 第 6號 參照.

현재 서울대학교 전자공학과 교수