

論文93-30A-7-9

# 매트릭스형 전극 구동용 스테틱 플립플롭 회로의 설계기법에 관한 연구

## (The Study on the Design of Static Flip-Flop Circuits for the Driving of Matrix Type Electrodes)

崔善靜\*, 鄭己鉉\*, 金鎔得\*

(Sun Jung Choi, Gi Hyun Jung and Yong Deak Kim)

### 要約

본 논문에서는 평판표시소자등에 적용되는 매트릭스형 전극들을 순차적으로 선택, 구동하는데 효과적인 새로운 형태의 스테틱 Edge Triggered D 플립플롭 회로들이 캐환용 트랜지스터의 전송특성과 전하 보완기능을 이용한 설계기법에 의하여 제시된다.

기존 사용되고 있는 Static D 플립플롭 회로에 비하여 2-4개 만큼 적은 수의 트랜지스터들로구성되는 이들 회로들은 기존의 회로에 비하여 허용되는 클럭신호의 최대 변이시간이 100KHz의 클럭 주파수에서 100-450배 정도로 증가되고 또한 10 MHz의 클럭주파수에서(1-4V)의 클럭신호범위를 회로동작의 정지 영역으로 확보하므로 기존 회로의 3-3.2V 범위에 비하여 회로의 안전성을 크게 향상시킬수 있는 장점을 가지므로 클럭신호의 변이시간이 긴 경우, 특히 저주파수에서 의 동작시 매우 효과적으로 사용될수 있다.

### Abstract

In this paper, New type of Static Edge Triggered D Flip-Flop Circuits which are effective for the sequential selecting and addressing of Matrix type Electrodes being applied to Flat Display Devices is proposed by the Design Technique using the Transmission Characteristics of Feedback Transistors and Charge Back Up Function.

These Circuits composed of 2-4 less transistors in number than Conventional Static D Flip Flop's have some advantages that the Maximum Transition Time of Clock Signals allowed is increased by 100-450 times more than that of the Conventional circuit at 100KHz Clock Frequency and Circuit Safety is much increased by making the wider ranges, 1-4V, of Clock Levels as a Non operating periods than 3-3.2V ranges in case of the Conventional Circuit at 10MHz clock frequency. By these advantages, These circuits can be very effectively used in case that clock signal has long transition time, especially on the low frequency operation.

### 1. 서론

\*正會員, 亞洲大學校 電子工學科  
(Dept. of Elec. Eng., Ajou Univ.)  
接受日字: 1992年 7月 23日

근래에 액정, 플라즈마, EL등을 이용한 초박형 평판 표시소자가 새로운 차세대 디스플레이로서 그 가능성

을 제시하면서 점차 대형화, 고정세화 되어가는 추세에 있으며 수년내에 벽걸이 TV, HD TV등이 일반화될 것으로 기대되고 있다. 이러한 평판 표시소자의 상용화를 위하여 현재 다방면에서 연구가 진행되고 있으며 특히 평판표시소자 자체가 매트릭스형 전극구조에 의하여 동작되므로 구동 IC의 저가격화를 위한 집적도 향상 및 저전력화를 위한 저전압 구동회로 설계 등에 관한 연구가 활발히 진행되고 있다. <sup>[1] [2] [3]</sup>

본 논문에서는 매트릭스 전극들을 순차적으로 구동하기 위한 쉬프트 레지스터 회로를 구성하는 스택 Edge Triggered D 플립플롭 회로들이 케환용 분리 출력회로의 방전특성과 전하 보상기능을 이용한 새로운 설계기법에 의하여 설계, 제시되며 이들 회로들은 회로동작의 안전성을 확보하기 위하여 이상(Two Phases) 클럭체계의 특징인 회로 휴지시간(Dead Time) <sup>[4]</sup> 을 클럭간의 시간차가 아닌 단위상 클럭신호의 전위차에 의하여 확보하는 방식을 특징으로 한다.

제시되는 회로들의 특성 평가를 위하여 2um CMOS SPICE 파라미터 <sup>[5]</sup> 를 이용한 SPICE 시뮬레이션이 적용되며 기존의 스택 플립플롭 회로와 그 결과가 비교된다.

## II. 매트릭스 전극 선택용 회로와 스택 플립플롭 회로

평판 표시소자는 기본적으로 매트릭스형 전극구조를 가지며 매트릭스 전극의 선택에 의해 상호직교되는 부분(Cell)에 상대적인 전압차가 인가되어 화상데이터를 화면에 나타내게 된다.

매트릭스 전극을 선택, 데이터를 표시하는 기능을 갖는 회로는 주사전극 선택용 회로와 데이터전극 선택용 회로로 구분되며 주사전극 선택용 회로는 화면을 구성하는 매트릭스 전극의 각 주사선을 수십 KHz의 낮은 후레임 주파수에서 순차 주사하는 기능을 수행하며 그림1과 같은 구조를 갖는다. 한편 데이터전극 선택용회로는 주사전극 선택용 회로의 한행이 선택될 때마다 그 행에 해당하는 데이터신호를 출력시켜 화상을 형성하게 하며 수-수십 MHz의 데이터처리 주파수에서 동작된다.

매트릭스 전극 선택용 회로는 기본적으로 플립플롭 회로들로 구성되는 쉬프트 레지스터회로와 전압레벨을 증폭시키는 전위 쉬프터 회로, 그리고 데이터를 처리, 출력시키는 데이터 처리 및 출력버퍼로 구성되며 본 논문에서는 매트릭스 전극 선택용 회로내의 쉬프트 레지스터 회로를 구성하는 플립플롭회로의 설계기법이 고찰된다.

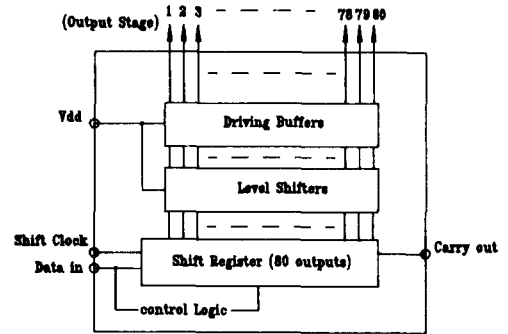


그림 1. 주사전극 선택용 회로의 블럭도  
Fig. 1. Block diagram of IC for selecting scan electrodes.

플립플롭 회로는 기본적으로 다이내믹(Dynamic) 회로와 스텍(Static) 회로로 분류되며 다이내믹 회로는 데이터의 처리속도가 빠르고 IC내의 회로 점유면적을 줄여 집적도를 증가시킬수 있는 반면 스텍 회로는 데이터의 전달속도나 회로 점유면적등에서 단점이 있으나 심한 방사환경이나(Radiation) 저주파수에서의 동작시 안전한 장점을 가지므로 높은 신뢰성이 요구되는 응용분야에 많이 사용되고 있으며 근래에 스텍회로의 데이터처리속도를 개선하기 위한 도미노(Domino) CMOS회로나 CVS(Cascade Voltage Switch) 회로등이 제시, 사용되고 있다. <sup>[6] [7]</sup>

일반적으로 가장 많이 사용되고 있는 스텍 D 플립플롭 회로는 그림 2에 보여지는 마스터 슬레이브 회로로서 단위상 클럭체계에 의하여 동작되는 회로는 아니나 각 플립플롭 회로마다 클럭반 전용 인버터 회로를 사용함으로써 단위상클럭에 의하여 안전하게 동작되도록 설계될수 있으며 총18개의 트랜지스터들로 구성된다. <sup>[8]</sup>

이 회로는 고주파 동작시 안전한 동작특성을 가지나 그림3과 같이 마스터단 및 슬레이브단의 출력 데이터 변이가 클럭신호의 중간전위에서 발생하게 되므로 저주파 동작, 특히 클럭신호의 변이시간이 긴 경우에 각단간의 크로스토크에 의한 오동작을 발생시킬수 있는 문제점을 갖는다. 이와같은 오동작문제를 해결하기 위한 방법으로 그림. 4와 같이 프리차지 및 쌍안정래치 회로를 이용한 플립플롭 회로들이 제시되기도 하였으나 <sup>[9] [10]</sup> 안전성에 비하여 플립플롭 회로를 구성하는 트랜지스터의 수가 많아지므로 IC면적 및 전력소모의 증가등 경제성이 문제시된다.

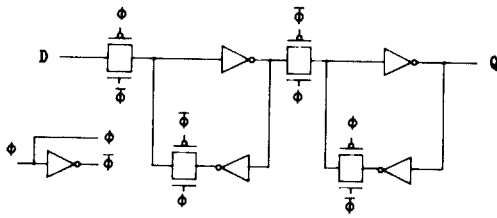


그림 2. 기존의 스테틱 D 플립플롭 회로  
Fig. 2. Conventional static D flip-flop circuit.

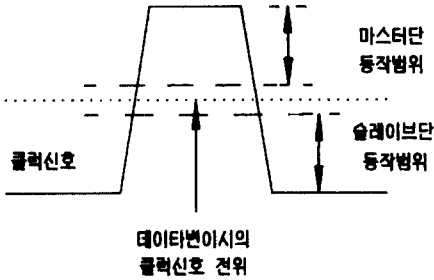


그림 3. 마스터-슬레이브 단의 출력 데이터변이 시의 클럭신호 전위  
Fig. 3. Clock signal level of master-slave stage at output data transition time.

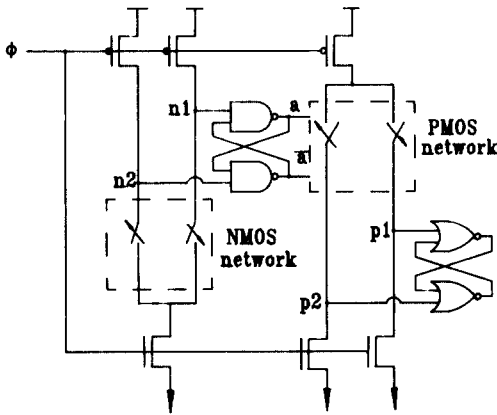
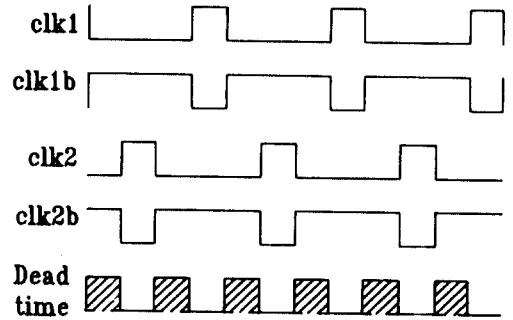


그림 4. 프리차지 회로를 이용한 플립플롭회로 예  
Fig. 4. An example of flip-flop circuit using pro-charge circuit.

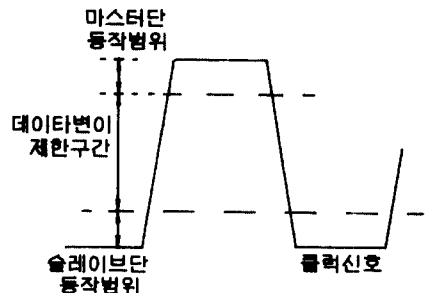
### III. 스테틱 D 플립플롭 회로의 설계 기법

본 논문에서는 기존의 플립플롭회로보다 2-4개 적은수의 트랜지스터들로 구성되며 그림 4의 회로와 같은 데이터처리의 안전성을 갖는 플립플롭회로들이 설계되며 이들 회로들은 단위상 클럭체계를 사용하거나 혹은 단위상 클럭체계에 의하여 안전하게 동작되

며 케환용 분리출력회로의 방전특성과 전하보완 기능을 이용하여 클럭신호의 고전위와 저전위사이의 적정 전압구간을 새로운 데이터의 변이제한구간으로 설정하며 비동작중인 트랜지스터들을 완전히 차단하는것을 특징으로 한다 이러한 특징에의해 IC의 집적도를 향상시킬수 있고 또한 이상클럭 체계의 장점인 동작 안전성을 보장하는 동시에 데이터처리 속도의 제한요인으로 작용하는 그림5a의 회로 휴지시간을 클럭간의 시간차가 아닌 클럭신호의 전위차에 의하여 확보하므로 이상클럭체계보다도 데이터의 처리속도가빠르며 클럭신호의 긴 변이시간에 대해서도 안전하게 동작하는 장점을 갖는다.



(a)



(b)

그림 5. 이상클럭체계 및 데이터변이시의 클럭신호 전위

- (a) 이상클럭체계와 회로 휴지시간
- (b) 출력데이터 변이시의 클럭신호 전위

Fig. 5. Two-phase clock system and clock signal level at output data transition time,

- (a) Two-phase clock system and circuit dead time,
- (b) Clock signal level at output data transition time.

그림 5b는 본 논문에서 설계되는 회로의 출력데이터 변이시의 클럭신호 전위를 나타내며 이러한 기능은 기본적인 마스터-슬레이브 플립플롭 구조에 케환용 회로로서 분리출력용 회로(그림6)를 사용하고 또한 각단의 데이터전송게이트로서 동형의 MOS 트랜지스터 2개를 병렬로 분리, 구성하므로써 실현된다.

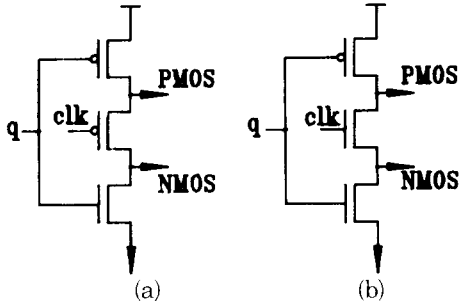


그림 6. P형, N형 분리출력용 케환회로  
(a) P형 회로 (b) N형 회로

Fig. 6. P-type, N-type feedback circuits for separate outputs.  
(a) P-type circuit, (b) N-type circuit.

IV. 스택틱 D 플립플롭 회로의 특성 고찰

전절에서 제시된 설계기법에 의하여 설계된 첫번째 플립플롭 회로는 총 14개의 트랜지스터들로 구성되며 그림7과 같다. 마스터단은 데이터전송 게이트로서 2개의 NMOS가 병렬로 구성, 사용되며 그림6의 P형 회로를 케환용 회로로 사용한다. 한편 슬레이브단은 이와반대로 2개의 PMOS를 데이터 전송게이트로 사용하며 그림6의 N형 회로를 케환용 회로로 사용한다.

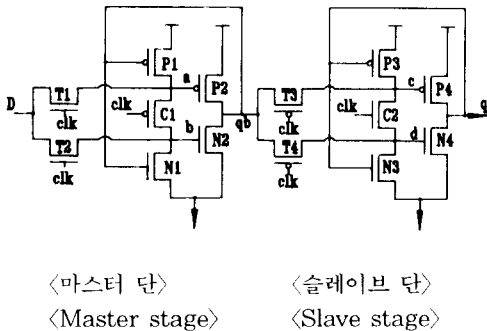


그림 7. 스택틱 D 플립플롭 회로 I  
Fig. 7. Static D flip-flop circuit I.

마스터단의 동작및 데이터변이 특성을 고찰해보면, 마스터단으로의 새로운 데이터 입력은 두개의병렬 NMOS 게이트들에 의하여 동시에 발생되며 각 게이트출력은 케환클럭용 PMOS에 의하여 상호분리되어 마스터단을 구성하고있는 인버터의 PMOS와 NMOS에 각각 입력되고 결과적으로 마스터단의 출력상태를 변화시킨다. 동작으로서 마스터단의 출력상태와 새로운 입력 데이터가 모두 "High"일 경우, 클럭신호가 "High"로 변이하면서 케환클럭용 PMOS는 차단되기 시작한다. 케환클럭용PMOS가 차단되면 격리상태가된 Node a는 쉽게 "High"로 변이하게되고 P3을 차단시키게 된다. 따라서 Node qb가 격리되게 되고 트랜지스터 N1과 N2는 차등(Differential)버퍼가 된다. 클럭신호 전위가 계속 증가하게 되면 Node b의 전압전위가 상승, 격리상태에 있는 Node qb를 방전시키게된다. 이를 위해서는 데이터전송 게이트, T2의 저항이 충분히 낮아져야하며 이는 클럭신호 전위가 충분히 커야한다는것을 의미한다. 실제적으로 클럭신호가 약4V이상일때 이와같은 데이터변이가 발생하게된다. 한편 Node a의 전압전위는 마스터단 출력의 케환기능에 의하여 5V로 즉시 보완되어 P3을 완전히 차단시키며 클럭신호가 "Low"로 변이하면서 케환클럭용 PMOS가 동작, Node b의 전하를 5V로 보완시켜 케환기능을 수행한다. 마스터단출력과 새로운 입력데이터가 모두 "Low"일 경우에는 정반대의 동작이 수행되며 동작특성은 "High"일때와 같다.

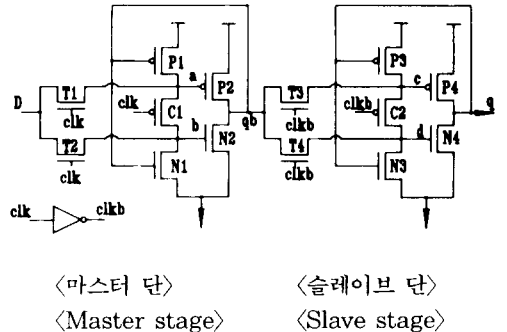


그림 8. 스택틱 D 플립플롭 회로 II  
Fig. 8. Static D flip-flop circuit II.

슬레이브단의 경우도 기본적으로 마스터단의 경우와 유사한 동작을 수행하며 클럭신호 전위가 약1V이하에서 새로운 데이터 변이가 발생한다. 이 경우에는 데이터전송용 게이트가 PMOS이고 케환클럭용 게이트가 NMOS이기 때문에 공정계수에 따라 동작특성

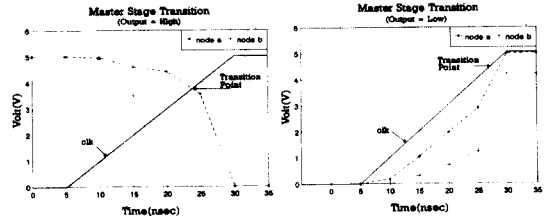
이 마스터단과 다소 다를수 있다. 이와같은 공정상태에 따른 특성차이를 줄이기 위하여 제시된 회로가 그림 8에 나타나며 이 회로는 마스터단 및 슬레이브단 모두 데이터전송 게이트로서 NMOS들을 사용하고 캐환클럭용 게이트는 PMOS를 사용한다. 또한 각 플립플롭 단마다 클럭신호 반전용 인버터를 추가, 총 16개의 트랜지스터들로 구성되며 단위상 클럭체계에 의하여 매우 안전하게 동작하도록 설계될수 있다. 동작방식은 플립플롭 회로와 매우 유사하나 더욱 안정된 동작특성을 가지므로 PMOS와 NMOS의 특성차가 클 경우 매우 효과적으로 사용될수 있다.

V. 측정실험 및 결과

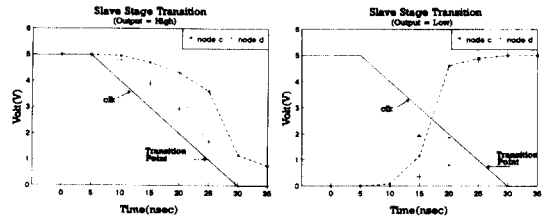
본 논문에서 제시된 스태틱 D 플립플롭 회로(플립플롭 I, II)들의 동작특성 평가를 위하여 2um CMOS SPICE 파라미터를 이용한 SPICE 시뮬레이션이 적용되며 그 결과가 기존의 스태틱 D 플립플롭 회로(플립플롭 R, 그림 2)와 비교된다. 트랜지스터들의 크기는, N1, P2, N3, P4는 최소크기로, T1, T2, T3, T4, P1, N5는 2배, 그리고 출력버퍼용 트랜지스터들은 4배 크기로 설정하였으며 부하의 용량은 0.1pf로 하여 측정하였다.

측정결과로서, 최대동작 주파수는 플립플롭 I, II 회로가 모두 200MHz로서 플립플롭 R 회로 (500MHz)의 약 40% 정도에 지나지 않으며 출력반응시간도 플립플롭 회로가  $T_r=1.5nsec$ ,  $T_f=1.1nsec$ , 그리고 플립플롭 R 회로가  $T_r=1.2nsec$ ,  $T_f=2.7nsec$ 로서 플립플롭 R 회로( $T_r=1nsec$ ,  $T_f=1nsec$ )에 비하여 약 30% 이상 길어진다. 이는 플립플롭 I, II 회로의 경우 방전버퍼중의 한 게이트가 격리된 전하상태로 있어 이를 방전시키는 데 필요한 시간이 포함되기 때문으로 평판표시소자의 구동에 필요한 주파수범위에서는 전혀 문제가 되지 않는다. 한편 본 논문에서 중점적으로 다루고 있는 출력데이터 변이시의 클럭신호 전위 측정실험 결과에서는, 클럭신호가 10MHz, 클럭변이시간이 25nsec의 조건에서, 마스터단의 경우 "High"로의 데이터 변이시 출력이 2.5V 전위를 통과할때 클럭신호 전위는 플립플롭 I 회로가 4.06V, 플립플롭 II 회로가 4.5V로서 플립플롭 R 회로의 2.7V보다 훨씬 높으며 "Low"로의 데이터 변이시의 클럭신호전위도 각각 4.73V, 4.76V 및 2.8V로서 유사한 결과가 얻어진다. 슬레이브단의 경우는 "High" ("Low")로의 데이터 변이시 클럭신호전위는 각각 1V(0.7V), 0.3V(0V) 및 2.06V(2.13V)로서 플립플롭 I, II 회로가 플립플롭 R 회로보다 훨씬 낮은 전압에서 출력데이터 변이를

발생시킨다.



(a)



(b)

그림 9. 플립플롭 회로의 클럭신호 변이에 따른 데이터변이 특성

- (a) 마스터단의 클럭신호 변이에 따른 데이터변이 특성
- (b) 슬레이브단의 클럭신호 변이에 따른 데이터변이 특성

Fig. 9. Data transition characteristics by clock signal transition of flip-flop I circuit.

- (a) Data transition characteristics by clock signal transition at master stage,
- (b) Data transition characteristics by clock signal transition at slave stage.

그림 9는 측정결과 얻어진 플립플롭 I 회로의 데이터 변이시 클럭신호전위를 Node a, b의전압변이 특성과 함께 나타내고 있으며 플립플롭 II 회로의 마스터단및 슬레이브단 동작특성도 각각 그림9a의 플립플롭 I 회로 특성과 거의 같다. 결과적으로 플립플롭 I, II 회로는 클럭신호 전위가 약4V이상일때만 마스터단에 새로운 데이터변이가 발생하도록 하고 반대로 클럭신호 전위가 약1V이하일때만 새로운 데이터변이가 슬레이브단에서 발생하도록 하므로 이들회로의 새로운 데이터변이 제한구간은 본 실험조건에서 약3.36V (4.06V-0.7V)이상이 되어 플립플롭R회로의 0.53V(2.7V-2.13V)보다도 약6배정도 크며 따라서 이 결과에 의해 플립플롭 I, II 회로의 안전성이 매우 높다는 것을 알수있다.

마지막으로 회로의 동작주파수에 따른 최대 허용가능한 클럭변이시간 측정실험에서는, 플립플롭 I 회로는 1MHz의 클럭주파수까지는 무제한의 변이시간을 허용하고 10KHz에서는 1.5usec까지의 변이시간을 허용한다. 한편 플립플롭 II 회로의 경우는 10KHz의 클럭주파수까지 무제한의 변이시간이 허용되나 플립플롭R회로의 경우는 클럭변이 허용시간이 표1에 나타난바와 같이 저주파수로 갈수록 크게 제한된다. 이결과는 본논문에서 제시하는 플립플롭 I, II 회로들이 클럭신호의 변이시간이 긴경우, 특히 저주파수에서의 동작시 매우 우수한 동작특성을 갖는다는 것을 나타낸다.

표 1. 3종류의 플립플롭 회로들에 대한 시뮬레이션 결과 비교

Table 1. Comparison of simulation results for three flip-flop circuits.

회로 특성	플립플롭 I		플립플롭 II		플립플롭 R	
	High	Low	High	Low	High	Low
트랜지스터 수	14개		16개		18개	
최대동작 주파수	200MHz		200MHz		500MHz	
각단의 출력변이시(2.5V통과시)의 클럭 신호 전위 (Fclk=10MHz, Tr Tf=25nsec)						
마스터	4.06V	4.73V	4.5V	4.76V	2.7V	2.8V
슬레이브	1V	0.7V	0.3V	0V	2.06V	2.13V
최대클럭변이시간 (unit:usec, X: no limit)	100MHz : X 1MHz : X		100MHz : X 1MHz : X		100MHz : X 1MHz : X	
	10KHz : 1.5		10KHz : X		10KHz: 0.15	
Step Response (CLK=2.5V時) (unit:nsec)	Drise	Dfall	Drise	Dfall	Drise	Dfall
	1.5	1.1	1.2	2.7	1	1

VI. 결론

본 논문에서는 저주파 동작, 특히 팬 아웃 및 클럭 신호의 지연등에 따른 클럭신호의 긴 변이 시간에서도 안전한 동작특성을 갖는 스택 플립플롭회로의 설계 기법에 관하여 논하였다.

IC내의 쉬프트 레지스터회로를 구성하는 스택 플립플롭회로들이 케환용 분리출력회로의 방전특성과 전하보완기능을 이용한 설계기법에 의하여 제시되었으며 동작특성등을 측정, 기존회로의 특성과 비교하였다.

기존 회로들의 경우는 고주파 동작시 매우 안전한 동작특성을 가지나 저주파 동작, 특히 클럭 신호의 변이시간이 긴 경우 오동작을 발생시키는 문제점을 나타내며 이러한 문제점을 해결하기 위하여 제시된 회로들은 쌍안정 래치회로등을 사용하므로 회로를 구성하는 트랜지스터들의 수가 증가, IC의 집적도를 떨어뜨리는 또다른 문제점을 야기시킨다.

본 논문에서 제시된 플립플롭회로들은 케환용 분리출력 회로의 방전특성과 전하보완기능을 이용, 이상 클럭체계의 특징인 회로휴지시간을 클럭간의 시간차가 아닌 단위상 클럭신호의 전위차에 의하여 확보함으로써 클럭신호의 변이시간이 긴경우, 특히 저주파수 동작시에도 매우 안전한 동작특성을 갖는것을 특징으로하며 또한 설계 기법에 따라 IC의 집적도향상에도 기여할수 있다.

측정실험및 특성비교 결과는 제시된 플립플롭회로들이 클럭신호의 변이전위중 새로운 데이터변이의 제한구간을 기존회로보다 약 6배정도 크게할 수 있다는 것을 나타내며 특히 저주파수에서의 허용가능한 최대 클럭변이시간도 기존회로의 변이시간보다 약 10배이상으로 확장될 수 있다는 것을 나타낸다.

앞으로는 회로 동작조건에 따른 플립플롭회로를 구성하는 트랜지스터들의 최적화및 데이터처리 속도를 개선하는 방향으로 연구가 진행될 필요가 있다.

參 考 文 獻

[1] Kumiko Hyugaji, et al, "CMOS Driver LSIs for Megapixel Multi-Color TFT-LCDs," SID, pp. 543-546, 1991.  
 [2] Kazuhiro Takahara, et al, "16-Level Gray Scale Driver Architecture & Full Color Driving for TFT-LCD," IDRC, pp. 115-118, 1991  
 [3] Hisao Okada, et al, "Development of a

Low Voltage Source Driver for Large TFT-LCD System for Computer Applications," IDRC, pp.111-114, 1991

[4] C. Mead and L. Conway, Introduction to VLSI System, Addison-Wesley, 1980.  
 [5] L. A. Glasser & D. W. Dobberpuhl, The Design and Analysis of VLSI Circuits, Addison-Wesley, 1988, Feb. 1988.  
 [6] R. H. Krambeck, C. M. Lee, and H. S. Law, "High Speed Compact Circuits with CMOS," *IEEE J. Solid State Circuits*, vol. 17, no. 1, pp. 280-283, June 1982.  
 [7] L. G. Heller, W. R. Griffin, J. W. Davis and N. G. Thoma, "Cascode Voltage Switch Logic: A Differential CMOS Logic Family," in ISSCC Dig. Tech. Papers, pp. 16-17, 1984  
 [8] Morteza Afghahi and Christer Svensson, "A Unified Single-Phase Clocking Scheme for VLSI Systems," *IEEE J. Solid State Circuits*, vol. 25, no. 1, pp. 225-233, Feb 1990.  
 [9] D. Renshaw and C. H. Lau, "Race-Free

Clocking of CMOS pipelines using a Single Global Clock," *IEEE J. Solid State Circuits*, vol. 25, no. 3, pp. 766-769, June 1990.

[10] S. L. Lu, "A safe single-phase clocking scheme for CMS Circuits," *IEEE J. Solid State Circuits*, vol. 23, no. 1, pp. 280-283, Feb. 1988.

< 부록 1 >

-- 2um CMOS Process Parameters --  
 . Model NMOS level=3 rsh=0 tox=225e-10 ld=0.15e-6 xj=0.21e-6 cj=1.0e-4 cjsw=1.25e-10+uo=650 vto=0.628 cgso=2.3e-10 cgdo=2.3e-10 nsub=3e15 theta=0.06 kappa=0.4 eta=0.14+ vmax=17e4 pb=0.7 mj=0.5 mjsw=0.3 nfs=1e10  
 . Model PMOS level=3 rsh=0 tox=225e-10 ld=0.4e-6 xj=0.6e-6 cj=6.0e-4 cjsw=3.75e-10+uo=220 vto=-0.668 cgso=6.2e-10 cgdo=6.2e-10 tpg=-1 nsub=5e15 theta=0.03 eta=0.06+ kappa=0.4 vmax=17e4 pb=0.7 mj=0.5 mjsw=0.3 nfs=1e10

著者紹介



崔善靜(正會員)  
 1960年 1月 5日生. 1982年 2月 서강대학교 전자공학과 졸업. 1984年 2月 아주대학원 전자공학과 공학석사학위 취득. 1985年 ~ 현재 삼성 전관 연구소 근무. 주관 심분야 Display System 등임.

金容得(正會員) 第 29卷 6號 參照  
 현재 아주대학교 전자공학과 교수

鄭己鉉(正會員) 第 29卷 B編 第 7號 參照  
 현재 아주대학교 전자공학과 교수