

높은 latch-up 전류특성을 갖는 트랜치 캐소드 삽입형 IGBT

(A Novel Inserted Trench Cathode IGBT Device with High Latching Current)

趙丙變*, 郭桂達**

(Byung Seob Cho and Kae Dal Kwack)

要約

본 논문은 ISTC-IGBT(InSerted Trench Cathode IGBT)이라고 명한 새로운 IGBT 구조를 제안하였다. ISTC-IGBT는 기존의 IGBT 구조내에 트랜치형의 shallow p' 접합을 추가하였다. 이 구조는 기생 thyristor에 의해 발생하는 latch-up 현상을 효과적으로 억제하는 능력을 갖는다. 제안된 소자의 홀딩 전류는 기존의 IGBT보다 2.2배 향상된다. ISTC-IGBT의 latch-up 특성의 자세한 해석을 위해 2차원 소자 시뮬레이터, PISCES-ⅡB를 이용하였다.

Abstract

A novel insulated gate bipolar transistor(IGBT), called insulated trench cathode IGBT (ISTC-IGBT), is proposed. ISTC-IGBT has a trenched well with the shallow P' junction in the conventional IGBT structure. The proposed structure has the capability of effectively suppressing the parasitic thyristor latchup. The holding current of ISTC-IGBT is about 2.2 times greater than that of the conventional IGBT. Detailed analysis of the latchup characteristics of ISTC-IGBT is performed by using the two-dimensional device simulator, PISCES-ⅡB.

1. 서론

수직형 IGBT(Insulated Gate Bipolar Transistor)는 최근 중대형 전력용 스위칭 소자로 많이 이용되고 있는 소자이다. 이 소자는 적은 온-저항, 고속 스위칭, 그리고 높은 항복전압 등의 장점을 지니고 있으며, 입력단이 MOSFET 구조이므로 구동회로의 전력 소모를 최소화 시킬 수 있다.

그러나 이 소자는 구조적으로 기생 P-N-P-N thyristor를 포함하고 있기 때문에 정상 상태의 전류 밀도가 임계치를 초과하면 쉽게 latch-up현상을 발생시킨다. 이때 이 소자는 입력 게이트에 의해 제어가 불가능해진다. 즉, latch-up은 IGBT구조내에 포함된 P-N-P-N 구조가 정제환으로 인해 발생하는 기생현상이다. 이러한 문제를 해결하기 위해서 Baliga 등^[1]은 캐소드 셀 내에 고농도의 P' 확산층을 추가하였으며, Nakagawa 등^[2]은 캐소드의 N'층을 주기적으로 삭제하여 정공 전류를 바이패스 시키는 구조를 제안하였다.

최근 우리는 캐소드 삽입형 IGBT(InSerted

*準會員, **正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Han Yang Univ.)
接受日字:1993年 1月 11日

Cathode IGBT:ISC-IGBT)를 제안하고 이 구조가 기존의 IGBT보다 향상된 latchup 억제특성을 갖고 있음을 확인하였다. [3] 본 논문에서는 ISC-IGBT의 latch-up 억제 특성을 보다 개선하기 위하여 P-well 영역 사이에 삽입한 shallow P' 확산층을 트랜치 구조로 변형시킨 트랜치 캐소드 삽입형 (InSerted Trench Cathode IGBT:ISTC-IGBT)를 제안한다.

II. 소자의 구조 및 시뮬레이션 방법

그림 1은 트랜치 캐소드 삽입형 IGBT (ISTC-IGBT)의 구조를 나타내고 있다. 이 구조는 P-well 영역 사이에 트랜치를 형성하여 shallow P' 확산을 시켰다. 이 층의 삽입으로 인해 IGBT는 P' 에미터, N/N' 베이스 그리고 P' 콜렉터로 구성되는 바이폴라 트랜지스터가 추가로 형성된다. 결과적으로 추가된 바이폴라 트랜지스터는 기존의 IGBT내의 바이폴라 트랜지스터와 동일한 기능을 갖는다. 삽입된 P' 콜렉터는 캐소드 단자와 공통으로 연결하였으며, 트랜치의 깊이는 표면으로부터 8 μ m, P' 확산층의 접합은 1 μ m로 하였다.

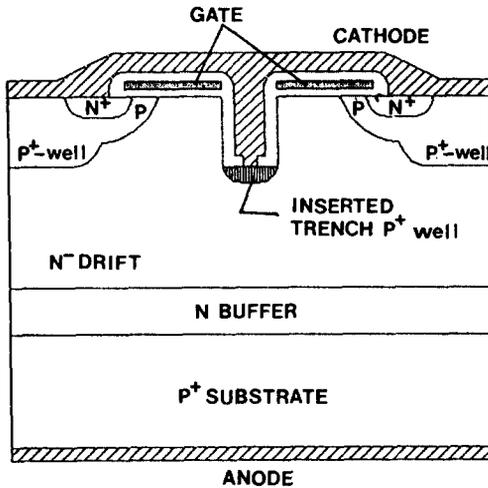


그림 1. ISTC-IGBT의 단면도
Fig. 1. The cross section of ISTC-IGBT structure.

온-저항은 각 셀의 구조에 따라 차이는 있지만, Hu 등 [4]은 MOSFET의 neck면적과 cell 면적비가 약 63%에서 최소 온-저항을 갖는다고 발표하였다. 본 논문에서는 Hu의 모델을 참고하여 P-well의 폭 (s)을 23.6 μ m, well 사이의 거리(a)는 26.4 μ m로 하였

다. shallow P' 확산층은 well 중앙에 위치하며, 트랜치의 깊이는 4 μ m로 하였다.

이 구조에서 삽입된 BJT는 기존의 BJT와 병렬로 구성되며 드리프트 영역내의 다수 운반자(전자)의 공급에 의해 턴-온된다. 삽입된 BJT는 기존 BJT를 통해 흐르는 정공 전류를 적절히 제어하는 기능을 갖는다. 그 이유는 ISTC-IGBT의 정공 전류가 기존의 IGBT와 달리 두개의 통로를 갖기 때문이다. 즉, 정공 전류의 흐름은 기존의 deep P-well과 삽입된 shallow P'-well인 두통로를 갖는다. 결과적으로 삽입된 BJT에 의해서 기존의 바이폴라 트랜지스터의 전류 이득은 감소하며, 따라서 latch-up특성은 향상된다.

이 구조의 물리적인 특성을 자세히 해석하기 위해서 PISCES-II B 시뮬레이터를 이용하였다. [5] 표1은 시뮬레이션에서 사용된 파라미터 값이다. 접합 농도 분포는 해석적인 모델을 이용하였으며, 소자내의 기생 thyristor가 턴-온되었을때 부성저항 영역을 확인하기 위해서 에노드단에 부하저항 (lumped-resistor)을 부착하였다. 그의 전계속속 이동도 및 SRH 재결합 모델을 사용하였다. 고정전하 밀도는 $1 \times 10^{10} \text{cm}^{-2}$ 으로 가정하였다.

표 1. PISCES-B 시뮬레이션에서 이용된 소자 파라미터

Table 1. Device parameters used in the PISCES-II B simulation.

Cell Spacing	Width of the P-well (s/2) : 11.8 μ m	
	Distance between the wells (a/2) : 13.2 μ m	
N-drift Layer	width: 50 μ m	$N_d = 2E14 \text{ cm}^{-3}$
N-buffer Layer	width: 15 μ m	$N_d = 2E16 \text{ cm}^{-3}$
Deep P-well	Y, junction+5 μ m	$N_a = 1E16 \text{ cm}^{-3}$
Deep P'-well	Y, junction+3.5 μ m	
Gate Oxide	Thicknees=0.1 μ m	
Channel	Length=2 μ m	
Shallow P'-well	Y, junction=1 μ m, width=2 μ m	
Trench	Depth=8 μ m	

III. 시뮬레이션 결과와 검토

1. 정상상태 해석

이미 언급한 바와 같이 IGBT는 기생 thyristor 구조를 가지고 있다. 이 기생 P-N-P-N 구조는 정상상태 전류 밀도가 임계치를 초과하면 쉽게 턴-온된다.

즉, 정상 상태의 latch-up는 $\partial V_{AK} / \partial I_A = 0$ 인 점으로 정의한다. ⁶⁾ 순방향 바이어스에 의해 소수 운반자는 P기판으로부터 드리프트 영역으로 주입되며, 이때 이 영역은 주입된 운반자 밀도가 N-drift의 불순물 농도를 능가할 때까지 전도도 변조를 한다. 이때 에노드로부터 주입된 정공은 N-drift 영역에 존재하며, 그중 정공전류의 일부가 R_S 로 흐른다. 만약 R_S 에 인가된 전압이 트랜지스터(Tr_3)를 턴-온 시키킬 정도로 충분히 크면(약 0.6V이상) 기생 thyristor 은 턴-온되어 정제환 동작을 한다.

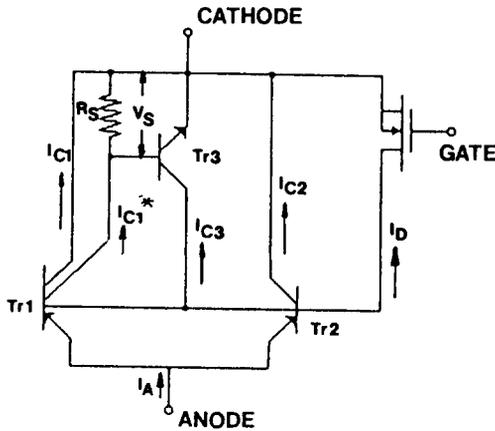


그림 2. Latch-up 해석을 위한 등가회로
Fig. 2. The equivalent circuit for a latch-up analysis.

그림 2는 본 논문에서 제안한 ISTC-IGBT의 간단한 등가회로를 나타내고 있다. 이때 Tr_1 은 기존의 IGBT의 등가 트랜지스터이며, Tr_2 는 삽입된 구조에 의해 형성된 등가 트랜지스터이다. 이들 트랜지스터의 DC 공통-베이스 전류이득은 각각

$$\alpha_{TR1} \equiv \frac{I_{c1} + I_{c1}^*}{I_A} \quad \alpha_{TR2} \equiv \frac{I_{c2}}{I_A} \quad (1)$$

로 정의한다. 여기서 I_A 는 에노드 전류이며, I_{c1} 과 I_{c2} 는 각 트랜지스터의 콜렉터 전류이며, 그리고 I_{c1}^* 는 R_S 로 통과하는 콜렉터 전류이다. 따라서 전 DC 공통-베이스 전류이득은

$$\alpha = \alpha_{TR1} + \alpha_{TR2} \quad (2)$$

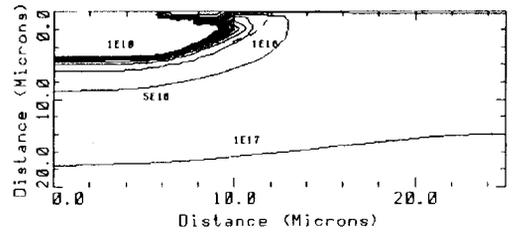
이다.

충전 구조에서 캐소드로 흐르는 전류이득은 Tr_1 에 의해서 결정된다. 그러나 제안된 구조에서는 식(2)에

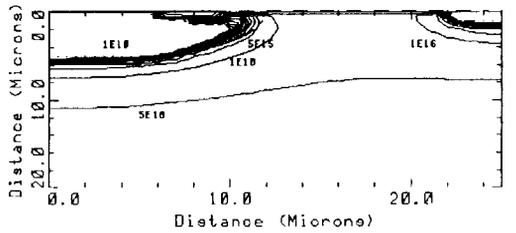
서와 같이 Tr_1 과 Tr_2 의 전류이득의 합으로 구성된다. 여기서 공통베이스 전류이득, α 가 일정하다고 가정하면 ($\alpha < 1$) α_{TR2} 가 증가할수록 α_{TR1} 은 감소하며, 추가된 Tr_2 는 캐소드전류를 분산 시키는 역할을 한다. 따라서 Tr_1 으로 흐르는 전류 I_{c1} 과 I_{c1}^* 는 감소하는 효과를 얻을수 있으며 이로인해 ISTC-IGBT는 향상된 latch-up 억제 특성을 갖는다.

2. 전류-전압(I-V)특성

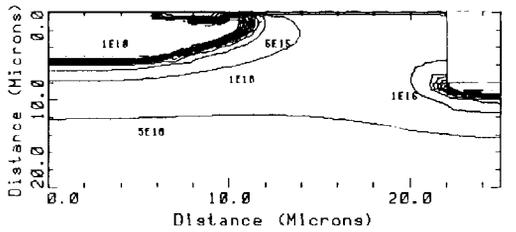
그림 3 (a), (b), (c)는 에노드 전압이 1.4V에서 2차원 전자 농도 분포를 나타내고 있다. 일반적으로 IGBT가 정상동작을 할때 전자 전류는 MOSFET 채널로 구속되어 흐른다.



(a)



(b)



(c)

그림 3. (a)IGBT (b) ISC-IGBT (c)ISTC-IGBT 전자농도 분포 조건: $V_A=1.4V$, $V_G=5V$, 수명시간=1 μsec , 온도=27 $^{\circ}C$.

Fig. 3. Contours of electron concentration for (a) IGBT, (b) ISC-IGBT, and

(c) ISTC-IGBT ($\Delta N_E=5 \text{ cm}^{-3}$).
 Conditions: $V_A=1.4\text{V}$, $V_G=5\text{V}$,
 Lifetime = $1 \mu\text{sec}$, Temp. = 27°C .

그림 3 (a), (b) 는 각각 일반적인 IGBT와 ISC-IGBT의 전자 농도 분포이다. 이들 그림에서 보듯이 대부분의 전자 전류가 P-well 전영역으로 분산되어 흐르고 있다. 즉 두 그림은 latch-up이 발생하는 과정을 보이고 있다. 그러나 그림 3 (c)은 본 논문에서 제시한 ISTC-IGBT의 농도 분포인데 이 그림에서는 채널내에 전자가 구속되어 반전층을 통한 정상적인 전류 흐름을 보인다. 즉 본 구조는 이와 같은 바이어스 조건에서도 latch-up이 발생하지 않으며 정상적인 동작을 하게 됨을 알 수 있다. 그림 4는 DC 전류-전압 특성을 보이고 있다. 이 그림으로 부터 ISTC-IGBT가 어느 구조 보다도 월등히 latch-up 특성이 개선됨을 확인할 수 있다. 즉 IGBT의 latch-up 억제 성능을 평가하는 holding 전류 면에서 기존의 IGBT는 1.55V의 전압에서 $5.8 \times 10^5 \text{ A}/\mu\text{m}$ 이며 ISC-IGBT는 2V에서 $9.73 \times 10^5 \text{ A}/\mu\text{m}$, ISTC-IGBT는 2.35V에서 $1.28 \times 10^4 \text{ A}/\mu\text{m}$ 가 얻어 졌다. 즉 본 소자의 holding 전류는 기존의 소자보다 약 2.2배 향상된다.

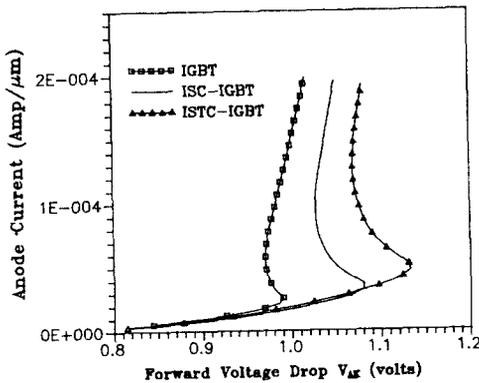


그림 4. IGBT, ISC- 및 ISTC-IGBT의 전류-전압 특성

조건: $V_G=5\text{V}$, 수명시간= $1 \mu\text{sec}$, 온도= 27°C .

Fig. 4. I-V characteristics for IGBT, ISC- and ISTC-IGBT showing static latchup. Conditions:

$V_G=5\text{V}$, Lifetime= $1 \mu\text{sec}$, Temp. = 27°C .

3. 공통 베이스 전류 이득

그림 5는 수명시간 $1 \mu\text{sec}$ 에서 각 구조의 바이폴라 트랜지스터 Tr_1 의 공통 베이스 전류 이득을 보이고 있다. 식(2)으로 부터 ISTC-IGBT의 latch-up 특성은 전류 이득 α_{Tr_1} 의 감소에 의해서 개선됨을 알 수 있다. 그림 5에서 보듯이 ISTC-IGBT는 종전의 IGBT보다 α_{Tr_1} 이 약 50% 감소하였다. 또한 ISTC-IGBT가 ISC-IGBT^[3] 보다도 더욱 α_{Tr_1} 이 감소 하였는데 그 이유는 trench well에 의해 에피층 두께 W_B 의 감소로 인해 α_{Tr_2} 가 증가하였기 때문이다.^[7] 그러나 그림5의 공통 베이스 전류이득으로 부터 정확한 latch-up 발생 지점을 예측할 수는 없다. 그 이유는 시뮬레이션 기법상 I_{C1} 과 I_{C1}^* 전류를 분리해서 계산이 불가능하기 때문이다. 그러나 삽입된 Tr_2 로 인해 Tr_1 의 전류이득 α_{Tr_1} 이 감소하기 때문에 I_{C1}^* 가 감소됨을 예측할 수 있다.

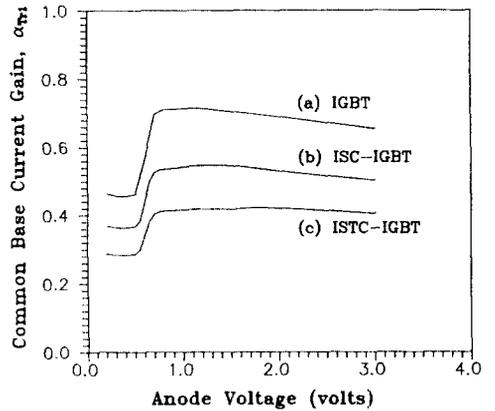


그림 5. IGBT, ISC- 그리고 ISTC-IGBT Tr_1 의 공통베이스 전류이득. 조건: $V_G=5\text{V}$, 수명 시간= $1 \mu\text{sec}$, 온도= 27°C .

Fig. 5. Common base current gain of Tr_1 for IGBT, ISC-IGBT, and ISTC-IGBT. Conditions: $V_G=5\text{V}$, Lifetime = $1 \mu\text{sec}$, Temp. = 27°C .

그림 6은 각 구조의 전 전류 이득(α)를 나타내고 있다. 전류 이득은 종전구조 보다 제한된 구조가 다소 증가 됨을 볼 수 있는데, 그 이유는 삽입된 트랜지스터로 인해 전체적으로 에미터 면적이 증가하였기 때문이며, ISTC-IGBT가 ISC-IGBT 구조보다 전류 이득이 큰 이유는 Tr_2 의 베이스 폭 감소에 기인한다.

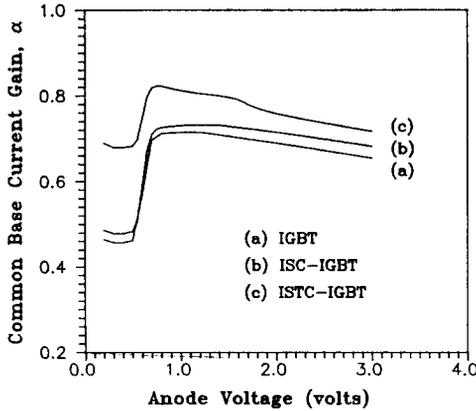


그림 6. IGBT, ISC- 그리고 ISTC-IGBT의 전공통베이스 전류이득

조건: $V_G=5V$, 수명시간= $1\mu sec$, 온도= $27^\circ C$.

Fig. 6. Total common base current gain for (a) IGBT, (b) ISC-IGBT, and (c) ISTC-IGBT. Conditions: $V_G=5V$, Lifetime = $1\mu sec$, Temp. = $27^\circ C$.

4. 온도효과

그림7은 온도에 따른 latch-up특성을 비교하고 있다. IGBT의 전류이득은 온도 및 수명 시간에 민감한 특성을 갖는다. 특히 전력용 소자는 큰 전류에서 동작하므로 내부저항(ON 저항)으로 인해 열이 많이 발생한다. 따라서 전력용소자의 온도 특성은 매우 중요하다.

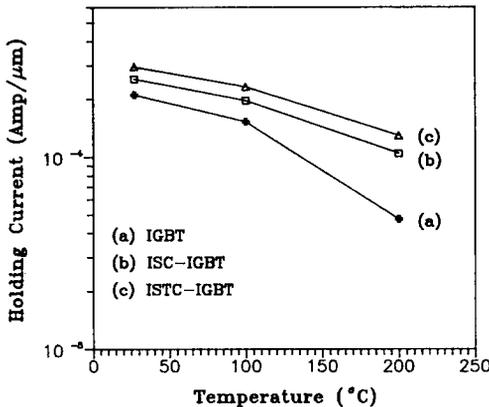


그림 7. 정상상태의 holding 전류 온도특성

조건: $V_G=5V$, 수명시간= $0.1\mu sec$, 온도= $27^\circ C$

Fig. 7. Effect of temperature on the static holding current for three structures. Conditions: $V_G=5V$, Lifetime = $0.1\mu sec$, Temp = $27^\circ C$.

그림 7에서 ISC-및 ISTC-IGBT는 고온에도 종전 소자보다 latch-up 억제 특성이 개선됨을 볼 수 있다. 즉, ISC-및 ISTC-IGBT 구조에서는 삽입된 트랜지스터로 과잉 캐리어의 bypass 효과가 온도가 상승할 수록 커지므로 기존 소자보다 더 좋은 특성을 보이게 된다. 여기서 시뮬레이션에 사용한 수명 시간은 $0.1\mu sec$ 이다.

IV. 결론

본 논문에서는 ISTC-IGBT라고 명한 새로운 구조의 전력용 소자를 제안하였으며, 2차원 시뮬레이터(PISCES-II B)를 이용해 그 결과를 검증하였다. 이 구조는 기존의 소자내에 바이폴라 트랜지스터를 추가하여 정공 전류를 적절히 분산시키므로 효과적으로 latch-up 억제 특성이 개선되었다. 바이폴라 트랜지스터의 베이스 전류 이득은 추가된 BJT로 인해 약 50% 분산 효과를 가져왔으며, latch-up 전류의 중요 파라미터가 되는 holding 전류를 기존의 소자보다 2.2배 향상 시킬 수 있었다. 특히 고온에서도 제안된 소자는 좋은 특성을 보이고 있다.

參考文獻

[1] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray, "Suppressing latchup in insulated gate transistor," *IEEE Electron Device Lett.*, vol. EDL-5, pp323-325, 1984.

[2] A. Nakagawa, Y. Yamaguchi, K. Watanabe, and H. Ohashi, "Safe operating area for 1200-V nonlatchup bipolar mode MOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-34, pp. 351-356, 1987.

[3] 조병섭, 손상희, 박재근, 박찬석, 표정렬, 광계달, "개선된 Latch-up 특성을 갖는 수직형 IGBT 구조", 하계종합학술대회, 제13권, 제1호, 319-322, 1990.

[4] C. Hu, M.H. Chi, and V.M. Patel, "Optimum design of power MOFET's" *IEEE Trans. on Electron Devices*, vol. ED-31, pp.1693-1700.

[5] M. R. Pinto, C. S. Rafferty and R. W. Dutton, PISCES- User's Manual, Stanford Electronics Labs., Stanford

Univ., Stanford, CA, 1984.

[6] S. G. Fossum and Y. S. Kim, "Static and dynamic latchup in the IGBT." *IEEE Trans. on Electron Devices*, vol. ED-35, pp. 1977-1985, 1988.

[7] Di-Son Kuo, Power bipolar-MOS transistor, Ph.D thesis, University of California, Berkeley, 1986.

著 者 紹 介

趙 丙 燮(正會員) 第 26卷 第 11號 參照
 현재 한양대학교 대학원 전자공학과 박사과정

郭 桂 達(正會員) 第 29卷 第 6號 參照
 현재 한양대학교 공과대학 전자공학과 교수 한양대학교 첨단반도체 센터 소장