

# BICMOS 버퍼의 해석적 지연시간 모델링

## (Analytical Delay-Time Modeling of BICMOS Buffers)

李熙德\*, 趙人星\*\*, 韓喆熙\*\*\*

(Hi Deok Lee, In Seung Jho, and Chul Hi Han)

### 要約

바이폴라 베이스 트랜지트 시간과 콜렉터-베이스 정전용량의 영향을 포함하는 BICMOS 버퍼의 스위칭 동작에 대한 모델을 제안한다. 저주입 효과와 채널 속도 제한영역을 가정하여 해석적 지연시간 모델을 구하였으며, 고주입 경우에는 유효전류이득을 이용하여 수치해석적 방법을 사용하였다. 이러한 결과들을 HSPICE 시뮬레이션 결과와 비교하였는데 잘 일치함을 보였으며, 콜렉터-베이스 정전용량이 지연 시간에 큰 영향을 미치는 것으로 나타났다. 제안된 모델을 이용하여 전원전압 감소 영향도 분석할 수 있음을 보였다.

### Abstract

A model for BICMOS buffer switching operation is presented, including the influence of bipolar base transit time and collector-base capacitances. A closed-form solution for the propagation delay-time is obtained assuming low level injection and channel velocity limitation. For the high level injection case, the delay-times are numerically obtained using effective current gain. These results are compared with those by HSPICE simulation, which shows good agreement. It is noted that the collector-base capacitance strongly affects the delay-time. The effects of voltage scaling are also investigated, which shows the model can be applied for the reduced supply voltages.

### 1 서 론

BICMOS는 MOSFET의 고집적과 바이폴라소자의 전류구동능력을 결합한 형태로, 정전전력소모가

거의 없고, 큰 부하용량을 구동할 수 있기 때문에, 고속 SRAM, 고속 gate array 등에 사용되고 있다.<sup>1,2)</sup> BICMOS 게이트는 MOS와 바이폴라소자가 결합되었기 때문에 여러가지 요인이 동작에 영향을 준다. 따라서 지연시간도 바이폴라 트랜지스터의 고주입 영역, MOS 트랜지스터의 선형 및 포화영역 등 동작 영역에 따라 각기 다른 형태로 나타난다.<sup>3,4)</sup> G.R.Rossel은 BICMOS의 지연시간에 대한 소자 파라미터들의 영향을 고려하였지만<sup>5)</sup> 바이폴라소자의 기생용량에 의한 영향을 고려하지 않았다. S.H. K.Embabi는 지연시간에 대한 해석적 모델을 세웠지만<sup>6)</sup> pull-down 바이폴라의 기생용량을 고려하지 않았다. 그러나 II장의 회로 시뮬레이션 결과에서

\*正會員, 韓國科學技術院 電氣 및 電子工學科  
(Dept. of Electrical. Eng., KAIST)

\*\*準會員, 서울大學校 電子工學科  
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

\*\*\*正會員, 韓國科學技術院 電氣 및 電子工學科  
(Dept. of Electrical. Eng., KAIST)

接受日字: 1993年 9月 16日

보통이 pull-down 바이폴라의 기생용량은 pull-up 시에도 지연시간에 많은 영향을 준다.

이 논문에서는, MOS트랜지스터의 짧은 채널 효과인 속도 제한영역과 바이폴라 트랜지스터의 베이스 트랜지트 시간 및 두 바이폴라 트랜지스터의 콜렉터-베이스 접합용량의 영향을 고려한 해석적 지연시간 모델을 만들고, 아랫단 바이폴라의 콜렉터-베이스 접합용량을 포함하여 여러 소자변수가 지연시간에 미치는 영향을 분석하였으며, 전원전압 감소에 따른 영향도 분석하였다.

II. BICMOS Buffer 동작 분석

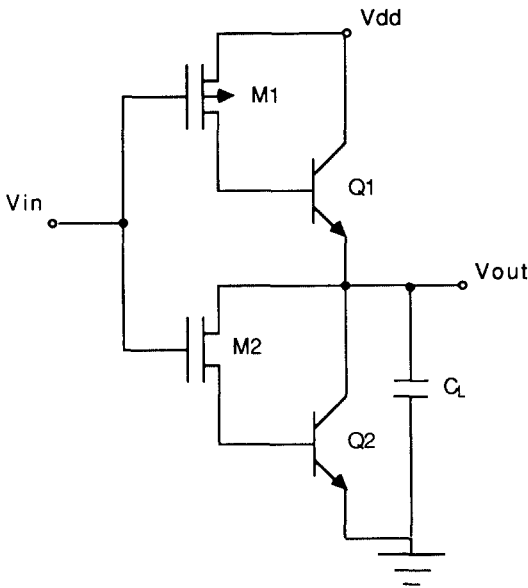


그림 1. BICMOS 버퍼 회로도

Fig. 1. Circuit diagram of BICMOS buffer.

그림 1 에 BICMOS 버퍼의 등가 회로를 보인다. 이 논문에서는 BICMOS 버퍼의 switching 동작중 pull-up 동작을 분석하였는데, pull-up시의 등가 회로를 그림 2 에 나타냈다. Pull-up propagation 지연시간( $t_{pdu}$ )은 입력 전압을  $V_{dd}$  에서 0 V 의 계단함수로 가했을 때, 출력전압이  $V_{0,low}$ 에서  $V_{dd}$ 로 될 때까지 걸리는 시간으로 정의하였다. 이때  $V_{0,low} = V_{BE1}(t=0) = V_{BE2}(t=0) = (1-f_0)V_D$  이며,  $f_0 \approx 0.4$ ,  $V_D = 0.75(V)$  이다.  $V_D$ 는 다이오드의 ON 전압이며,  $f_0$ 는 입력전압이  $V_{dd}$ 일때 출력전압이  $V_D$ 에서 얼마만큼 낮은 상태로 있는가를 나타내는 인자로 0과 1사이의 값을 갖는다.

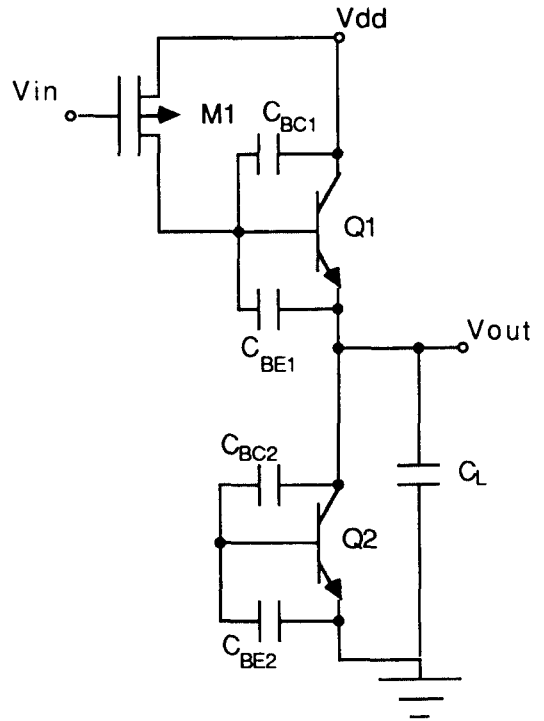


그림 2. Pull-up 동작시의 등가회로

Fig. 2. Equivalent diagram of pull-up operation.

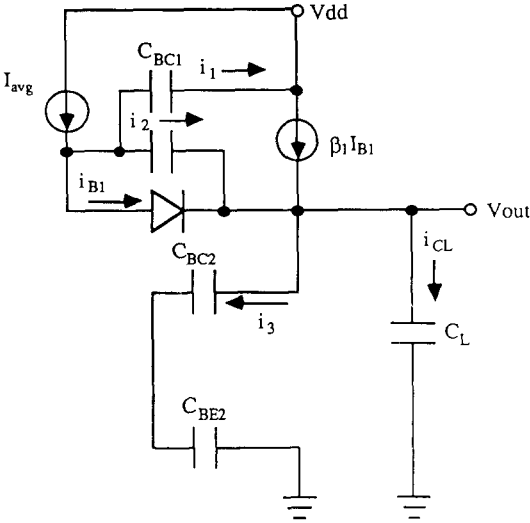
입력전압이  $V_{dd}$  에서 0(V)로 되었을때 PMOS는 곧 동작하지만  $Q_1$ 은  $V_{BE1}$  이  $V_D$  될 때까지 cut-off 영역에 남겨된다. 이 때  $V_{BE1}$ 이 초기값  $(1-f_0)V_D$  에서  $V_D$ 로 될 때까지 걸리는 시간을  $Q_1$  dead-time  $T_1$  이라 하며 식(1)과 같이 나타내어지고  $C_L \gg C_{BE1}$  경우에 출력전압의 변화는 거의 없다.

$$t_1 = \frac{(C_{BE1} + C_{BC1} + C_{BE1} * C_{BC1} / C_{TU})}{I_{DS}} f_0 V_D \quad (1)$$

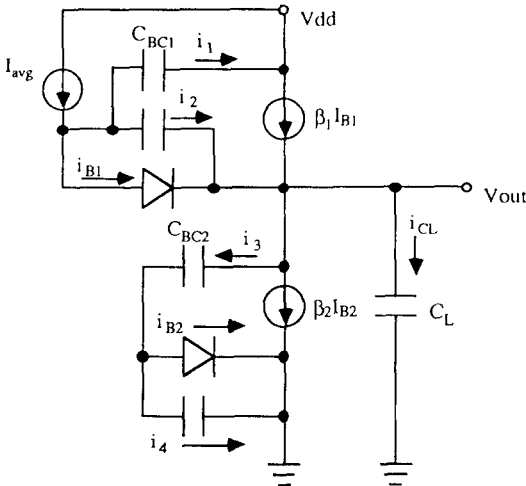
$C_{TU} = C_L + C_{BC2} / C_{BE2}$  이다.

$T_1$ 이 지난후의 등가회로를 그림 3 (a) 에 나타내었다. 그림 3 (a) 에서  $i_3$  에 의해  $V_{BE2}$ 가 점차 증가하는데,  $V_{BE2}$  가  $(1-f_0)V_D$ 에서  $V_D$  될 때까지 걸리는 시간을  $Q_2$  dead-time  $T_2$  로 정의하였으며  $T_1 + T_2$  후의 출력전압은  $(1+f_0)V_D$ 이다.  $T_1 + T_2$  이후의 등가회로를 그림 3 (b) 에 나타냈으며 출력전압이  $V_{dd}$  될 때까지 걸리는 시간을  $T_3$ 라 정의하였다. 따라서 전체 지연시간  $t_{pdu}$ 는  $T_1, T_2, T_3$ 의 합이다.  $T_3$  동안의 등가회로인 그림 3 (b) 에서 각 node 마다 Kirchoff의 전류법칙을 이용하여 여러 관계식을 식 (2) 와 같이 나타낼 수 있으며,  $T_2$  동안에는 그림 3 (a) 에서

식 (2) 중  $i_4 = 0$ ,  $i_{B2} = 0$  이며  $i_3 = i_{CL}(C_{BC2} // C_{BC1}) / C_L$  이다.



(a)  $T_1 < t < T_1 + T_2$



(b)  $T_1 + T_2 < t < T_1 + T_2 + T_3$

그림 3. Pull-up 동작시 모델링 회로

Fig. 3. Circuit modeling of pull-up operation.

$Q_B$  는 베이스 전하량이며  $I_C \tau_B$  이다. PMOS의 드레인 전류는 드레인 전압에 따라 바뀌므로, 드레인-소스간 전압이  $V_1$  에서  $V_2$  로 바뀌는 동안의 전류를 근사적으로 평균해서  $I_{avg}$  로 나타냈으며 다음과 같이 구한다.

$$\left. \begin{aligned} I_{avg} &= i_1 + i_2 + i_{B1} \\ (1 + \beta_1)i_{B1} + i_2 &= i_3 + \beta_2 i_{B2} + i_{CL} \\ i_3 &= i_{B2} + i_4 \\ i_1 &= C_{BC1} \frac{dV_{D1}}{dt} \\ i_2 &= \frac{d(Q_{B1})}{dt} = \beta_{1Tf} \frac{di_{B1}}{dt} \\ i_3 &= C_{BC2} \frac{dV_{D1}}{dt} \\ i_4 &= \frac{d(Q_{B2})}{dt} = \beta_{2Tf} \frac{di_{B2}}{dt} \\ i_{CL} &= C_L \frac{dV_{D1}}{dt} \end{aligned} \right\} \quad (2)$$

$$\begin{aligned} I_{DS} &= (V_{D1} - V_{D2}) / (V_{D1} - V_{D2}) \cdot I_{DS} \\ V_1 &= -[V_{DD} - 2V_{D1} - f_0 V_{D1}] V_1 = -(V_{DD} / 2 - V_{D1}) \end{aligned} \quad (3)$$

위에서  $I_D(V_{D1})$ 는 드레인 전류이고,  $I_{DS}$ 는 PMOS가 포화되었을 때의 전류이며 짧은 채널 효과를 고려하여 다음식으로 표시된다.

$$I_{DS} = k v_L C_{ox} W V_G$$

여기서  $k$ 는 다음과 같이 근사화시킬 수 있다.

$$k = 1 + \frac{E_c \cdot L}{V_G} \left( 1 - \sqrt{1 + \frac{2 \cdot V_G}{E_c L}} \right)$$

$E_c$ 는 임계 전기장,  $L$ 은 채널 길이,  $v_L$ 은 포화속도,  $V_G$ 는  $V_{GS} - V_T$  를 나타낸다.

### III. 저주입의 경우 ( $k = \infty$ )

$$V_0(t) = V_0(t_1) + \frac{(1 + \beta_0)I_{avg} \cdot t}{A} - \frac{\beta_0^2 \cdot C_L \cdot \tau_B \cdot I_{avg}}{A^2} [1 - \exp(-At / B)] \quad (4)$$

$$i_{C1}(t) = \beta_0 \frac{C_L}{A} I_{avg} [1 - \exp(-At / B)] \quad (5)$$

$$A = C_L + C_{BC2} // C_{BE2} + (1 + \beta_0)C_{BC1} \cdot C_{BC1} = C_{BC1} \cdot \gamma_1$$

$$B = \tau_B \beta_0 (C_L + C_{BC1})$$

$$\begin{aligned} V_0(t) &= V_0(T_2) + \frac{(1 + \beta_0)I_{avg} \cdot t}{A} - \frac{\beta_0^2 \cdot C_L \cdot \tau_B \cdot I_{avg}}{A^2} [1 - \exp(-At / B)] \\ &+ \frac{i_{C1}(T_2) \beta_0^2 \tau_B}{A} [1 - \exp(-At / B)] \end{aligned} \quad (6)$$

$$\begin{aligned} i_{C1}(t) &= \beta_0 \frac{C_L + (1 + \beta_0)C_{BC2}}{A} I_{avg} [1 - \exp(-At / B)] - \frac{\beta_0 C_{BC2} (I_{avg} - i_{C1}(T_2))}{C_{BC1} + C_{BC2}} \\ &+ [\exp(-t / \beta_0 \tau_B) - \exp(-A / Bt)] + i_{C1}(t_2) \exp(-At / B) \end{aligned} \quad (7)$$

$$i_{C1}(t) = \frac{\beta_0 C_{BC2}}{C_{BC1}} I_{avg} \left\{ [1 - \exp(-t / \beta_0 \tau_B)] - [i_{C1}(t) - i_{C1}(T_2)] / \beta_0 \right\} \quad (8)$$

$$A = C_L + (1 + \beta_0)(C_{BC1} \cdot C_{BC2}), C_{BC1} = C_{BC1} \cdot \gamma_1$$

$$B = \tau_B \beta_0 (C_L + C_{BC1} + C_{BC2}), C_{BC2} = C_{BC2} \cdot \gamma_2$$

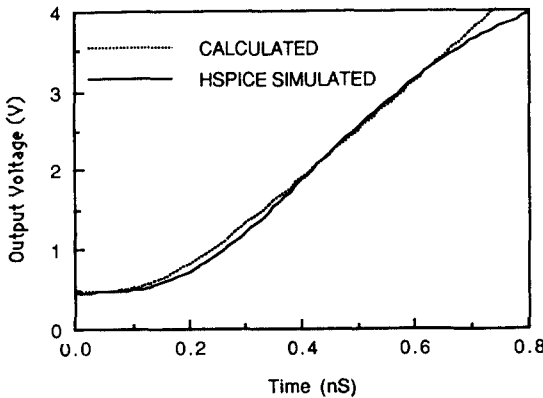
$Q_1$ ,  $Q_2$ 가 항상 저주입 영역에서 동작할 때  $\beta_1 = \beta_2 = \beta_0$ 가 되고 이 경우 식(2)을 풀면  $T_2$  동안에  $V_0(t)$ .

$I_{d1}(t)$ 는 각각 식 (4), (5)로 나타내어지며,  $T_3$  동안의  $V_o(t)$ ,  $I_{d1}(t)$ ,  $I_{d2}(t)$ 는 각각 식(6), (7), (8)과 같다. [7]

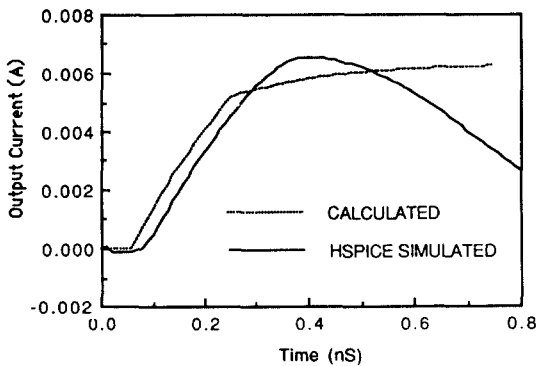
표 1. 소자 파라미터

Table 1. Device parameters.

$C_{BC} = C_{BE} = 0.01 \text{ pF}/\mu\text{m}$
$\beta_0 = 100$
$I_k = 0.5 \text{ mA}/\mu\text{m}$
$T_{OX} = 30 \text{ nm} \rightarrow C_o = 115 \text{ nF}/\text{cm}^2$
$ V_{TP}  = 1.2 \rightarrow V_G = 3.8 \text{ (V)}$
$v_L = 10^7 \text{ cm/s}$
$E_C \text{ (PMOS)} = 50 \text{ kV}/\text{cm}$
$E_C \text{ (NMOS)} = 20 \text{ kV}/\text{cm}$



(a) output voltage



(b) output current

그림 4. 출력전압(a)과 전류(b)의 계산치와 spice 시뮬레이션과의 비교

Fig. 4. Comparison between calculation and spice simulation.

$C_{BC1}$ ,  $C_{BC2}$ 는 양단에 걸리는 전압에 따라 크기가 변하게 되는데, [9] 전압이 변하는 동안의 크기를 평균하여 그 변화비율을 각각  $\gamma_1$ ,  $\gamma_2$ 로 나타내었다. [7]

표 2. MOS의 소자 파라미터

Table 2. Device parameters of MOSFETs.

Parameter	NMOS	PMOS
VTO(V)	1.2	-1.2
KP(AV <sup>-2</sup> )	5.75E-5	2.3E-5
GAMMA(V <sup>0.5</sup> )	0.354	0.354
PHI(V)	0.66	0.66
PB(V)	0.8	0.8
CJ(Fm <sup>2</sup> )	1.94e-4	1.94e-4
MJ	0.5	0.5
CJSW(Fm <sup>-1</sup> )	4.0E-11	3.5E-11
MJSW	0.44	0.44
JS(Am <sup>-2</sup> )	1E-9	1E-9
TOX(nm)	30	30
NSUB(cm <sup>-3</sup> )	5.E15	5.E15
XJ(um)	0.3	0.3
UO(cm <sup>2</sup> /V-s)	500	200
UCRIT(kV/cm)	20	50
VMAX(kms <sup>-1</sup> )	100	100

그림 4에 표 1, 표 2, 표 3의 소자 파라미터를 사용하여 시간에 따른 출력전압과 출력전류의 파형을 각각 식 (4)-(8)로 표현되는 계산결과와 spice 시뮬레이션 결과에 대해 나타냈다. 출력전류를 나타내는 그림 4 (b)에서 spice 시뮬레이션 결과가 초기에 약간의 역전류를 보이는데 이는 입력전압을 계단파로 가했을 때 그림 1에서  $M_2$ 가 커플링되어  $Q_2$ 의 베이스와 연결되어 있는 소스전압이 낮아지기 때문이다. 따라서 출력전압이 초기에는 커플링 효과가 고려

되지 않은 계산결과가 spice 시뮬레이션 결과보다 약간 크게 나타난다. 그림 5 에서는  $\tau_f$ 가 각각 10ps, 20ps, 40ps 경위의 출력전압을 나타냈는데  $\tau_f$ 가 커짐에 따라 지연시간이 증가함을 보여준다. 그러므로  $\tau_f$ 에 의한 영향이 크을 알 수 있다. 그림 4, 그림 5 에서 저주입 경우에 해석적 지연시간 모델과 spice 결과를 비교하였고 모델이 파라미터의 영향을 잘 나타내 주고 있음을 확인할 수 있다.

표 3. Bipolar의 소자 파라미터  
Table 3. Device parameters of bipolar transistors

Parameter	NPN	Parameter	NPN
IS (A)	2E-17	VJE(V)	0.7
$\beta_F$	100	MJE	0.44
NF	1	$\tau_f$ (s)	1E-11
IKF(A)	2E-3	VJC(V)	0.75
NE	1.5	MJC	0.5
$\beta_R$	1	VJS(V)	0.7
NR	1	MJS	0.5
NC	1.5	EG(eV)	1.11
$R_b$ (W)	50	CJC(pF)	0.04
$R_e$ (W)	10	CJE(pF)	0.04
$R_c$ (W)	100	CJS(pF)	0.05

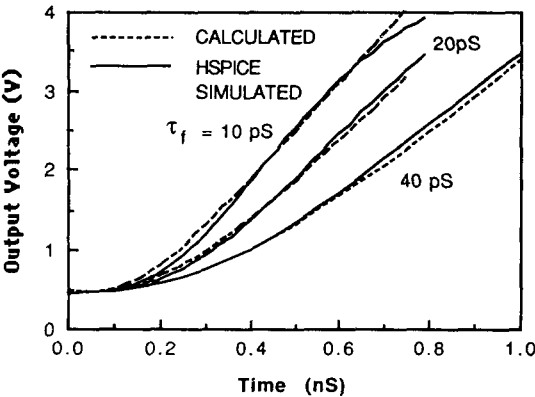


그림 5. 고주입 효과를 포함했을 때의 출력전압 특성  
Fig. 5. Characteristics of output voltage under high level condition.

IV. 고주입의 경우

고주입 효과는  $I_B > I_K / \beta_0$  일 때 나타나며, 이 때

의 전류이득은 다음과 같이 표시된다.<sup>[8]</sup>

$$\beta_1 = (\beta_0 I_K / I_{B1})^{1/2} \quad \beta_2 = (\beta_0 I_K / I_{B2})^{1/2} \quad (9)$$

고주입 효과를 포함하여 식(2)의 해석적 해를 구하는 것은 매우 복잡하여, 수치해석적으로 분석하였다. 고주입 효과를 고려하여,  $\beta_1, \beta_2$ 는 각각  $\beta_{1eff}, \beta_{2eff}$ 로 나타냈는데  $\beta_{1eff}, \beta_{2eff}$ 는 고주입 영역에서의 베이스 전류 평균치를 구하여 식 (9)에서 그 값을 구하였다. Spice 시뮬레이션에서의 고주입 효과는 Knee 전류 ( $I_K$ )를 2mA로 하여 나타냈다.

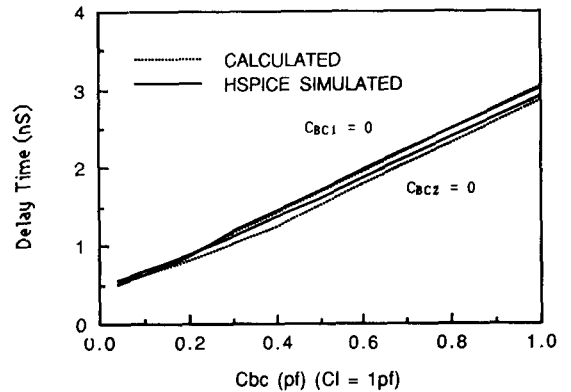


그림 6. 기생용량에 대한 지연 시간의 의존성  
Fig. 6. Dependence of delay-time on the parasitic capacitances.

1 기생 용량 ( $C_{BC1}, C_{BC2}$ ) 효과

고주입 영향을 포함한 지연시간의 기생용량에 대한 의존성을 그림 6 에 나타냈다. 그림 6 에서 콜렉터-베이스 기생용량이 증가함에 따라 지연시간이 증가하였으며, 특히 pull-up 단 뿐 아니라 아랫단 바이폴라의 콜렉터-베이스 기생용량도 지연시간에 많은 영향을 미침을 알 수 있다. 그림 3(b)에서  $Q_1$ 의  $C_{BC1}$ 에 전류  $i_{B1}$ 이 흐르면 그만큼 베이스 전류  $i_{B1}$ 가 감소하게 되므로 콜렉터전류는  $\beta_1 i_{B1}$ 이 감소한 것으로 나타난다.  $Q_2$ 의  $C_{BC2}$  역시 비슷한 효과를 나타내는데,  $C_{BC2}$ 에 흐르는 전류  $i_{B2}$ 는 대부분  $i_{B2}$ 에 기여하고, 이 전류의  $\beta_2$ 만큼 콜렉터 전류가 흐르므로 부하용량  $C_L$ 에 들어가는 전류는  $\beta_2 i_{B2}$ 만큼 줄어들게 된다. 따라서  $C_{BC1}$ 과  $C_{BC2}$ 는 각각  $\beta_1, \beta_2$ 배의 효과를 나타낸다.  $T_3$  동안의 식 (6)-(8)에서  $C_{BC1}$ 과  $C_{BC2}$ 의 영향이 같은 비율로 나타나는데, 이는  $Q_1, Q_2$ 가 모두 on되어 있을 때의 경우이다.  $Q_1$ 은  $Q_1$  dead-time  $T_1$ 이 지난 후에 동작하게 되어 이 때부터  $C_{BC1}$  효과가 나타나지만  $Q_2$ 는 출력전압이  $(1-f_1)V_{D1} + 2f_1 V_{D1}$  될 때에 베이스-에미터 전압이  $V_{D1}$ 가 되어 비로서 동작하기 때문에,  $C_{BC2}$ 의

영향은 늦게 나타난다. 따라서  $C_{BC2}$  보다는  $C_{BC1}$ 의 영향이 더 크게 나타난다. 그렇지만 그림 6 에서 기생용량이 커짐에 따라( $C_{BC} > 0.2pF$ )  $C_{BC2}$  가  $C_{BC1}$  보다 영향이 약간 커졌는데 이는 식 (6)-(8)에서 보듯이  $C_{BC1}$ ,  $C_{BC2}$  모두 출력단에서 볼 때  $\beta$  크기의 부하용량의 역할을 하지만,  $\beta_1 < \beta_2$ 이므로  $C_{BC1} < C_{BC2}$  이며  $T_2 < T_3$  이기 때문이다. 따라서 윗단 바이폴라의 콜렉터-베이스 기생용량뿐 아니라, 아랫단 바이폴라의 콜렉터-베이스 기생용량도 중요함을 알 수 있다.

2. 고주입 효과

고주입 효과는  $I_k(i_c)$  와  $\tau_i(i_c)$ 로 나타나는데,  $\tau_i$  는 상수로 놓고 해석하였다. 식 (9)에서 고주입 효과가 증가( $I_k$ 가 감소)하면 전류이득이 감소하게 된다. 따라서  $Q_1$ ,  $Q_2$  의 전류이득이 모두 감소하여 콜렉터 전류가 감소하게 되는데, 특히 전류가 많이 흐르는  $Q_1$ 의 전류이득이 더 많이 감소하여 전체적으로 부하용량에 들어가는 출력전류가 감소하게 되어 지연시간이 증가하게 된다.  $I_k$  가 큰 경우에는  $Q_1$ ,  $Q_2$  모두 항상 저주입에서 동작하게 되므로  $I_k$ 의 영향이 줄어든다. 고주입 효과를 그림 7에 나타냈는데, 계산치와 spice 시뮬레이션 결과 모두 고주입이 지연시간에 큰 영향을 미침을 알려준다.

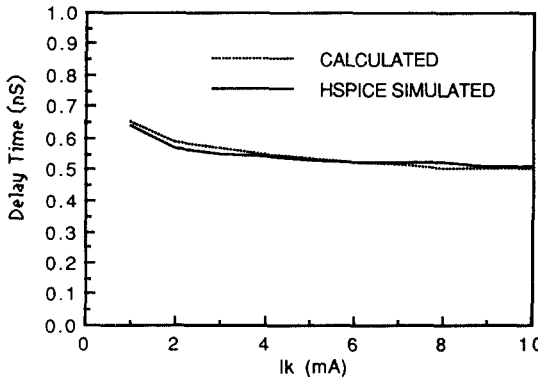


그림 7.  $I_k$  에 대한 지연시간의 의존성  
Fig. 7. Dependence of delay-time on the  $I_k$ .

3  $\tau_i$ 의 영향

$\tau_i$ 가 증가하면 식 (7), (8)의 상수 B가 증가하여 콜렉터 전류 증가율이 감소하게 되는데,  $Q_2$ 는  $Q_1$ 이 동작된 후 한참 뒤에야 동작하게 되므로,  $Q_2$ 의 콜렉터 전류( $i_{c2}$ ) 감소량보다는  $Q_1$ 의 콜렉터 전류( $i_{c1}$ ) 감소량이 더 크게 나타난다. 따라서 부하용량에 들어가는

전류는 전체적으로 감소하게 되어 지연시간이 증가하게 된다. 그림 8 에서 계산치와 spice 시뮬레이션 결과가 잘 일치함을 보여주고 있으며, 모두 지연시간의  $\tau_i$ 에 대한 의존성이 큼을 나타내고 있다.

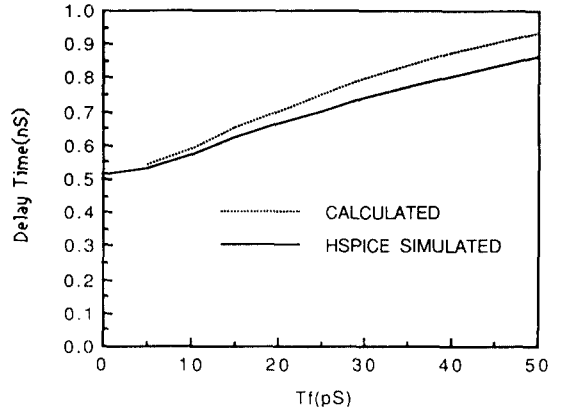


그림 8.  $\tau_i$  에 대한 지연시간의 의존성  
Fig. 8. Dependence of delay-time on the  $\tau_i$ .

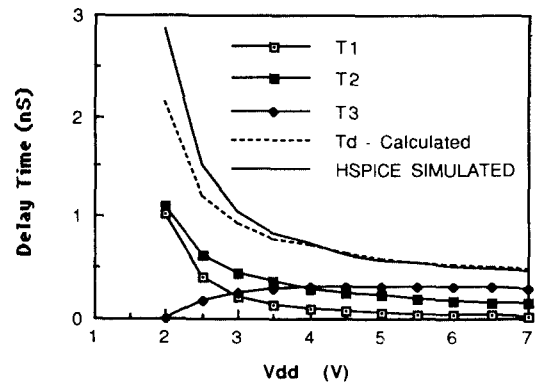


그림 9.  $V_{dd}$  에 대한 지연시간의 의존성  
Fig. 9. Dependence of delay-time on the  $V_{dd}$ .

4. Voltage scaling의 영향

그림 9에 전원전압에 따른 지연시간의 변화를 나타낸다. 지연시간은 출력전압이  $V_{o,low}$ 에서  $V_{dd}$ 로 될때 까지 걸리는 시간으로 정의하였고, 계산치는  $T_1$ ,  $T_2$ ,  $T_3$ 를 각각 구하여 전체 지연시간을 나타냈다.  $V_{dd}$ 가 약 2(V)이하에서는  $Q_2$ 가 항상 off 상태에 있으므로  $T_3$ 는 0 이 되며,  $Q_1$  dead-time  $T_1$ 이 중요하게 작용한다. 반면에 3.5(V)이상에서는  $T_3$ 가 dominant 하게 작용한다. 전원전압이 감소될 때 전류원으로 해석한 PMOS에 흐르는 전류가 가장 큰 영향을 받는다.

PMOS의 전류식  $I_{DS} = k V_L \text{CoX} W V_G$  에서 파라미터  $k$ 와  $V_G$ 가  $V_{th}$ 의 영향을 받으며  $V_{th}$ 의 감소율에 비해  $I_{th}$ 의 감소율이 더 크므로 지연시간은 증가한다.

### V. 검토 및 결론

BICMOS pull-up 전달지연시간에 영향을 끼치는 여러 소자 변수들을 고려하여, 지연시간에 대한 모델을 세웠다. 저주입인 경우에는 해석적 해를 얻었고, 고주입인 경우에는 유효전류 이득을 산출하여 수치해석적으로 분석하였으며 해석적 방법이 spice 시뮬레이션과 잘 일치함을 보였다. 지연시간에 미치는 여러 변수의 영향중 고주입 효과, 베이스 트랜지트 시간 및 콜렉터-베이스간의 기생용량이 매우 중요함을 보였으며, 특히  $Q_2$ 의 기생용량도 지연시간에 많은 영향을 미침을 보여 주었다. 지연시간에 대한 Voltage scaling의 영향도 제안된 모델로 분석할 수 있음을 보였고, 저전압에서는  $Q_1$  dead-time  $T_1$ 이 중요함을 알 수 있었다.

### 參考文獻

- [1] K. Ogiue et al., "A 13nS/500mW 64Kb ECL RAM," in *Proc. IEEE ISSCC*, pp. 212-213, Feb. 1987.
- [2] Y. Nishio et al., "A subnanosecond low power advanced bipolar-CMOS gate

array," in *Proc. ICCD*, pp. 428-433, Oct. 1984.

- [3] G. P. Rossel et al., "Delay analysis for BICMOS drivers," in *Proc. IEEE BCTM*, pp. 220-222, 1988.
- [4] H. De Los Santos and B. Hoeffling, "Optimization and scaling of CMOS-bipolar drivers VLSI interconnects," *IEEE Trans. Electron Devices*, vol. ED-33, no. 11, pp. 1722-1730, Nov. 1986.
- [5] G. P. Rossel and R. W. Dutton, "Influence of Device Parameters on the Switching Speed of BICMOS Buffers," *IEEE J. Solid-state Circuits*, vol. 24, No. 1, pp. 90-99, Feb. 1989.
- [6] S. H. K. Embabi et al., "Analysis and Optimization of BICMOS Digital Circuit Structures," *IEEE J. Solid-State Circuits*, vol. 26, No. 4, pp. 676-679, Apr. 1991.
- [7] 이 희덕, "BICMOS 버퍼의 지연시간 모델링 및 Scale-Down 효과 분석", 한국과학기술원 석사학위논문, 1992.
- [8] R. S. Muller and T. T. Kamins, "Device Electronics for Integrated Circuits", 2nd ed. John Wiley & Sons, 1986.
- [9] D. A. Hodges and H. G. Jackson, "Analysis and Design of Digital Integrated Circuits", 2nd ed. McGraw-Hill, New York, p. 125, 1988.

### 著者紹介

韓喆熙(正會員) 第27卷 第10號 參照  
현재 한국과학기술원 부교수

李熙德(正會員) 第27卷 第10號 參照  
현재 한국과학기술원 전기 및 전자공학과 박사 과정 재학중.



趙人星(準會員)  
1968년 5월 30일생. 1991년 8월 한국과학기술원 과학기술대학 전기 및 전자공학과 졸업. 1992년 2월~현재 서울대학교 전자공학과 석사과정 재학중. 주관심분야는 BIC-MOS 회로 설계 및 OEIC

제작 등임.