

1 비트 Δ - Σ ADC/DAC의 설계 기술

朴宰璉, 鄭德均
서울대학교 電子工學科

1. 서론

과표본화(oversampling) 기법은 양자화(quantization) 과정에서 발생하는 양자화잡음(quantization noise)이 양자화 출력단의 해상도(resolution)에 따라 일정한 양자화 잡음전력을 가지게 되므로, 표본화 주파수를 증가시켜 잡음전력을 넓은 대역폭으로 분산시킴으로써 신호대역폭 내에서의 양자화잡음의 크기를 상대적으로 감소시켜 해상도를 높이는 기법이다. 즉, e_{rms} 가 양자화잡음의 실효치(root mean square value)이고 표본화 주기가 $T(1/f_s)$ 일 때 양자화잡음의 모든 전력은 주파수 대역의 전구간($0 < f < f_s/2$)에 걸쳐 나타나는데, 모든 주파수에 대해 균일(white)하게 분포되었다고 가정하면 전력밀도함수는 다음과 같이 주어진다. ^[1]

$$E(f) = e_{rms} \sqrt{2T} \quad (1)$$

이러한 원리로 표본화 주파수를 높일수록 고해상도를 얻을 수 있고, 추가적인 장점으로 A/D 변환과정에서 완만한 특성의 antialiasing 필터의 사용이 가능하며 아날로그 회로에서 요구되는 해상도가 감소하므로 회로가 단순화되어 집적회로로 구현이 쉽게 된다. Δ - Σ 변조는 양자화잡음이 전구역에 걸쳐 일정한 크기로 분포되는 것이 아니라 잡음변형(noise shaping) 개념을 이용하여 신호대역 밖의 양자화잡음은 증가하지만 신호대역 내의 양자화잡음은 감소시켜 더욱 높은 고해상도를 얻을 수 있는 기술이다. 일반적인 Δ - Σ 변조기의 입출력 관계식은 다음과 같다.

$$Y(z) = X(z) + (1 - z^{-1})^n E(z) \quad (2)$$

따라서, 과표본화 Δ - Σ 변조를 이용한 A/D 및 D/A 변환방식(그림 1)은 기존의 A/D, D/A 변환방식과 비교할 때, 아날로그 구성요소들을 줄이고 단순

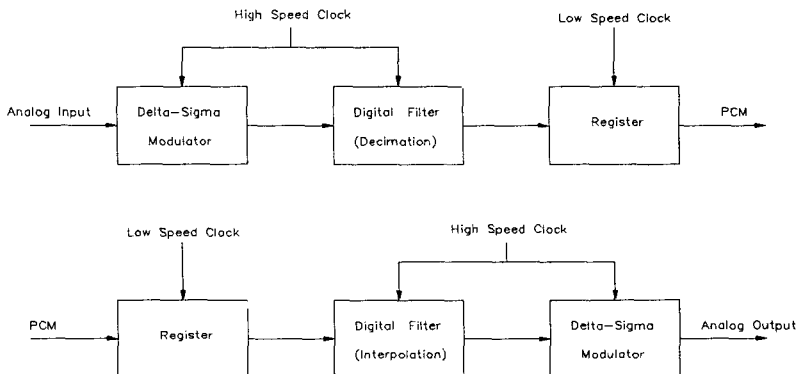


그림 1. 과표본화 Δ - Σ ADC/DAC의 전체 구성도

화하는 대신 많은 추가적인 신호처리를 디지털영역에서 부담함으로써 1 개의 칩(chip) 안에 집적할 수 있도록 하며, 고해상도를 얻을 수 있으므로 audio, ISDN, 고속 모뎀 등에서 널리 이용될 수 있다.

Δ - Σ 변조의 잡음변형차수(n)를 증가시킬수록 더 높은 해상도를 얻을 수 있지만 신호대역 밖에서의 필터링(filtering) 차수도 증가하며, 적분기의 추가에 따른 위상변이(phase shift)로 불안정한 시스템이 된다. 따라서 3차 이상의 고차 Δ - Σ 변조기는 다단계 잡음변형(MASH) Δ - Σ 변조기^[2]를 이용하는 경향인데 각 단이 안정된 시스템을 구성하여 동작범위가 넓고 고해상도를 얻을 수 있다. 반면 MASH 구조를 이용하면 다수의 양자화기(quantizer)가 필요하고, A/D 변환의 경우 각 단의 아날로그 성분들이 불일치할 경우 잡음항들이 정확히 상쇄되지 않으므로 해상도를 감소시키며, 양자화기들의 출력값을 더한 값들이 최종 multi-bit 출력값으로 나타나므로 필터링 부분에서의 신호처리에 필요한 하드웨어가 복잡하게 된다.

D/A 변환의 경우도 역시 multi-bit이 최종 출력값이므로 정밀한 출력단계 값의 조절을 요구하는 multi-bit DAC를 필요로 한다. 그러므로, 여기서는 입력동작범위와 시스템의 안정도는 다소 떨어지지만 한 개의 양자화기만을 이용하는, 디지털 칩과 함께 집적이 가능한 1 비트 Δ - Σ A/D, D/A 변환기에 대해 소개하고자 한다.

II. Δ - Σ ADC

1. 고차 잡음변형을 위한 구조

가장 기본적인 구조인 1차 잡음변형 구조(그림 2)는 입력신호와 양자화기 출력값의 차이가 적분기에 축적되고 그 축적된 출력값이 양자화되는 것으로, 양자화된 신호의 평균값이 입력신호의 평균값에 근사하도록 수정되는 구조이다. 이 경우 양자화잡음의 주파수 스펙트럼은 다음과 같다.

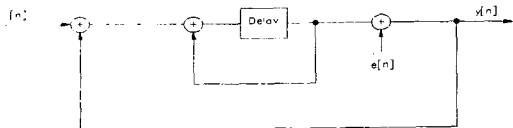


그림 2 1차 잡음변형 Δ - Σ 변조기의 구성도

$$N(f) = E(f) |1 - e^{-j\omega T}| = 2e_{rms} \sqrt{2T} \sin\left(\frac{\omega T}{2}\right) \quad (3)$$

일반적으로 n 차의 경우 양자화잡음의 스펙트럼은 $\sin^n(\omega T/2)$ 의 형태가 되어 SNR을 향상시키지만 적분기의 추가에 따라 불안정한 시스템이 되므로 안정한 1 bit 고차 구조를 위하여 잡음변형 형태를 바꾸고 개선한 구조가 제안되었다. 먼저 그림 3에서 보여진 구조^[3]는 feedforward 계수와 feedbackward 계수를 각각 더하는 형태로 A_n 은 양자화잡음 전달함수의 점점(pole)을 형성하고 B_n 은 영점(zero)을 형성하게 되는데, 많은 수의 계수를 이용하여 어떤 고차에서도 안정하도록 설계할 수 있고, 양자화잡음의 변형도 최적화할 수 있다. 다음 식은 전달함수의 특성을 보인 것이다.

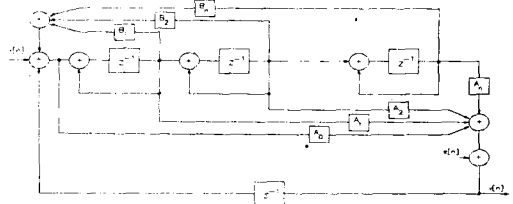


그림 3. Feedforward와 Feedbackward 계수를 가진 고차 잡음변형을 위한 구조

$$T(z) = H_f(z)X(z) + H_c(z)X(z) \quad (4)$$

$$H_f(z) = \frac{\sum_{i=0}^N A_i(z-1)^{N-i}}{z \left[(z-1)^N - \sum_{i=1}^N B_i(z-1)^{N-i} \right] + \sum_{i=0}^N A_i(z-1)^{N-i}} \quad (5)$$

$$H_c(z) = \frac{(z-1)^N - \sum_{i=1}^N B_i(z-1)^{N-i}}{z \left[(z-1)^N - \sum_{i=1}^N B_i(z-1)^{N-i} \right] + \sum_{i=0}^N A_i(z-1)^{N-i}} \quad (6)$$

A_n 을 결정하는 방법은 신호 대역내에서 평탄한 필터링 특성을 가지고 필터계수의 오차에 따른 민감도(sensitivity)가 낮은 butterworth 필터의 설계방법을 이용할 수 있다. 식 (5), (6)에서 B_n 의 값은 일반적으로 A_n 의 값에 비해 훨씬 작기 때문에 B_n 의 값을 0으로 놓고 A_n 을 계산하는데, 그 순서는 s-영역에서 양자화기의 제한된 입력범위에 따른 불안정성을 고려하여 점점을 계산하고 이것을 bilinear transform을 이용하여 z-영역으로 변환한 후 고역주파수 통과 특성을 가지는 아래 식을 이용하여 A_n 을 구한다.

$$H_e(z) = \frac{K(z-1)^N}{z(z-p_1)(z-p_2)\cdots(z-p_N)} \quad (7)$$

여기서 p_n 은 bilinear transform한 후의 z -영역에서의 첨점들이다.

B_n 은 성능을 향상시키기 위해 $H_e(z)$ 의 영점들을 DC 위치로부터 이동하기 위해 사용하는데, Chebyshev 다항식의 동일한 ripple을 가지는 성질을 이용하여 구한다. Chebyshev 다항식은 다음과 같이 정의된다.

$$T_0(x) = 1 \quad (8)$$

$$T_1(x) = x \quad (9)$$

$$T_N(x) = 2xT_{N-1}(x) - T_{N-2}(x) \quad (10)$$

$$\text{이 때, } \begin{cases} |T_N(x)| \leq 1 \text{ for } |x| \leq 1 \\ |T_N(x)| > 1 \text{ for } |x| > 1 \end{cases} \quad (11)$$

과표본화인 경우 $f_b \ll f_s$ 이므로, z -영역의 영점들은 아래와 같이 주어진다.

$$z_i = e^{j2\pi x_i f_s / f_s} \quad (12)$$

여기서 X_i 는 T_N 의 근이다. 따라서, B_n 은 A_n 계수를 구하는 방법과 유사한 방법을 이용하여 구할 수 있다. 그림 4는 모의 실험한 FFT 결과를 보인 것으로, 잡음변형차수는 4차이고 입력주파수는 6.1 kHz 이고 표본화 주파수는 2.1 MHz인데 영점의 발생에 의해 ripple을 가진 평탄한 신호대역의 스펙트럼을 가진다.

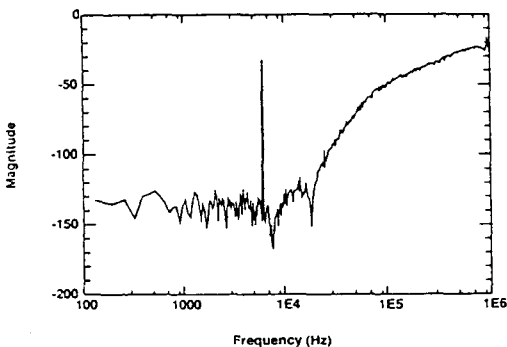


그림 4. 4차 잡음변형 구조의 모의실험 결과

두번째 구조로 양자화기 출력을 피드백 루프들을 통해 분산시킨 구조^[4]를 이용한 경우를 살펴보면, 그림 5에서 보듯이 입력신호와 양자화잡음에 대한 전달함수는 다음 식과 같다.

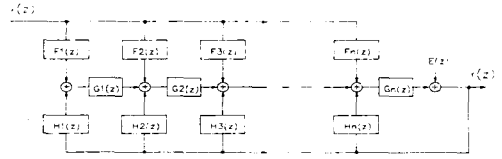


그림 5. 분산된 feedback 계수를 가진 고차 잡음 변형을 위한 구조

$$\frac{Y(z)}{X(z)} = \frac{\sum_{i=1}^n F_i(z) \prod_{j=1}^n G_j(z)}{1 + \sum_{i=1}^n H_i(z) \prod_{j=1}^n G_j(z)} \quad (13)$$

$$\frac{Y(z)}{Q(z)} = \frac{1}{1 + \sum_{i=1}^n H_i(z) \prod_{j=1}^n G_j(z)} \quad (14)$$

$$G_{res}(z) = \frac{z^{-2}}{1 - 2\cos\theta z^{-1} + z^{-2}} \quad (15)$$

일반적으로, $G_j(z)$ 는 시간지연항(z^{-1})을 가진 적분기와 resonator의 전달함수(G_{res})로 구성되고 $F_i(z)$ 와 $H_i(z)$ 는 상수항들로 구성하는데, $H_i(z)$ 의 값은 입력신호에 대한 잡음변형 특성과 안정도 문제를 고려하여 선택되고 $F_i(z)$ 의 값은 적분기들의 출력값을 줄여주고 주파수특성을 개선하도록 선택된다. 그림 6은 3차 잡음변형 Δ - Σ 변조기를 보인 것으로 순방향 경로의 적분기와 resonator를 연결하여 양자화잡음 전달함수에 영점을 발생시키며 신호입력경로는 3차 Butterworth 필터를 이용하여 양자화잡음의 전달함수가 적당한 안정범위 내에 있도록 하면서 3 dB 주파수(cutoff frequency)를 Nyquist rate에 가깝도록 위치시킨다. 계수를 결정하는 방법은 첫번째 구조에서 이용한 방법과 동일한 방법을 사용하며, R 은 $Q(z)$ 입력전달함수의 영점을 결정하기 위해 사용된다.

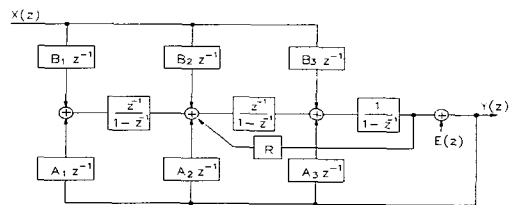


그림 6. 3차 잡음변형 Δ - Σ 변조기의 구성도

2. 회로의 설계 및 구현

Δ - Σ ADC의 적분기와 피드백 회로를 구현하는 방법으로 switched capacitor(SC) 회로를 이용한 방

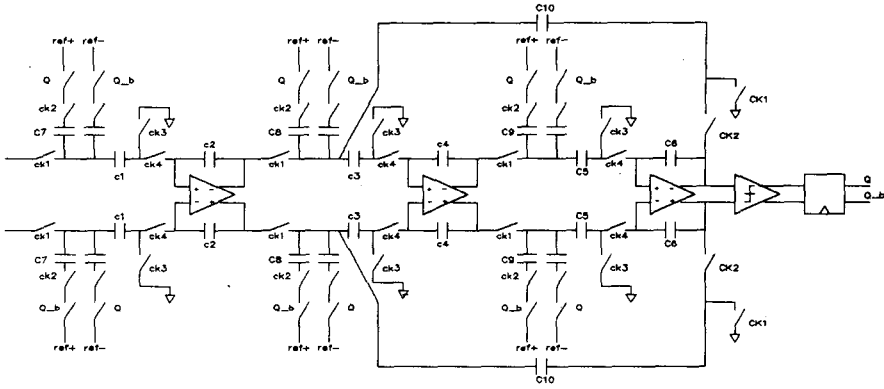


그림 7. 3차 잡음변형 Δ - Σ ADC의 회로도

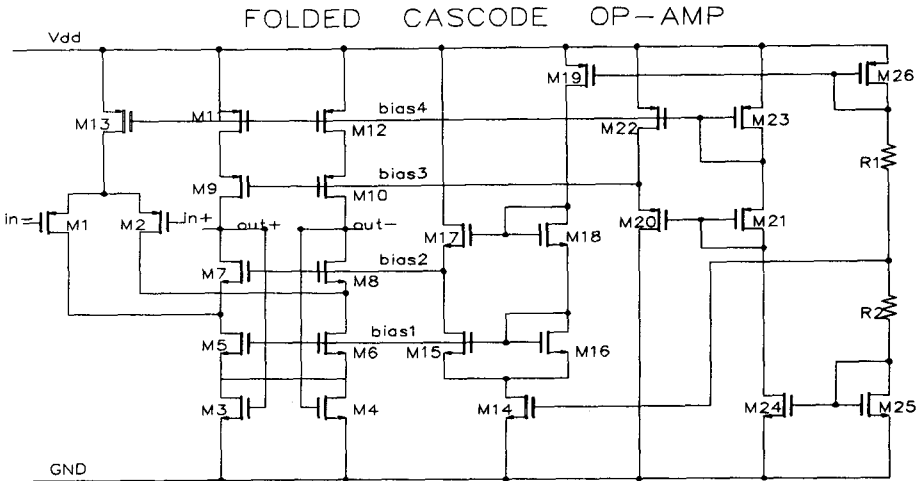


그림 8. Fold-Cascode 차동 증폭기

법을 많이 사용한다. 그림 7은 그 예로 앞 절의 두번째 구조를 이용한 3차 Δ - Σ 변조기를 보여주고 있으며, 1-bit 양자화기 출력을 아날로그 신호로 바꾸는 피드백 DAC 부분은 기준전압(reference voltage)을 스위칭하는 방법으로 대체했다. 그리고, 높은 해상도가 요구되므로, 회로의 크기는 2 배로 커지게 되지만 모든 구조를 differential 형태로 구성하였다. differential 회로는 power supply rejection ratio가 높고, 스위치 전하누설에 의해 발생하는 clock feedthrough 오차가 적으며, 선형성(linearity)이 개선되어 조화(harmonic) 성분이 감소하며, 동작범위가 증가하는 등의 장점이 있어 여러가지 잡음을 발생하는 디지털 회로와 같은 칩에 구현될 때 많이 사용된다. 클럭의 동작방법은 2-phase nonoverlapping

클럭을 이용하며, 신호에 의존하는 전하누설을 감소하기 위하여 스위치 ck3와 ck4를 스위치 ck1과 ck2보다 조금 먼저 개방하여 축전기의 전하누설을 줄이는 방법이 효과적이다.

적분기를 구성하는 요소인 차동 증폭기는 전체 성능에 영향을 미치는 중요한 요소로, 고속 정밀한 적분기를 만들기 위해서는 slew rate와 settling time에 대한 고려가 필요하다. 많이 사용되는 차동 증폭기는 통신용으로 널리 이용되고 높은 클럭 동작폭을 가진 folded-cascode 차동 증폭기를 사용한다. (그림 8) 이 차동 증폭기에는 2 개의 출력이 있으며 이들의 평균값, 즉 common mode 신호를 일정하게 유지하기 위해서는 common mode 피드백 회로가 필요하며 그 동작은 다음과 같이 이루어진다. M5와 M6의

감소시키고, R1과 C4도 고주파수 잡음을 감소시키는 저역주파수 통과 필터의 역할을 한다.

IV. 아날로그 회로의 구현

과표본화 Δ - Σ 변조를 이용한 FAX 모델용 Analog Front End가 설계되었고, 1.5 μ m CMOS 공정으로 구현되었으며 칩사진은 그림 12에 나타내었다. A/D 변환부의 특징은 기준전압(reference voltage)를 바꾸어 이득(gain) 조정기능을 포함한 A/D 변환기를 구현했다는 것이며 측정 결과는 표 1에 수록되었고, D/A 변환부의 특징은 delta 변조의 개념을 응용한 차동 전하 누적형 D/A 변환기^[6]라는 점이다.

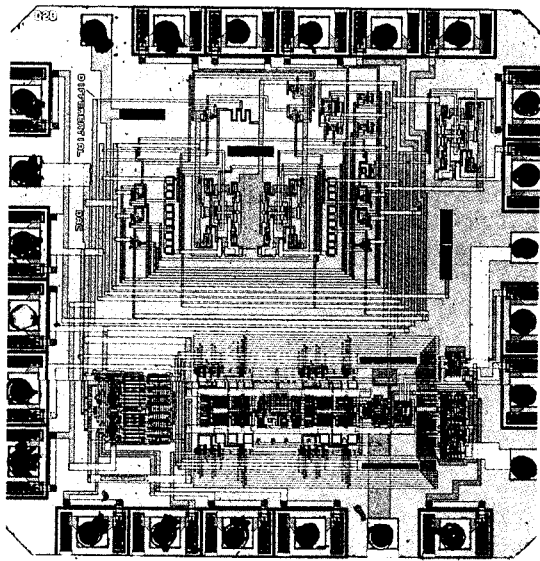


그림 12. Analog Front End의 칩사진

표 1. 측정 결과 요약

Area	0.87 mm ²
Power	660 mW
SNR	70.8 dB
Harmonic Distortion (Peak-Peak=800mV)	-49 dB(3rd)

V. 결론

1 비트 고차 Δ - Σ ADC/DAC는 상대적으로 아날로그 성분의 정밀도를 덜 요구하면서 잡음변형기법을 이용하여 고해상도를 성취할 수 있는 방법으로 고속 데이터 전송에도 적합하여 앞으로도 많은 분야에서 널리 이용될 것이다. 더욱 향상된 고해상도를 성취하기 위해서는 아날로그 필터 설계기법을 응용하여 양자화잡음변형으로 신호 대역내의 양자화잡음을 줄이는 방법과 차동증폭기, A/D 변환기, D/A 변환기 등 아날로그 성분의 정밀한 설계가 중요한 요소가 될 것이다.

參考文獻

[1] W. R. Bennett, "Spectra of quantized signals," *Bell Sys. Tech. J.*, vol. 27, pp.446-472, July 1948.


[2] K. Uchimura, T. Hayashi, T. Kimura and A. Iwata, "Oversampling A-to-D and D-to-A Converters with Multistage Noise Shaping Modulators," *IEEE Trans. Acoustics, Speech, Signal Processing*, vol. ASSP-36, pp. 1899-1905, Dec. 1988.

[3] K. C.-H. Chao, S. Naddem, W. L. Lee and C. G. Sodini, "A Higher Order Topology for Interpolative Modulators for Oversampling A/D Converters," *IEEE Trans. Circuits and Sys.*, vol. CAS-37, pp. 309-318, March 1990.

[4] P. F. Ferguson, Jr. A. Ganesan and R. W. Adams, "One Bit Higher Order Sigma-Delta A/D Converters," *IEEE Proc. ISCAS '90*, pp. 890-893, May 1990.

[5] P. J. Naus etc., "A CMOS Stereo 16-bit D/A Converters for Digital Audio," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 390-395, June 1987. Ⓚ

[6] 김 대정 외, "12-Bit 2차 Noise-Shaping
D/A 변환기," 전자공학회 논문지, 1993년

12월호 발표 예정 

筆者紹介



朴宰璣

1968年 10月 21日生

1992年 2月 한국과학기술원 학사과정 전기 및 전자공학 졸업

1992年 3月 ~ 현재 서울대학교 대학원 전자공학과 석사과정 재학중

주관심 분야 : Δ - Σ ADC/DAC의 설계



鄭德均

1958年 8月 29日生

1981年 2月 서울대학교 전자공학과 학사

1984年 8月 서울대학교 대학원 전자공학과 석사

1989年 5月 University of California, Berkeley

전기 및 컴퓨터 공학과 박사

1985年 5月 ~ 1991年 8月 Texas Instruments, Dallas, Texas 연구원

1991年 8月 ~ 현재 서울대학교 전자공학과 및 반도체 공동연구소 조교수

주관심 분야 : microprocessor 및 VLSI의 설계