

## 전류 모드 CMOS MVL을 이용한 CLA 방식의 병렬 가산기 설계

正會員 金 鍾 五\* 正會員 朴 東 泳\*\* 正會員 金 興 壽\*\*\*

### Design of parallel adder with carry look-ahead using current-mode CMOS Multivalued Logic

Jong O Kim\*, Dong Young Park\*\*, Heung Soo Kim\*\*\* *Regular Members*

#### 要 約

본 논문은 전류 모드 CMOS 다치논리회로를 이용하여 CLA 방식에 의한 8비트 2진 병렬 가산기의 설계를 제안하였고, 5 $\mu$ m의 표준 반도체 기술을 이용하여 시뮬레이션하였다.

m치의 다치논리회로에 의한 CLA 방식의 가산기 설계시 필요한 발생캐리  $G_K$ 와 전달 캐리  $P_K$ 의 검출조건을 유도하였고, 이를 4치에 적용하였다.

또한 4치 논리회로와 2진 논리회로의 결합에 의한 연산시 필요한 엔코더, 디코더, mod-4 가산회로,  $G_K$  및  $P_K$  검출회로, 전류-전압 변환회로를 CMOS로 설계하였다. 또한 시뮬레이션을 통해 각 회로의 동작을 검증하였으며, 다치회로의 장점을 이용한 2진 연산에 응용을 보여주었다.

순수한 2진 및 CCD-MVL에 의한 가산기와의 비교를 통해, 제안한 가산기는 1개의 LAC 발생기를 사용하여 1 level로 구성가능하며, 표준 CMOS 기술에 의한 4차 논리회로가 실현 가능하므로 다치논리회로의 유용성을 보였다.

#### ABSTRACT

This paper proposed the design methodology of the 8 bit binary parallel adder with carry look-ahead scheme via current-mode CMOS multivalued logic and simulated the proposed adder under 5 $\mu$ m standard IC process technology. The threshold conditions of  $G_K$  and  $P_K$  which are needed for m-valued parallel adder with CLA are evaluated and adopted for quaternary logic.

The design of quaternary CMOS logic circuits, encoder, decoder, mod-4 adder,  $G_K$  and  $P_K$  detecting circuit and current-voltage converter is proposed and is simulated to prove the operations. These circuits are necessary for binary arithmetic using multivalued logic.

By comparing with the conventional binary adder and the CCD-MVL adder, We show that the proposed adder can be designed one look-ahead carry generator with 1-level structure under standard CMOS technology and confirm the usefulness of the proposed adder.

\*東洋工業專門大學 電子科  
\*\*國立原州專門大學 電子科  
\*\*\*仁荷大學校 工科學 電子工學科  
論文番號: 93-42

## I. 서 론

1956년 Weinberger 와 Smith에 의해 소개된<sup>[1]</sup> Carry Look-Ahead(이하 CLA) 방식에 의한 2진가산은 빠른 가산을 하는데 필수적인 설계기법으로 현재 널리 응용되고 있다. 2진가산에서 사용되는 CLA 방법은 2진이 아닌 다치논리시스템(Multi-Valued Logic System)에도 쉽게 적용이 가능하다. 그 이유는 다치논리 시스템에서의 가산시 발생하는 캐리 역시 기저에 관계없이 1의 값을 갖기 때문이다.

이같은 성질을 이용하여 기존의 2진가산기를 다치논리시스템으로 구성할 경우 VLSI실현시 급증하는 단자간의 결선 및 소자수를 줄이며 2진연산을 수행할 수가 있다. 즉, 2진 시스템의 단점을 극복하기 위해 지난 20여년간 많은 연구가 진행되어온 다치논리 시스템을 현재 상용화 되어있는 2진 논리회로와 결합하므로써 다치논리시스템의 장점을 2진연산에 응용할 수 있다.

그동안 다치논리 시스템의 구현소자로는 I<sup>2</sup>L, T-GATE, CCD등에 대한 연구가 진행되었으나, 최근에는 2진시스템에서의 MOS 소자가 널리 사용됨에 따라 전류모드방식의 CMOS를 이용한 다치논리 함수의 구현에 대한 연구가 많이 진행되고 있다.<sup>[2,3,4,5,6,7]</sup>

M.A. Manzoul<sup>[8,9]</sup>은 2진 MOS CLA발생기를 이용한 MVL-CCD를 이용한 CLA방식의 2진 가산기설계를 제안하였으나, 이 경우 CCD의 동작은 전하모드이고, 집적도가 낮고, 동작을 위해 다수클럭이 필요하며, 2진 CLA발생기와와의 인터페이스등이 부적절하다는 단점이 있다. 즉, CCD소자에 의한 다치논리 소자는 전처리속도로 인해 연산소자로는 부적절하며 메모리소자로 그 응용이 주가 된다.

따라서 본 논문에서는 현재 2진 시스템에서 널리 사용되는 CMOS를 이용하여, 2진 CLA 캐리 발생기와 동일한 반도체 기술의 사용이 가능하며, 인터페이스가 용이한 전류모드의 4치시스템을 이용한 CLA 방식의 2진가산기의 설계를 제안하고, 시뮬레이션을 통해 제안한 가산기의 동작을 검증하였다. 이 경우 2진가산기보다 적은 4비트 CLA 발생기를 1개만 사용하여 8비트 2진가산기를 구성할 수 있었으며, 처리속도 역시 MVL-CCD를 응용한 것보다 빠른 CMOS의 처리속도를 사용할 수 있었으며, 아울러 전류모드 방식의 표준 CMOS 다치논리시스템을 2진연산에 적용하므로써 2진연산시 다치논리기술의 이용가능성을

고찰할 수 있었다.

본 논문은 II장에서는 2진논리및 다치논리 시스템에서의 CLA방식에 의한 가산에 대해 설명하였으며, III장에서는 제안한 다치논리 시스템에 의한 가산기의 설계및 시뮬레이션을 실행하였으며, IV장은 결론순으로 구성되어있다.

## II. 2진 및 MVL시스템에서의 CLA방식에 의한 가산

### 1. CLA 방식에 의한 2진가산<sup>[11]</sup>

2진에서 널리 이용되는 Carry Look-Ahead 방식의 가산은 다음과 같다. 먼저 K비트의 두 2진수 A, B가

$$A = A_{K-1} A_{K-2} \cdots A_0$$

$$B = B_{K-1} B_{K-2} \cdots B_0 \text{이고,}$$

이 두수의 합을  $S = S_{K-1} S_{K-2} \cdots S_0$ 라고 하면, K단에서의 합과 캐리는 다음과 같고, 그 기본구성은 그림 1. 과 같다.

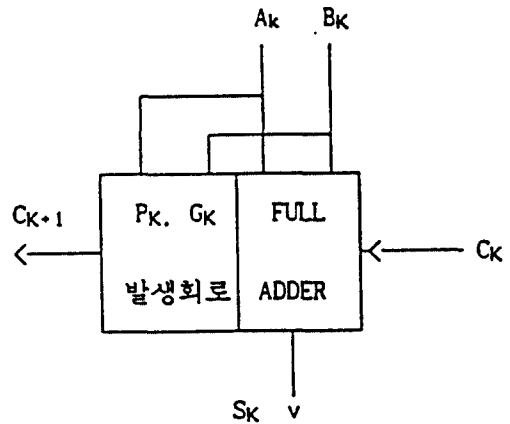


그림 1. K단의 전 가산기 셀  
Fig 1. K stage full adder

$$S_k = A_k \otimes B_k \otimes C_k \quad (1)$$

$$C_{k+1} = G_k + P_k C_k \quad (2)$$

$$G_k = A_k B_k \quad (3)$$

$$P_k = A_k + B_k \quad (4)$$

단,  $K=0, 1, 2, \dots, (K-1)$

$$A_k, B_k, S_k, G_k, P_k \in (0, 1)$$

$\otimes$  EX-OR

+ OR

XY X AND Y

$G_K$ 는 발생 캐리,  $P_K$ 는 전달 캐리이며,  $C_K$ 는  $K$ 단으로 입력되는 캐리이다.

2진에서의 look-ahead carry 발생기는 (1)-(4)식에 의해 캐리를 생성하게 된다. 이같은 원리를 이용하여, 2진가산기 일반적으로 사용되는 look-ahead 방식의 8비트 2진가산기는 그림 2. 와 같이 4비트 CLA 4개를 사용하여 2 레벨로 구성된다. Carry look-ahead 발생기는 그 원리의 단순성 및 모듈성으로 인해 4비트를 기본으로 처리할 수 있는것으로, 대부분의 반도체 회사에서 상용화하고 있다. 예를 들어, 현재 시판중인 TI사의 CLA발생기인 282모델은 인버터 5개, 2입력 AND 게이트 5개, 3입력 AND 게이트 8개, 4입력 AND 및 NOR 게이트 8개로 구성되어 총 26개의 2진 논리게이트로 구성 되어 그 구성 코스트가 높다. 그림 2. 에서의 그룹캐리에 대한 발생 캐리  $G_A, G_B$ 와 전달 캐리  $P_A, P_B$ , 는 다음과 같다.

$$C_1 = G_0 + P_0 C_0$$

$$C_2 = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$C_3 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$C_4 = G_A + P_A C_0$$

$$= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

$$C_5 = G_4 + P_4 C_4$$

$$C_6 = G_5 + P_5 G_4 + P_5 P_4 C_4$$

$$C_7 = G_6 + P_6 G_5 + P_6 P_5 G_4 + P_6 P_5 P_4 C_4$$

$$C_8 = G_B + P_B C_4$$

$$= G_7 + P_7 G_6 + P_7 P_6 G_5 + P_7 P_6 P_5 G_4 + P_7 P_6 P_5 P_4 C_4$$

$$G_A = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0$$

$$P_A = P_3 P_2 P_1 P_0$$

$$G_B = G_7 + P_7 G_6 + P_7 P_6 G_5 + P_7 P_6 P_5 G_4$$

$$P_B = P_7 P_6 P_5 P_4$$

## 2. MVL 시스템에서의 CLA방식에 의한 가산

위에서 살펴본 2진에서의 CLA방식에 의한 가산은 두입력  $A_K, B_K$ 의 가산에 의해 발생하는 캐리가 기저에 관계없이 1을 갖기때문에 2치가 아닌 다치 시스템에서의 가산으로도 확장이 가능하다. 식(1)-(4)을  $m$ 치인 다치 시스템으로 확장하면 다음과 같다.

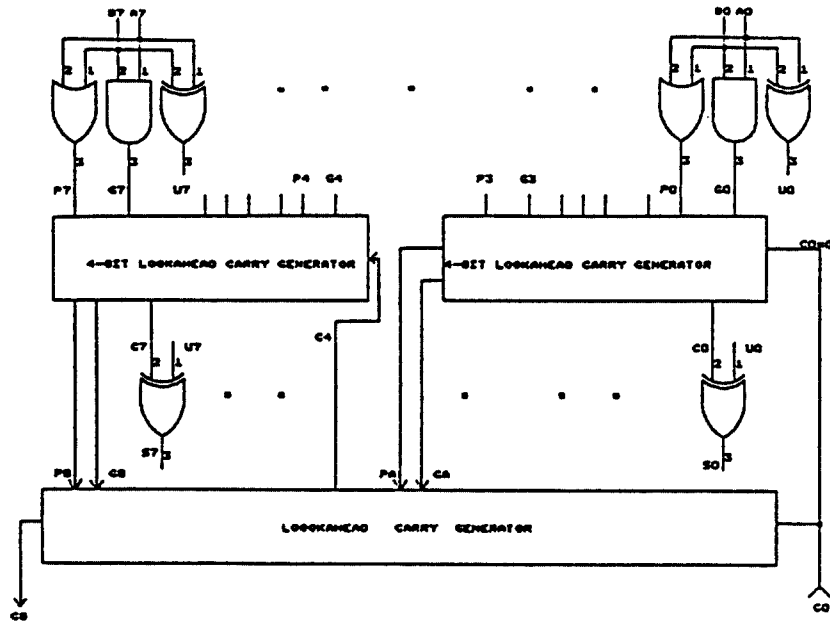


그림 2. 기존의 CLA방식에 의한 8비트 2진가산기  
Fig 2. Conventional 8 bit binary adder with CLA

m치의 두입력이  
 $X = X_{K-1} X_{K-2} \cdots X_0$   
 $Y = Y_{K-1} Y_{K-2} \cdots X_0$ 이고, 이 두수의 합을  $Z = Z_{K-1} Z_{K-2} \cdots Z_0$ 라고 하면, K단에서의 합과 캐리는 다음과 같이 표현된다.

$$Z_K = (X_K + Y_K + C_K) \text{mod-} m \quad (5)$$

$$C_{K-1} = G_K + P_K C_K \quad (6)$$

단,  $X_K + Y_K + Z_K \in (0, 1, \dots, m-1)$ 이고  
 $C_K, C_{K+1} \in (0, 1)$  이며, CLA을 사용한 m치 가산 시 필요한 발생 캐리  $G_K$ , 전달 캐리  $P_K$ 는 각각 다음의 정리 2.와 정리 3.을 만족한다.

[정리 1]  
 K 단에서의 입력이  $X_K, Y_K$ 이고, 입력되는 캐리가  $C_K$ 인 m치 전가산기에서,  $X_K + Y_K + C_K \geq m$  을 만족할때 K단계에서 캐리  $C_{K+1}$ 이 발생된다.

[증명]  
 $X_K, Y_K, Z_K \in (0, 1, \dots, m-1)$ 이고,  $C_K, C_{K+1} \in (0, 1)$  값을 가지며, 식(5)는  $X_K + Y_K + C_K = Z_K + (m) C_{K+1}$  과 같기때문에, 이 식에서  $C_{K+1}=1$  이 되기위해서는  $X_K + Y_K + C_K \geq m$  여야 한다.

[정리 2]  
 K단에 입력되는 m치의 두값을  $X_K, Y_K \in (0, 1, \dots, m-1)$ 라고 하고, K단에 입력되는 캐리를  $C_K \in (0, 1)$ 라고 할때, CLA방식에 의한 m치 전 가산기에서의 발생캐리  $G_K$  가 다음 값을 가질때, 식(6)을 만족한다.

$$G_K = \begin{cases} 1, & (X_K + Y_K) > m-1 \text{인 경우} \\ 0, & \text{기타} \end{cases}$$

[증명]  
 (i)  $(X_K + Y_K) > m-1$  인 경우  
 이경우는  $X_K + Y_K \geq m$  과 같으므로,  $C_K$ 의 값에 무관하게 정리 1.에 의한 캐리  $C_{K+1}$  발생조건인  $X_K + Y_K + C_{K+1} \geq m$ 을 만족한다.  
 따라서 식(6).이 성립한다.

(ii)  $(X_K + Y_K) = m-1$ 인 경우  
 $X_K + Y_K + C_K = (m-1) + C_K$ 가 되어,

$C_K=1$  인 경우:  $X_K + Y_K + C_{K+1} = m$  이 되어 정리 1.을 만족하여  $C_{K+1}=1$  이 된다.

$C_K=0$  인 경우:  $X_K + Y_K + C_{K+1} = m-1$  이 되어  $C_{K+1}=0$  이 된다.

즉, 이 경우에는 K단에서의 발생되는 캐리  $C_{K+1}$ 은  $G_K$ 에 의하지 않고,  $P_K$  와  $C_K$ 에 의존하기 때문에 식(6).을 만족한다.

(iii)  $(X_K + Y_K) < m-1$ 인 경우  
 $(X_K + Y_K) \leq m-2$ 인 경우이므로  $C_K=1$ 인 경우에는  $(X_K + Y_K + Z_K) \leq m-1$  이 되어 정리 1.에 의해  $C_{K+1}=0$  이 된다. 즉, 이 경우에는  $G_K$ 와  $P_K$ 가 발생되지 않기 때문에 식(6).이 성립된다.

(i), (ii), (iii)식으로 부터  $(X_K + Y_K) < m-1$ 인 경우에만, 식(6).에서 발생 캐리  $G_K$ 에 의한 캐리  $C_{K+1}$ 가 발생됨을 알 수 있다.

[정리 3]  
 K단에 입력되는 m치의 두값을  $X_K, Y_K \in (0, 1, \dots, m-1)$ 라고 하고, K단에 입력되는 캐리를  $C_K \in (0, 1)$ 라고 할때, CLA방식에 의한 m치 전 가산기에서의 전달 캐리  $P_K$  가 다음 값을 가질경우, 식(6)을 만족한다.

$$P_K = \begin{cases} 1, & (X_K + Y_K) = m-1 \text{인 경우} \\ 0, & (X_K + Y_K) < m-1 \text{인 경우} \\ \text{don't care,} & (X_K + Y_K) > m-1 \text{인 경우} \end{cases} \quad (8)$$

[증명]  
 (i)  $(X_K + Y_K) = m-1$  인 경우  
 $X_K + Y_K + C_K = (m-1) + C_K$ 가 되어,

$C_K=1$  인 경우:  $X_K + Y_K + C_K = m$  이 되어 정리 1.을 만족하여  $C_{K+1}$ 이 되어,

$C_K=0$  인 경우:  $X_K + Y_K + C_K = m-1$  이 되어  $C_{K+1}=0$  이 된다.

즉, 이 경우 K단에서 발생되는 캐리  $C_{K+1}$ 은 정리 2.에 의해  $G_K=0$ 이기 때문에,  $P_K C_K$ 에 의해 생성되므로 식(6).이 성립된다.

(ii)  $(X_K + Y_K) < m-1$ 인 경우  
 $(X_K + Y_K) < m-2$ 인 경우이므로, 정리 2.로,부터  $G_K=0$ 이 되고,  $G_K=1$ 인 경우에도  $(X_K + Y_K + Z_K) \leq m-1$ 되어 정리 1.에 의해  $C_{K+1}=0$  이 된다. 즉,  $C_K$

에 무관하게  $C_{K+1}=6$ 이 되므로,  $P_K=0$  일 경우 식 (6).을 만족한다.

(iii)  $(X_K+Y_K)>m-1$  인 경우

이 경우는  $X_K+Y_K \geq m$  과 같으므로,  $C_K$ 의 값에 무관하게 정리 1.에 의한 캐리  $C_{K+1}$  발생조건인  $X_K+Y_K+C_K \geq m$  을 만족한다.

즉, 정리 2.에 의해  $G_K=1$ 이 되어,  $P_K$ 의 값에 무관하게 식 (6). 이 성립한다.

(i), (ii), (iii)으로 부터  $m$ 치의 CLA 가산시 필요한  $P_K$ 가 식 (8).의 값을 가질 경우에만 식(6).을 만족함을 알 수 있다.

이같은 다치에서의 CLA특성을 이용하여, 식 (1)-(2)에서의 2진 입력, A, B에 대해 식 (5)-(8)의 다치에 대한 가산을 결합하여 4치인 경우에 적용하면 다음과 같다.

$m=4$  인 다치시스템에서 8비트 2진입력  $A=A_7 A_6 \dots A_0$ ,  $B=B_7 B_6 \dots B_0$ 를 갖는 병렬 가산기라 할때, 두개의 2진 전가산기는 한개의 4치 전가산기와 2진수를 기저가 4인값으로 변환해주는 엔코더 및 4진값을 2진으로 변환해주는 디코더로 구성할 수 있다. 그 이유는 2 비트의 2진데이터는 4치에서는 하나의 데이터 비트로 표현이 가능하기 때문이다. 따라서, 8 비트 가산을 위해 필요한 8개의 2진 전 가산기는 4개의 4치 전 가산기로 구성이 가능하다.

여기서 4치 가산기를 짝수 번호만으로 표시하기로 하자. 즉,  $K$ 번째 4치 전 가산기는 2진입력  $K$ 번째 비트와  $(K+1)$ 비트를 처리하게 된다. 따라서 4치시스템에서의 병렬 가산을 위해서 필요한 가산기의 번호는  $K=0, 2, 4, 6$ 가 된다.

이같은 4치 시스템에서  $(K+2)$ 단의 전가산기 캐리 입력  $C_{K+2}$ 는  $K$ 단에서의 발생캐리이거나  $(K-2)$ 단에서 발생한 전달캐리에 의해 생성된다.  $A_K, A_{K+1}$  과  $B_K, B_{K+1}$  의 두비트 2진입력을 4치로 변환한 경우 그 값은  $K+1$ 비트에 가중치를 곱한  $A_{K+2}(A_{K+1}), B_{K+2}(B_{K+1})$ 로 각각 표현된다.

4치 시스템에서  $K$ 단에서의  $G_K, P_K$ 에 대한 조건식은 식(7), (8)로 부터 얻을 수 있다.

즉,

$$G_K = \begin{cases} 1, & A_K+B_K+2(A_{K+1}+B_{K+1})>3 \text{인 경우} \\ 0, & \text{기타} \end{cases} \quad (9)$$

$$P_K = \begin{cases} 1, & A_K+B_K+2(A_{K+1}+B_{K+1}) \geq 3 \text{인 경우} \\ 0, & \text{기타} \end{cases} \quad (10)$$

여기서  $G_K$  와  $P_K$ 는 모두 2진이기 때문에,  $K$ 단에서 캐리출력  $C_{K+2}$ 는

$$C_{K+2} = G_K + P_K C_K \quad (11)$$

와 같다.

(예)

2진 입력  $A_0=0, A_1=1, B_0=1, B_1=1$ 인 경우

$$\rightarrow G_0=1, P_0=1, C_2=1, S_0=1$$

2진 입력  $A_0=1, A_1=0, B_0=0, B_1=1$ 인 경우

$$\rightarrow G_0=0, P_0=1, C_2=0, S_0=3$$

이 각각 된다.

### III. 4치 전류모드 CMOS를 이용한 CLA방식의 가산기 설계

그림 3.은 제안한 8비트 2진 전체 가산기의 1/4에 해당되는 부분을 보여주고 있다. 제안한 가산기의 전체 구성은 2진의 전압형태의 입력을 4치의 전류형태로 변환해주는 엔코더인 BVQCC(Binary Voltage to Quaternary Current Converter), 전류형태의 출력의 fanout을 확대시키기 위한 MOS로 구성된 전류미러,  $G_K$  및  $P_K$ 의 계산을 위한 TDG(Threshold Detector for Generates carry), TDP(Threshold Detector for Propagates carry), 4치 전류입력의 mod-4 연산을 수행하는 MOD4SUM회로와 4치 전류형태의 합을 2진의 합인  $S_K, S_{K+1}$ 로 변환해주는 디코더인 QCBVE(Quaternary Current to Binary Voltage Converter)회로로 구성되어 있다. 이외에도 LAC회로의 동작은 2진의 전압모드이기 때문에 전류형태인  $P_K, G_K$ 값을 전압레벨로 바꾸어주는 전류-전압 변환기인 CVC(Current to Voltage Converter), 전압형태의 LAC 출력인 캐리를 전류레벨로 바꾸어주는 전압-전류 변환회로인 VCC(Voltage to Current Converter)등이 있다.

제안한 가산기인 그림 3.의 각 부분에 대한 회로및 시뮬레이션은 다음과 같다. 단, LAC 발생기는 2진 시스템에서 사용되는 것과 동일한 관계로 특별한 설명을 생략하고, 기본적인 동작은 II-1.절에서와 같다. 이 LAC를 제외한 모든 부분은  $5\mu\text{m}$  CMOS기술을 사용하여 시뮬레이션 하였고, 4치 MVL시스템을 위한

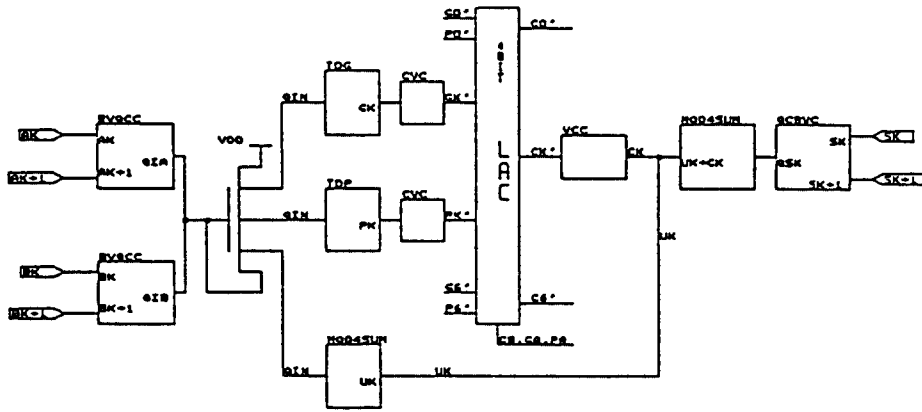


그림 3. 제안한 가산기의 블록  
Fig 3. Block diagram of the Proposed adder

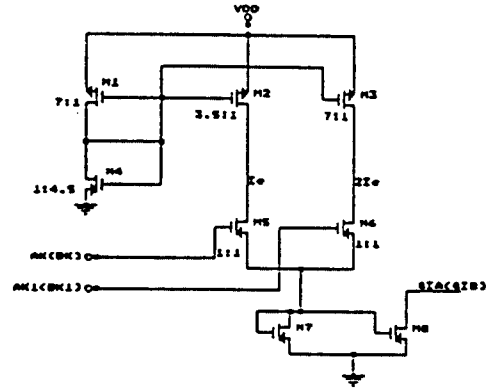
단위전류는  $15\mu A$ 로 하였다. 시뮬레이션은 SPICE2를 이용하였고, 사용한 MOS 모델은 LEVEL 3로 하였다.

1. BVQCC 회로

그림 4(a)는 2치 전압을 4치의 전류값으로 변환해주는 엔코더회로로서, 입력단의 가산하고자하는 두 비트의 2진전압  $A_K, A_{K+1}$  혹은  $B_K, B_{K+1}$ 을 1비트의 4치전류로 변환해주는 회로이다. 입력 두비트의 값은 각 경우에 따라 0, 1, 2, 3의 4치 값을 갖는 전류량으로 변환해 준다.  $M_1, M_2$ 의 트랜지스터에 의해 논리레벨 1에 해당하는 단위전류( $I_e$ )가 생성되고, 이 단위전류는 전류미러에 의해  $M_2, M_3$ 의 드레인에 각각  $I_e, 2I_e$ 로 복제된다. 엔코드할 2진데이터인  $A_K$ (혹은  $B_K$ ),  $A_{K+1}$ (혹은  $B_{K+1}$ )은 통과 트랜지스터인  $M_5, M_6$ 의 게이트에 입력된다. 두입력중 최상위비트는 그림에서 보는 것처럼  $M_6$ 의 게이트에 연결하여 가중치를 취해 4치로 변환한다.  $M_7, M_8$ 은 전체가산기의 전류방향을 맞추기위한 전류방향 변환회로이다.  $M_5$ 와  $M_6$ 의 소스는 함께 연결되어있어, 아날로그 합이되어 출력된다. 즉, 입력단의 두비트의 값에 따라 QIA(혹은 QIB)전류값은 0,  $I_e, 2I_e, 3I_e$ 로 각기 흐르게 된다.

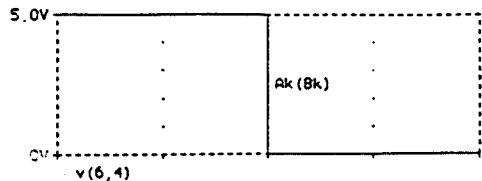
그림 4(b)는 BVQCC회로인 그림 4(a)의 회로에 대한 시뮬레이션 결과를 보여주고 있다. 즉,  $A_K$ (혹은  $B_K$ ),  $B_K(B_{K+1})$ 의 입력에 따라 출력 전류가  $0\mu A$ 에서  $45\mu A$ 까지 4치에 해당되는 전류로 변환되는 것을 확인할 수 있다. 이같은 BVQCC는 엔코더 2개가 사용되기

때문에 출력 QIN은 최소 0에서 최대  $6I_e$ 의 전류가 흐르게 된다. 이 전류값은 전류미러에 의해 복제되어 TDG, TDP, MOD4SUM회로에 각각 입력되어  $P_K, G_K, U_K$ 를 계산하게 된다.



(a)

Date/Time run: 06/10/92 19:12:59 Temperature: 27.0



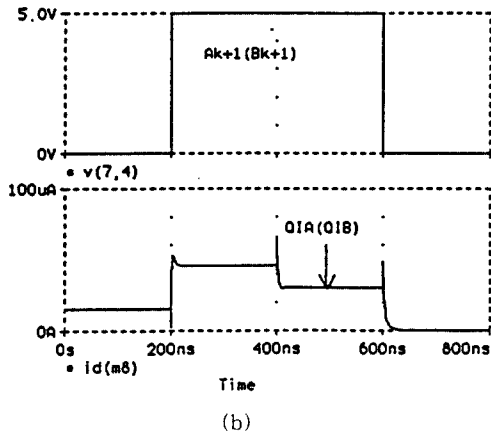


그림 4. 2진 전압의 4차 전류로의 변환  
(a) 회로도  
(b) 시뮬레이션 결과

Fig 4. Binary Voltage to Quaternary Current Converter  
(a) Schematic diagram  
(b) Simulation result

## 2. 발생 캐리 및 전달 캐리 생성 회로

4차 시스템에서의 CLA 방식에 의한 가산기를 구현하기 위해서는 식(9)와 식(10)을 각각 만족하는 발생 캐리  $G_k$ 와 전달 캐리  $P_k$ 를 먼저 계산하여야 한다. 즉, 4차의 전류로 변환된 BVQCC의 두 출력 QIA, QIB가 더해진 값인 QIN을 기준 전류값과 비교하여  $G_k$ ,  $P_k$ 를 각각 검출하는 역할을 한다.

그림 5(a)는  $G_k$ 를 위한 검출 회로이며, 그림 5(b)는 그 시뮬레이션 결과를 각각 보여주고 있다.  $G_k$ 는 식(9)를 만족해야 되기 때문에, 기준 전류원의 크기를  $4I_e$ 로 하여  $M_3$ 의 드레인에 공급하여 입력 전류 QIN과 비교하도록 하였다. 또한  $M_5$ 의 드레인에는 단위 기준 전류원인  $I_e$ 를 두어,  $M_1$ 의 드레인에 입력되는 QIN과  $4I_e$  전류원과의 비교 결과에 따라 0, 혹은 단위 기준 전류값인  $I_e$ 에 해당되는 전류가  $G_k$ 의 값으로 출력된다.

$$G_k = I_e, QIN \geq 4I_e$$

$$G_k = 0, QIN \leq 3I_e$$

Date/Time run: 08/10/92 15:48:26 Temperature: 27.0

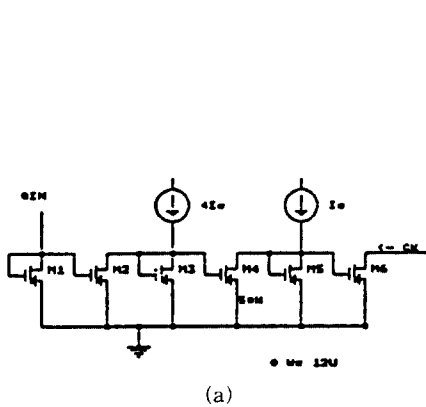
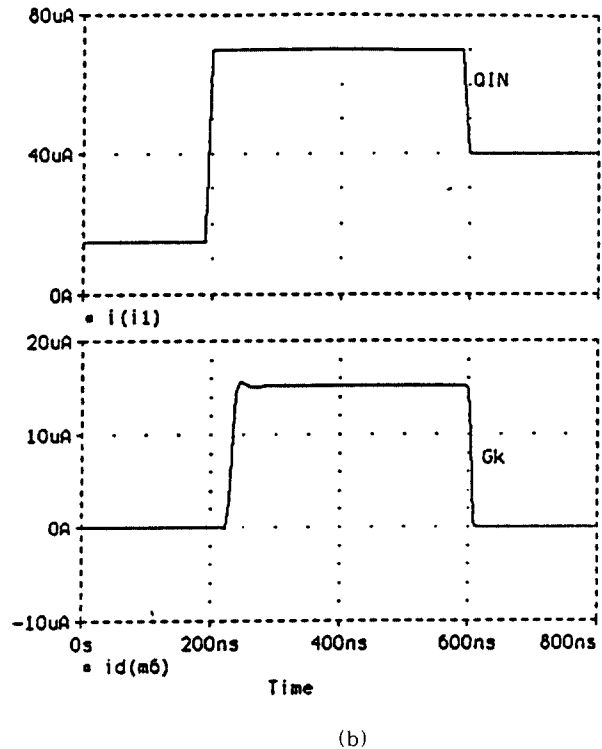


그림 5.  $G_k$  검출 회로  
(a) 검출 회로도  
(b) 시뮬레이션 결과

Fig 5. Threshold detector for generates carry  $G_k$   
(a) Schematic diagram  
(b) Simulation result



여기서  $M_3$ 의 드레인 기준전류원을  $4I_e$ 로 한 것은 식 (9)의  $G_k > 3$ 의 조건을 만족시키기 위한 것이다.

그림 5(b)는 이 회로에 대한 시뮬레이션 결과로서, 입력전류  $QIN$ 이 초기에서 200ns까지  $15\mu A$ , 200ns 에서 600ns까지는  $70\mu A$ 로, 600ns 이후는  $40\mu A$ 로 공급될때, 출력  $G_k$ 는  $QIN$ 이  $4I_e$ 이상의 경우인 200ns 에서 600ns에서만 단위전류원  $I_e(15\mu A)$ 가 출력되어  $G_k$ 가 1이 되고, 그 외에서는 0으로 동작하는 것을 확인할 수 있다.

그림 6(a)의  $P_k$  발생회로는 기준전류의 크기만 다르고, 전체회로는  $G_k$  발생회로와 같다.  $P_k$ 는 식 (10)을 만족해야 하기 때문에  $M_3$ 의 드레인에 공급되는 기준전류는  $3I_e$ 로 하였다.

$$P_k = I_e, QIN \geq 3I_e$$

$$P_k = 0, QIN < 3I_e$$

그림 6(b)는  $P_k$ 의 회로에 대한 시뮬레이션 결과를 보여 주고 있다.

입력전류  $QIN$ 이  $45\mu A(3I_e)$  이상일 경우인 200ns 에서 600ns 에서만, 출력단에  $I_e$ 가 검출되어  $P_k$ 가 1이 되고, 그 외에는 0이 되어 식 (10)을 만족시키는 것을 확인할 수 있다.

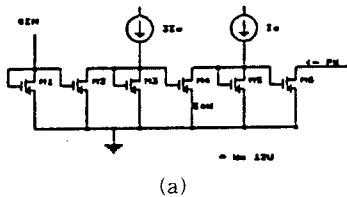


그림 6.  $P_k$  검출회로

(a) rjacnfglhfeh

(b) 시뮬레이션 결과

Fig 6. Threshold detector for generates carry  $P_k$ .

(a) Schematic diagram

(b) Simulation result

### 3. Mod-4 회로

m치 다치회로에서의 연산은 mod-m 연산으로서, 연산결과가 m이상인 경우에는 m-1의 값을 갖도록 변환해 주어야 한다. 그림 7(a)는 캐리를 고려치 않은 mod-4 가산회로이다. 그림 2와 같이 제한한 가산기의 경우 이 같은 가산회로 2개가 사용된다. 첫번째는 입력단의 아날로그 합인  $QIN$ 에 대해 4치의  $U_k$ 를 계산하기 위해 mod-4 가산회로가 사용된다. 왜냐하면,  $QIN$ 값은 최대  $6I_e$ 의 값까지를 갖기 때문이다. 두번째 mod-4가산회로는 LAC에 의해 발생하는 캐리  $C_k$ 와  $U_k$ 를 더한 값에 대한 mod4 연산을 하여  $QS_k$ 를 계산하는데 사용된다. 이때의 최대 입력값은  $C_k = I_e, U_k = 3I_e$ 일 경우 이므로  $4I_e$ 가 된다.

제한한 mod-4 가산회로에서의 Carry는  $P_k, G_k$ 를 이용하여 LAC회로에서 발생되기 때문에, Carry를 고려할 필요가 없다.

그림 3.에서 두개의 MOD4SUM 회로의 구성 및 동작은 똑같으며, 입출력 신호는 각각 다음과 같다.

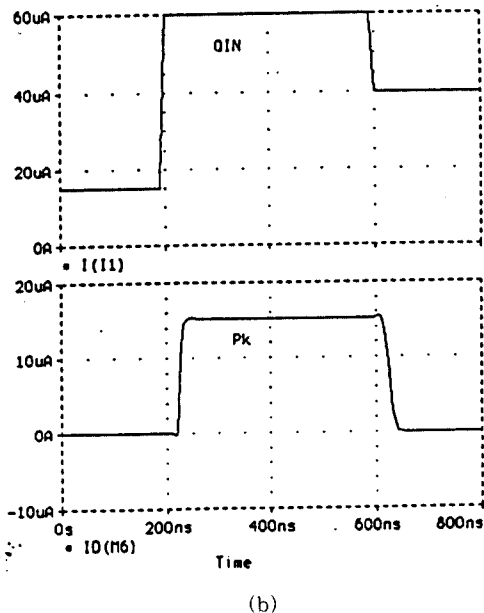
첫째,  $U_k$ 를 위한 mod-4 가산회로

$$U_k = QIN, QIN \leq 3I_e \text{ 인 경우}$$

$$U_k = QIN - 4I_e, QIN \geq 4I_e \text{ 인 경우}$$

둘째,  $QS_k$ 를 위한 mod-4 가산회로

Date/Time run: 08/10/92 15:32:27 Temperature: 27.0





$$QS_k = C_k + U_k, C_k + U_k \leq 3I_e \text{ 인 경우}$$

$$QS_k = (C_k + U_k) - 4I_e, C_k + U_k \geq 4I_e \text{ 인 경우}$$

그림 7(a).의 mod-4 가산회로에서의  $M_5$ 의 드레인 전류를  $3.7I_e$ 로 한 이유는  $QIN$  혹은  $U_k + C_k$  값이  $3I_e$ 와  $4I_e$ 사이의 값을 가질 경우에는 변환구간이 되기 때문에,  $3.7I_e$ 를 임계치로 설정하여 시뮬레이션하기 위해 설정한 값이다. 이 값은  $M_5$  트랜지스터의 L값을 조정하여 변경할 수 있다.

$M_4$ 의 드레인에 공급되는 단위전류원은  $M_5$ 와  $M_6$ 에 각각 복제되어 입력전류와 비교하여 mod-4 가산을 할때 전류 비교기 역할을 한다.

그림 7(b).는 mod-4 가산회로에 대한 시뮬레이션으로,  $QIN$ (혹은  $U_k + C_k$ ) 값이  $4I_e$ 이상인 경우 mod-4 연산을 수행하여,  $(QIN - 4I_e)$  혹은  $(U_k + C_k - 4I_e)$ 에 대한 전류가 출력에 흐르는 것을 볼 수 있다. 150ns 에서 200ns의 출력 값의 구간은 변환 구간으로서, 회로  $M_5$ 의 폭를 이용하여 조절할 수 있다.

#### 4. CVC 및 LAC 회로

TDG 및 TDP에 의해 검출되는  $G_k, P_k$ 의 신호는 그림 5(a).와 그림 6(a).에서 보는바와 같이 전류신호  $I_e$ 에 해당하는 값이므로, LAC의 입력에 사용하기

위해 같은 level의 전압으로 변환해 주어야 한다. 즉, CVC회로는 전류-전압 변환 회로로서, 구성은 그림 8(a).의 QCBVC 회로와 동일회로를 사용하여 구현하였다. GPp5b

$k, P_k$ 의 값이  $I_e$ 일 때 출력이 5V 즉, 1로 변환되고,  $G_k, P_k$ 의 값이 0일 때 출력은 OV가 되어 0 level이 LAC에 입력된다. 이회로의 시뮬레이션은 그림 8.과 같다. 입력 전류가  $I_e$ 인  $15\mu A$ 이면 출력 전압은 5V로 됨을 알 수 있다.

2진의 LAC 발생회로는  $P_k$ 와  $G_k$ 의 값을 받아, 모든 carry 를 동시에 계산하는 것으로, 2진 시스템에서 상용화되어 있는 것을 그대로 사용할 수 있다.

제안한 가산회로에서의, LAC 발생회로는 다음의 Boolean식에 의해 캐리계산을 한다.

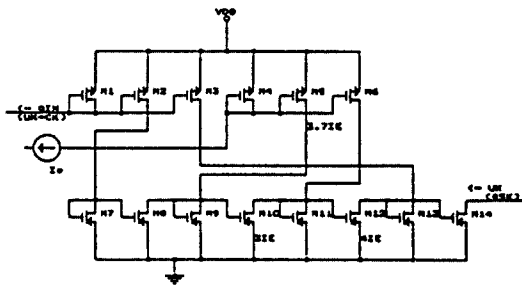
$$C_2 = G_0 + P_0 C_0$$

$$C_4 = G_2 + P_2 C_2$$

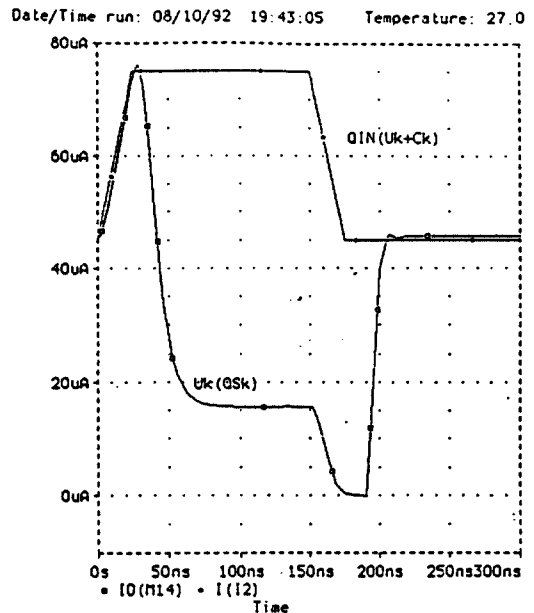
$$= G_2 + P_2 C_0 + P_2 P_0 C_0$$

$$C_6 = G_6 + P_4 C_4 = G_4 + P_4 G_2 + P_4 P_2 G_0 + P_4 P_2 P_0 C_0$$

$$C_8 = G_6 + P_6 C_6$$



(a)



(b)

그림 7. Mod-4 연산회로

(a) 회로도

(b) 시뮬레이션

Fig 7. Mod-4 sum Circuit

(a) Schematic diagram

(b) Simulation result

$$= G_6 + P_6 G_4 + P_6 P_4 G_2 + P_6 P_4 P_2 G_0 + P_6 P_4 P_2 P_0 C_0$$

$$= G_4 + P_A C_0$$

$$G_A = G_4 + P_6 G_4 + P_6 P_4 G_2 + P_6 P_4 P_0 G_0$$

$$P_A = P_6 P_4 P_2 C_0$$

여기서  $P_A$ ,  $G_A$ 는 4개의 4치 데이터 비트에 대한 그룹 발생 캐리와 그룹 전달 캐리가 된다.

### 5. VCC회로

VCC회로는 전압레벨의 신호를 같은 논리레벨을 갖는 전류로 바꾸어주는 전압-전류변환기 역할을 한다. 제안한 가산기에서 LAC 발생회로에서 계산하여 출력시키는 캐리  $C_k$ '는 전압신호이기 때문에, 전류형태의  $C_k$ 로 변환하여 4치연산을 수행하게 된다. 그림 9(a),는 이 VCC회로를 보여주고 있는데, 앞서 살펴본 BVQCC의 회로중 1비트의 입력데이터를 처리할 수 있도록 변형한 것과 같다.  $M_1, M_2, M_4$ 트랜지

Date/Time run: 08/10/92 18:09:20 Temperature: 27.0

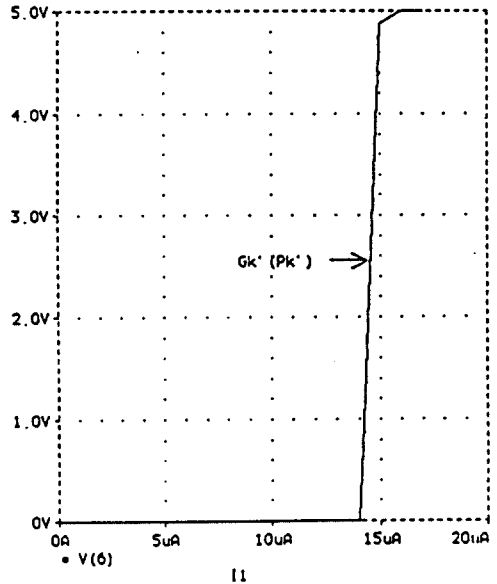
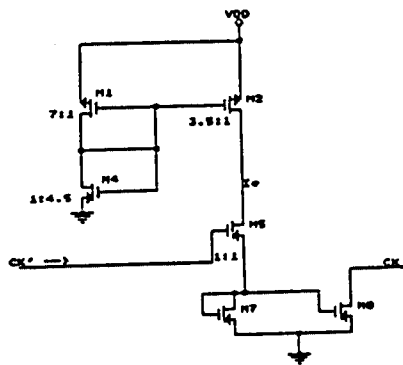
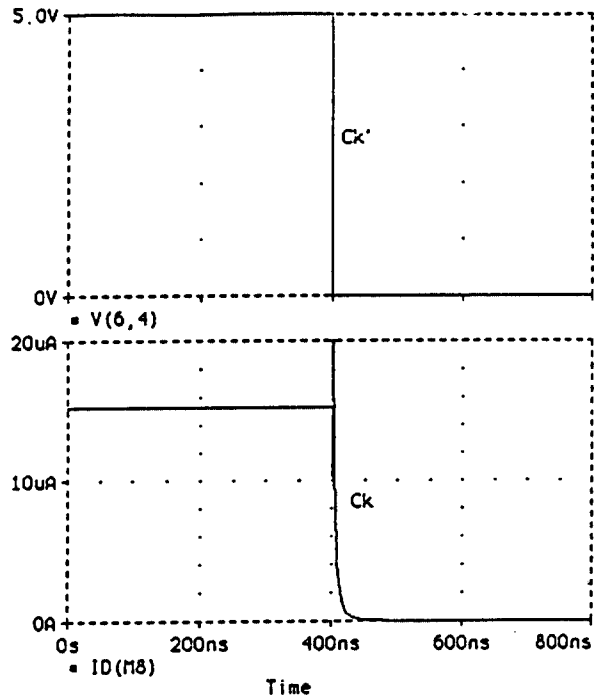


그림 8. CVC 회로의 시뮬레이션 결과  
Fig 8. Simulation result of the CVC circuit

Date/Time run: 08/10/92 18:17:37 Temperature: 27.0



(a)



(b)

그림 9. VCC 회로

(a) 회로도

(b) 시뮬레이션 결과

Fig 9. VCC Circuit

(a) Schematic diagram

(b) Simulation result

스터는 제안한 가산기에서 사용하는 단위전류인  $15\mu\text{A}$ 를 만들어 주도록 채널폭  $W$ , 채널길이  $L$ 의 비를 설정하였고, 이  $I_e$  전류는  $M_2$ 의 드레인을 통해 출력되어, 전류스위치 역할을 하는  $M_5$ 의 드레인에 입력된다. LAC의 출력  $C_k'$ 는  $M_5$ 의 게이트에 입력되어 제어신호 역할을 한다. 그림 9(b).는 VCC회로에 대한 시뮬레이션 결과를 보여주고 있다. 즉,  $C_k' = 5\text{V}$ 인 경우에는 출력  $C_k$ 는  $15\mu\text{A}$ 가 되고,  $C_k' = 0\text{V}$ 인 경우에는  $C_k = 0\text{A}$ 로 출력됨을 확인할 수 있다.

6. QCBVC 회로

QCBVC회로는 4치 전류의 합을 2진 데이터인 합비트로 변환해주는 일종의 디코더회로이다. 즉,  $C_k$ 와  $U_k$ 의 합에 대해 mod-4연산을 한 값인  $QS_k$ 값은 입력단의  $A_k, A_{k+1}$ 과  $B_k, B_{k+1}$ 를 합한 4치형태의 전류값이기 때문에, 이 디코더 회로를 사용하여 이진데이터비트인  $S_k, S_{k+1}$ 로 변환 해주게 된다. 이 디코더회로의 동작은 다음과 같은 식에의해 수행되며, BVQCC회로와는 상반되는 동작을 한다.

$$QS_k = (U_k + C_k) \bmod 4$$

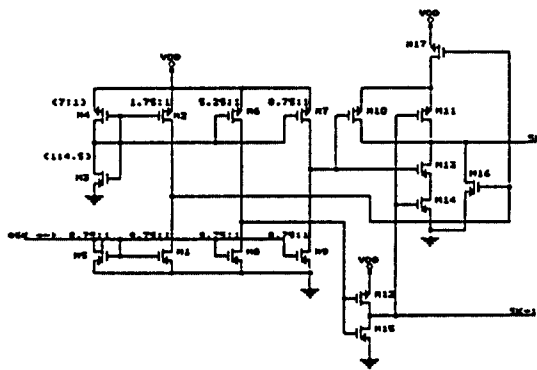
$S_k + 2S_{k+1} = QS_k, K = 0, 2, 4, 6$ 이 된다.

이 QCBVC회로는 그림 10(a).와 같고, 시뮬레이션 결과는 그림 10(b).와 같다.

QSK의 입력전류는  $M_1, M_8, M_9$ 의 드레인에 전류미러  $M_5$ 에 의해 복제된다. 또한  $M_4, M_5$ 에 의해 단위전류  $I_e$ 가 만들어 지고,  $W, L$ 비에 따라 전류비교기인  $M_2, M_6, M_7$ 의 드레인에 각각  $0.5I_e, 1.5I_e, 2.5I_e$ 로 복제된다. 따라서 입력전류  $QS_k$ 의 크기에 따라서  $M_1, M_2, M_3$ 의 드레인 전위가 바뀌게 된다. 이 전위에 의해  $M_{10} - M_{17}$ 의 디코딩 회로를 동작시켜  $S_k, S_{k+1}$ 의 값을 얻게 된다.

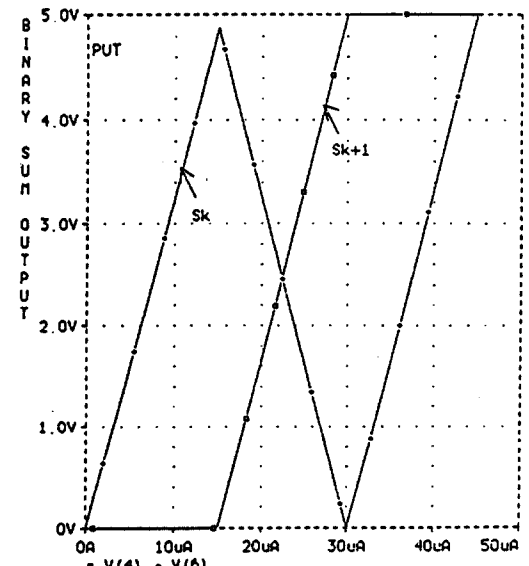
IV. 결 론

2진 에서의 CLA에 의한 가산방식을  $m$ -치에 적용하기 위한  $G_k, P_k$  검출식을 제안하고, 이를 증명하였다. 또한, 다치논리회로에 의한 회로 구성시 소자수 및 결선수면에서 2진보다 유리한 특성을 살리고, 기존의 2진 회로에서 널리사용되는 CMOS를 이용 4치 전류모드로 동작하는 가산기의 제안 및 시뮬레이션을 통해 2진연산에 다치회로의 사용 방법을 제시하였다.



(a)

Date/Time run: 08/10/92 20:32:59 Temperature: 27.0



(b)

그림 10. QCBVC 회로  
(a) 회로도  
(b) 시뮬레이션 결과  
Fig 10. QCBVC Circuit  
(a) Schematic diagram  
(b) Simulation result

이 경우 순수한 CLA방식이 8 bit 2진 가산기의 경우 구성 코스트가 높은 LAC 발생기가 3개가 2-level로 구성되어 사용되었으나, 본 논문에서 제안한 가산기는 1개의 LAC만 사용하여 1-level로 구성할 수 있다는 장점이 있다. 또한 16비트나 32비트의 2진 가산기의 구성시 제안한 방법인 다치에 의한 가산기 구성시 그 구성코스트는 훨씬 줄일 수가 있어 유리함을 알 수 있다. M.A. Manzoul이 제안한 CCD-MVL에 의한 가산기는 LAC와의 인테페이스 문제, 저속도, 저하 이동을 위한 다수의 클럭동 연산 소자로서의 사용에 부적합하여 실용상의 문제가 있어 제안한 CMOS-MVL에 의한 가산기가 더 유리함을 알 수 있다. 즉, 표 1.의 비교표에서 나타난 바와 같이 제안한 가산기는 LAC와 주변 가산회로가 단일 반도체기술을 사용하였기 때문에 제조공정 및 테스트가 용이하고, CCD 소자가 단점을 극복할 수 있다는 장점이 있다. CCD소자는 그 특성상 연산소자보다는 기억소자로의 이용이 타당하다. 제안한 가산기의 시뮬레이션은 5 $\mu$ m CMOS 기술을 이용하고, 단위전류를 15 $\mu$ A로 하였으나, 향후 연구과제는 실용화를 위해서는 전류모드 동작에 의한 소비전력문제, 노이즈에 대한 대책 및 미세선폭의 반도체기술에 맞도록 좀 더 보완하고, 시뮬레이션 결과와 일치하도록 실제로 IC화 하여 실측하므로써, 2진과와 다치의 결합상태에서 정상적인 동작을 위한 최적조건의 설정이다. 본 논문에서 제안한 4치 전류모드와 2진 논리회로와의 결합에 대한 기술은 가산기뿐만 아니라, 승산기등과 같이 논리회로의 구성레벨이 많고, 소자결선이 현저

히 증가하는 2진 논리회로에 응용이 가능하리라 믿는다.

참 고 문 헌

1. Weinberger, A., and Smith, J. L., "A One microsecond adder using one mega cycle circuitry," IRE Rrans. EC, Vol. EC-5, pp.65-73, June, 1956.
2. D. A. Freitas and K. W. Current, "A quaternary logic encoder-decoder circuit design using CMOS," Proc. of the 13th ISMVL, pp. 190-195, May 1983.
3. T. Yamakawa, "CMOS multivalued circuits in hybrid mode," Proc. of 15th ISMVL, pp. 144-151, May 1985.
4. M. Kameyama, T. Sekibe and T. Higuchi, "Design of highly parallel residue arithmetic circuits based on multiple-valued bidirectional current mode MOS technology," Proc. of the 18th ISMVL, pp.6-13, May 1988.
5. T. S. Kawahito, M. Kameyama, T. Higuchi and H. Yamada, "A high-speed compact multiplier based on multiple-valued bi-directional current mode circuits," Proc. of the 17th ISMVL, pp. 172-180, May 1987.
6. S. P. Onneweer and H. G. Kerkhoff, "Current mode high-radix circuits based on the

표 1. 2진 및 4치에 의한 8비트 CLA의 가산기 비교  
 Table. 1. Comparison of the 8 bit adder with CLA using binary and quaternary logic

	기존의 CLA 방식에 2진 가산기	M. M. [8] Manzoul 방식	제안한 방식에 의한 가산기
필요한 4비트 LAC 발생기의 수	3 개	1 개	1 개
전 가산기의 수	8 개	4 개	4 개
LAC 구성레벨	2 레벨	1 레벨	1 레벨
동작기저	2진	2진 및 4치	2진 및 4치
동작모드	전압모드	전하 및 전압	전류 및 전압
반도체 기술	TTL 혹은 CMOS	CCD(4치) MOS(2진)	CMOS(4치 및 2치)

truncated-difference operator," Proc. of the 17th ISMVL, pp.188-195, May 1987.

7. M. A. Manzoul and M. Ashraf, "Binary addition via a MVL-CCD carry-lookahead circuit," Proc. of the 17th ISMVL, pp. 210-214,

May 1987.

8. M. A. Manzoul and S. Moorthy, "An improved m-valued carry-lookahead adder," Proc. of the 19th ISMVL, pp. 280-282, May 1989.



金 鐘 五 (Jong O Kim) 正會員  
1957年 12月 17日生  
1980年 2月: 仁荷大學校 電子工學  
科 卒業(工學士)  
1982年 2月: 서울大學校 大學院 制  
御計測工學科 卒業(工  
學碩士)  
1982年 11月~1989年 9月: 金星社  
情報機器 研究所 先任  
研究員

1990年 8月~現在: 仁荷大學校 大學院 電子工學科 博士課程  
1989年 9月~現在: 東洋工業 專門大學 電子科 助教授  
※주관심분야: 회로 및 시스템 설계, 다치논리 및 퍼지논  
리, 컴퓨터 아키텍처



朴 東 泳 (Dong Young Park) 正會員  
1957年生  
1980년 2월: 인하대학교 전자공학  
과(공학사)  
1985년 8월: 인하대학교 대학원 전  
자공학과(공학석사)  
1987년~현재: 인하대학교 대학원  
전자공학과 박사과정

1990년~1991년 8월: 부천전문대학 전자과(전임강사)  
1991년 8월~현재: 국립 원주전문대학 전자통신과 조교수  
※주관심분야: 회로 및 시스템 설계, 다치논리, 퍼지논리 등

金 興 壽 (Heung Soo Kim) 正會員  
1941年 2月 26日生

第 14卷 第 5號 參照  
現在: 仁荷大學校 工科學 電子工學科 教授