

## 도판트가 주입된 비정질 실리콘 박막의 재결정화에 따른 전기적 성질의 비교

이만형, 최덕균, 김정태\*

한양대학교 무기재료공학과

\*현대전자(주) 반도체연구소

## A Comparison of Electrical Properties by Recrystallization of Dopant-Implanted Amorphous Silicon Films

Man-Hyeong Lee, Duck-Kyun Choi, and Chung-Tae Kim\*

Dept. of Inorganic Materials Eng., Hanyang University

\*Semiconductor R & D Lab., Hyundai Electronics Co., Ltd.

### Abstract

$P^+$  and  $BF_2^+$  were implanted to LPCVD amorphous silicon films deposited on thermally-oxidized silicon wafers and the low temperature annealing process followed with various conditions to activate implanted ions and to recrystallize the films. We tried to find the optimum processing condition by comparing the recrystallization behaviors and the electrical properties. TEM analysis showed that the final grain size of  $BF_2^+$ -implanted films was similar to that of unimplanted films, whereas the grains of  $P^+$ -implanted films were about  $5\sim 6\mu m$  in diameter. Hall mobility was increased to  $45cm^2/V\text{-sec}$  with carrier concentration for  $P^+$ -implanted films. For both  $P^+$ - and  $BF_2^+$ -implanted films, sheet resistances were decreased with elevating annealing temperature and the minimum value was about  $110\sim 120\Omega/\square$  at  $600^\circ C$ .

### 1. 서 론

다결정 실리콘은 비정질 실리콘에 비해 결합밀도가 낮기 때문에 switching speed, carrier mobility 등이 빠르고, drive current가 높다는 장점이 있어서 최근 들어 액정 표시소자(LCD)용 박막 트랜지스터(TFT; Thin Film Transistor)에 응용되고 있다.<sup>1)</sup> 그러나 내부에 존재하는 입체에 의해 전기적 성질 즉, 면저항과 carrier 이동도가

제약을 받게 된다. 그러므로 증착된 박막내 최적의 불순물 주입과 열처리 조건의 도출에 의해 재결정화를 유도하여 입계면적을 최소화함으로써 carrier 농도를 증가시키는 동시에 이동도를 향상시켜 면저항을 극소화시키는 공정이 필요하다. Y. Wada 등<sup>2)</sup>과 L. Mei 등<sup>3)</sup>에 의하면 많은 양의 P가 주입된 다결정 Si 박막의 재결정화를 위한 어닐링시 성장하는 결정립의 크기가 어닐링 시간의 제곱근에 비례함을 밝혀 확산 제어 입자 성장

(diffusion-cotrolled grain growth)이 일어난다고 보고하였다. 이러한 입자성장 이론에 의하면 P 도핑할 경우 박막내에서 공공(vacancy)이 불순물의 농도에 따라 증가하는데, 그로 인하여 Si의 자기확산계수가 증가하고 입계의 이동도가 증가하여 큰 입자가 얻어졌다고 하였다. 그리고 공공의 생성에 관한 이론적 고찰은 W. Shockley와 J. T. Last<sup>4)</sup>, 그리고 그의 여러 연구자들<sup>5-7)</sup>에 의해 보고된 바 있는데, 이러한 공공은 열적 평형값으로 존재하는 중성의 공공(전하상태:0)과 구분하여 대전된 공공(전하상태:+1,+2,-1,-2)이라고 명명하였다. P 도핑시에는 -1과 -2로 대전된 공공이 band gap 내에서 acceptor 준위를 형성하는데, 도핑농도의 증가에 따라 Fermi 준위와 대전된 공공의 생성에너지 준위가 접근하여 전체 공공농도는 증가하게 된다. 그러므로 실리콘의 자기확산계수와 입자 성장속도의 증가를 수반하게 된다. 하지만 B의 경우에는 +1로 대전된 공공만이 존재하는데 이는 확산계수에 거의 영향을 미치지 않는 것으로 알려져 있다.

본 연구에서는 주로 액정 포시소자용 다결정 실리콘 박막 트랜지스터에서 active channel layer와 함께 source와 drain에 응용을 목표로 하여 600°C 이하의 저온에서 공정이 가능하며 carrier 이동도가 높고 비저항이 낮은 박막 제조 공정조건을 확립하고자 하였다. 이를 위해 먼저 낮은 온도(520°C)에서 비정질 박막을 증착한 후, CMOS (complementary metal oxide semiconductor) 트랜지스터로의 적용을 위해 n형 불순물로는 P<sup>+</sup>를, p형 불순물로는 BF<sub>3</sub>를 각각 주입조건을 바꾸어 가면서 이온주입법으로 도핑하였다. 여기서 p형 불순물로서 B<sup>+</sup> 대신에 BF<sub>3</sub>를 사용한 이유는 저온에서 보다 높은 전기적 활성을 가지고, pn 접합시 낮은 역방향 누설전류를 가지며, 주입시 안정된 이온빔을 얻을 수 있기 때문이다.<sup>8)</sup> 이와같이 준비된 시편을 550~600°C의 온도 범위에서 열처리하여 주입이온의 활성화와 재결정화를 유도함으로써 결정화 양상과 전기적 성질의 상관 관계를 고찰하였다. 결정화 양상의 관찰은 투과전자현미경(TEM)과 X선 회절(XRD) 분석을 이용하였고, 전기적 성질은 Van der Pauw 방법을 이용

하여 carrier의 농도, 이동도, 그리고 비저항 등을 측정하였다.

## 2. 실험 방법

### 2. 1. 박막증착과 어닐링

1,000Å의 열산화막을 입힌 p형 (100) 실리콘 웨이퍼 위에 LPCVD 법으로 520°C, 0.3 Torr의 조건하에서 SiH<sub>4</sub>를 열분해시켜 두께 1,500Å의 실리콘 박막을 증착하였다. 그리고 CMOS로의 적용을 위해서 n형과 p형 모두에 대해서 불순물의 영향을 관찰하고자 하였는데, n형으로는 P<sup>+</sup>를, p형으로는 BF<sub>3</sub>를 상온에서 이온주입법으로 도핑하였다. P<sup>+</sup>는 주입조건(주입량과 에너지)을 4.5 × 10<sup>15</sup>~9.0 × 10<sup>15</sup>/cm<sup>2</sup>, 110KeV로 하였고, BF<sub>3</sub>는 3.7 × 10<sup>15</sup>~1.0 × 10<sup>16</sup>/cm<sup>2</sup>, 120KeV로 하였다. 그리고 박막의 결정화와 불순물 이온의 재분포 및 활성화를 위해 N<sub>2</sub> 분위기로 550~600°C의 온도범위에서 최대 50시간까지 어닐링하였다.

### 2. 2. 결정화양상 관찰

비정질로 부터 결정화된 박막의 입자크기와 결정상태의 평가를 위해 TEM과 XRD 분석을 하였다. 박막의 평면과 단면 형상을 관찰하기 위해 200kV의 가속전압으로 TEM 분석하였으며, 제한시야회절(Selective Area Diffraction Pattern; SADP) 분석을 통해 박막의 결정상태를 관찰하였다. 그리고 XRD 분석은 40keV, 40mA의 전압과 전류를 인가하면서 25~60°의 회절각 사이에서 나타나는 peak의 관찰에 의해 진행되었는데, TEM에서 얻어진 결과와 비교 분석 하였다.

### 2. 3. Hall 효과 측정

결정화된 박막 시편들에 대한 전기적 성질을 비교분석하기 위해 Van der Pauw 방법에 의존하여 Hall 효과를 측정하였다. 우선 시편의 가장자리에 인듐 전극을 부착하여 각 점들간 오姆접촉(Ohmic contact)의 여부를 확인한 다음, 0.1mA의 전류와 3,000 Gauss의 자기장을 인가하여 carrier 농도, 비저항, Hall 이동도 등을 측정하였다.

### 3. 실험결과 및 고찰

#### 3. 1. 재결정화에 대한 dopant 의존성

Fig. 1은 600°C에서 50시간 어닐링한 시편들에 대한 XRD와 평면 TEM의 비교 분석 결과이다. XRD 분석에 의하면 이온주입된 시편의 경우, 비주입시편에 비해 회절조건에서 벗어난 위치에서 미세한 peak들이 많이 나타났는데, 이로 부터 열처리 후에도 박막내에는 손상 및 결함영역이 많이 존재하고 있음을 알 수 있었다. 그리고 X선 회절강도와 TEM 사진의 비교 결과, 불순물의 종류에 따라 재결정화 양상에 뚜렷한 차이가 있음이 관찰되었다. BF<sub>2</sub>가 주입된 시편의 경우에는 비주입 시편과 비교해볼 때, 입자성장 양상에 있어 미소한 변화가 있었던 반면, P<sup>+</sup>가 주입된 시편의 경우에는 거대한 결정립들이 고르게 성장하였다. 이는 박막내 불순물 도핑에 따른 대전된 공공농도의 증가와 그로 인한 실리콘 확산계수의 증가로 설명이 가능한데, 그에 대한 관계식은 다음과 같다.<sup>9)</sup>

$$D_e = D_{s^0} + D_{s^-} \left( \frac{n_e}{n_i} \right) + D_{s^-} \left( \frac{n_e}{n_i} \right)^2 + D_{s^+} \left( \frac{n_i}{n_e} \right) + D_{s^{++}} \left( \frac{n_i}{n_e} \right)^2 \dots \dots \dots (1)$$

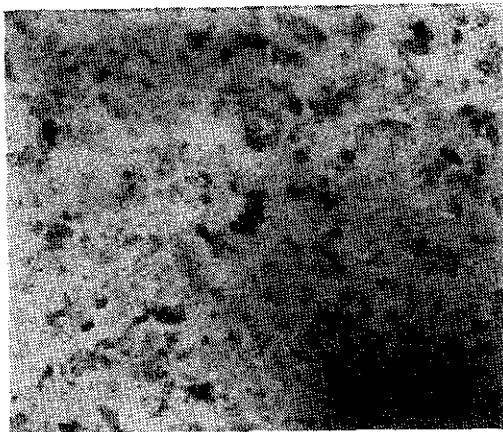
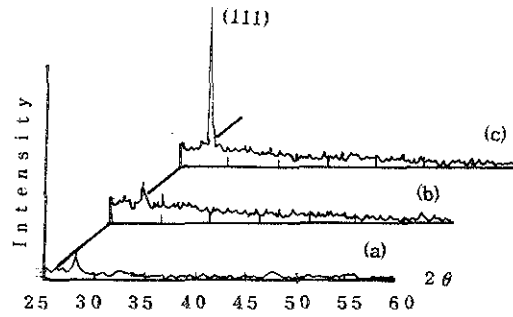
$$\begin{aligned} [V^-]_e/[V^-]_i &= n_e/n_i, \\ [V^+]_e/[V^+]_i &= n_i/n_e \dots \dots \dots (2) \end{aligned}$$

여기서 D는 확산계수, n은 전자의 농도, [V]는 공공의 농도이고, 첨자 e와 i는 각각 extrinsic과 intrinsic을 나타낸다. P<sup>+</sup> 주입의 경우에는 -1과 -2의 전하를 갖는 공공이 acceptor 준위를 형성하여 도핑농도에 따라 증가하게 되므로 확산계수의 증가로 인해 입자성장이 상당히 촉진되었다. BF<sub>2</sub>의 경우에는 +1의 공공만 생성되어 donor 준위를 형성하는데 이는 확산계수에 거의 영향을 미치지 않으므로 입자성장에 기여하지 않는 것으로 알려져 있다.<sup>6)</sup> 하지만 결정립도의 미소한 증가를 보인 이유는 이온주입에 의해 박막내에 broken bond가 도입되어 재결정의 핵생성이 지연되었고, 그로 인해 상대적으로 입자성장이 증진되었기 때문이다. 또한 P<sup>+</sup>가 도핑된 경우에는 입자내에 미세쌍정(microtwin)이 관찰되었는데 (Fig.1(c)), 쌍정 형성도 입자성장속도의 증진에

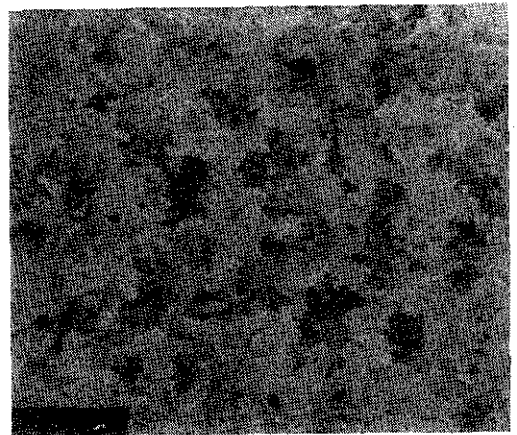
유효함을 알 수 있다. 일반적으로 박막의 전기적 특성은 결정립 크기와 직접 연관되긴 하지만, 한편으로는 입자내의 결함에 관한 고려도 중요하기 때문에, 단면 TEM 분석을 통해 박막내 국부영역의 미세구조를 관찰하였다. Fig. 2는 BF<sub>2</sub> 주입시편에 대한 단면 분석사진인데, (a) 전위와 과포화 불순물에 의해 생성된 석출물(precipitate), (b) 적층결함 등의 결함이 존재하고 있음을 여러 영역에서의 반복된 관찰 결과 알 수 있었다. 그리고 Fig. 3은 P<sup>+</sup> 주입시편에 대한 명시야(bright field)와 암시야(dark field) 분석사진인데, 평면 분석에서와 마찬가지로 쌍정이 관찰되고 있음을 보여주고 있다.

#### 3. 2. Hall mobility의 carrier 농도 의존성

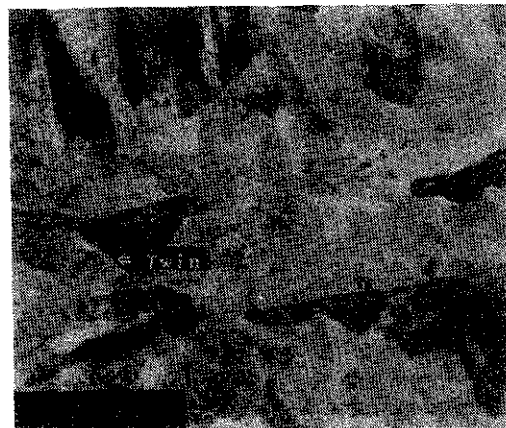
Kamins<sup>10)</sup>의 보고에 의하면, 다결정 실리콘 박막에 있어서 Hall 이동도는 carrier 농도에 따라 증가하다가 산란효과가 지배적인 고농도 영역에서는 다시 감소하는 경향을 나타낸다. Fig.4는 600°C에서 50시간 어닐링한 시편들에 대해 Hall 효과 측정으로 구한 carrier 농도에 따른 Hall mobility( $\mu_H$ )의 변화곡선이다. BF<sub>2</sub>를 주입한 경우, 농도가 증가함에 따라 약간의 감소 경향을 보였는데,  $\mu_H$ 가 약 10cm<sup>2</sup>/V-sec이었다. 하지만 P<sup>+</sup>를 주입한 경우, 농도가 증가함에 따라  $\mu_H$ 는 급격한 증가 양상을 보였으며, 그 최대값이 약 45cm<sup>2</sup>/V-sec로서 BF<sub>2</sub>를 도핑한 경우보다 약 4배 이상 큰 값을 나타내고 있다. 이는 다음과 같은 이유로 설명될 수 있다. 먼저 재결정화의 측면에서 고찰해보면, BF<sub>2</sub>의 경우에는 주입량의 증가에도 불구하고 입자성장에 대한 기여도가 작아서 결정립도의 미소한 증가가 있었던 반면, P<sup>+</sup>의 경우에는 도핑준위에 거의 비례하는 입자성장 촉진 효과에 의해 입체면적의 감소와 더불어 입체산란 감소에 의해 carrier mobility가 증가하였기 때문이다. 다음은 주입이온의 활성화도, 계면석출, 그리고 결함 생성의 관점에서 고찰해보면, P<sup>+</sup> 주입의 경우는 편석율이 크기 때문에 계면 편석에 의해 계면에너지를 낮춰줌으로써 carrier의 포획자리를 감소시켜주는 반면, BF<sub>2</sub>의 경우는 반대 현상을 보인다.<sup>11)</sup> 더욱이 BF<sub>2</sub>는 분해되어 완전 활성화가 이루어지려면 1,100°C의 고온이 필요한 것으로 보고되어 있는데,<sup>12)</sup> 저온에서는 미분해 비활성 주입이온이



(a)



(b)



(c)

Fig. 1. XRD patterns and TEM micrographs of fully recrystallized poly-Si films at 600°C.

(a) Unimplanted, (b)  $\text{BF}_2^+$  :  $7.5 \times 10^{15}/\text{cm}^2$ , and (c)  $\text{P}^+$  :  $4.5 \times 10^{15}/\text{cm}^2$ .

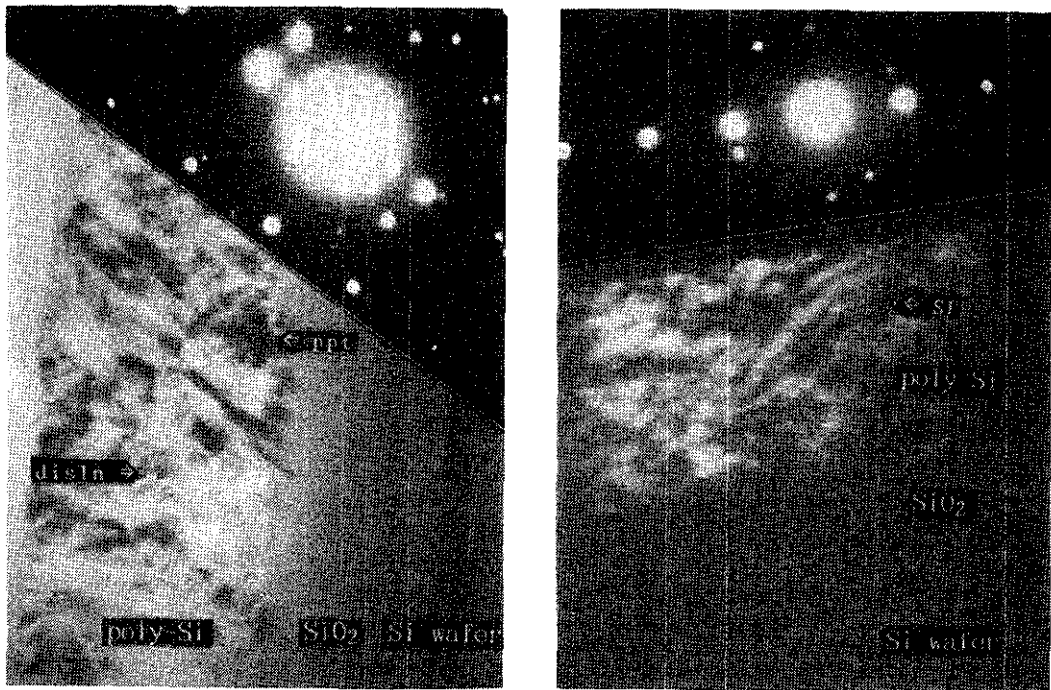


Fig. 2. XTEM micrographs of 120KeV  $\text{BF}_2^+$ -implanted film ( $1 \times 10^{16}/\text{cm}^2$ ) annealed at 600°C, showing intra-granular defects.

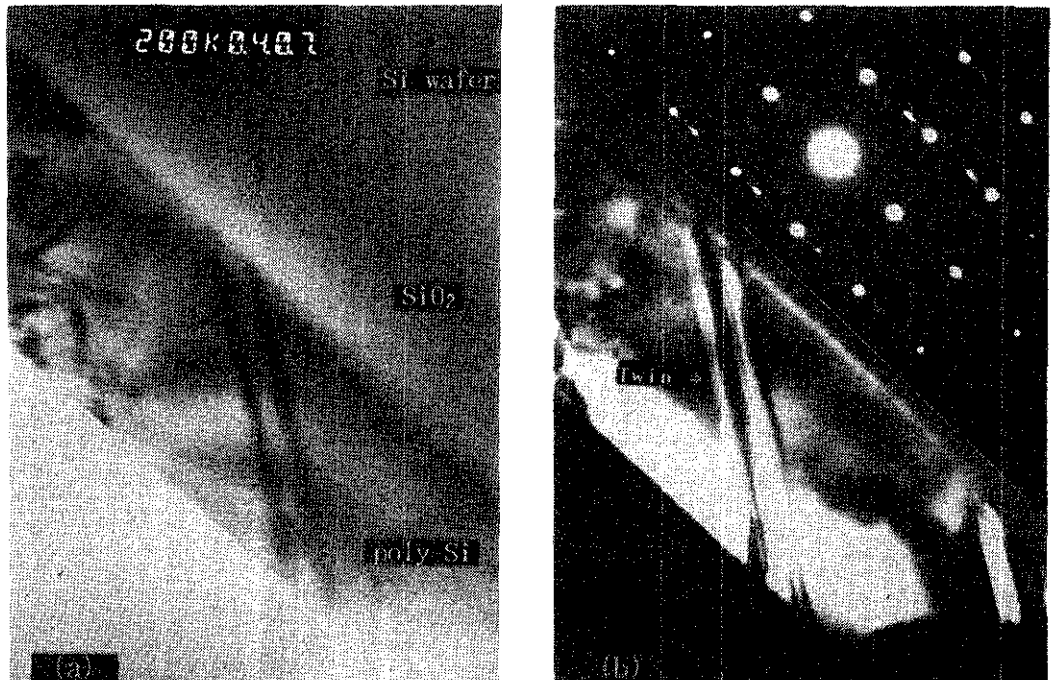


Fig. 3. XTEM micrographs of 110keV  $\text{P}^+$ -implanted film ( $9 \times 10^{15}/\text{cm}^2$ ) annealed at 600°C. (a) Bright field, (b) Dark field.

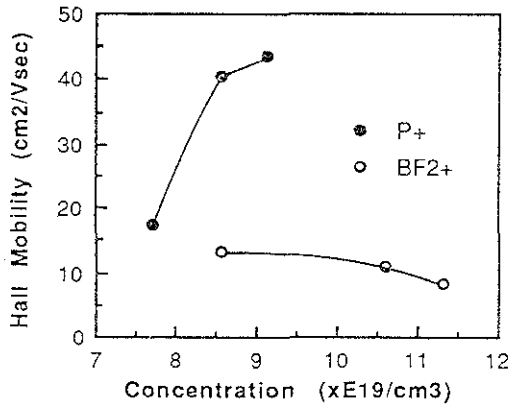


Fig. 4. Hall mobility as a function of free carrier concentration for the P<sup>+</sup>- and BF<sub>2</sub><sup>+</sup>-implanted films annealed at 600°C for 50 hrs.

남게 되고, 더우기 석출물, 적층결함, 그리고 전위 등이 재결정화 과정동안에 생성되어 carrier의 평균자유행정(mean free path)을 감소시킴으로써  $\mu_H$ 가 감소하였음을 Fig. 2를 통해 확인할 수 있다. 마지막으로 carrier들 간의 산란효과로서 P<sup>+</sup>의 경우는 보다 저농도의 영역에 있으므로 carrier들 간 산란 효과가 작아  $\mu_H$ 가 주로 입자크기에 지배 받는 반면, BF<sub>2</sub><sup>+</sup>의 경우에는 고농도 영역에 있으므로 carrier들간 산란이 증가되어  $\mu_H$ 는 조금씩 감소하고 있다.

### 3. 3. 온도에 따른 면저항의 변화

P<sup>+</sup>와 BF<sub>2</sub><sup>+</sup> 주입 시편들에 대한 면저항의 온도의존성을 각각 Fig. 5와 Fig. 6에서 보여주고 있는데, 비슷한 조건에서 얻어진 다른 연구결과 보고<sup>13),14)</sup>와 비교하여 나타내었다. P<sup>+</sup>를 주입한 시편에 대해 50시간 어닐링했을 경우, 온도 증가에 따라 면저항은 감소하였다. 일반적으로 온도가 증가할수록 주입이온의 활성화도 증가에 기인하여 carrier 농도는 증가하고, 그와 더불어 입자성장에 의한 입계영역 감소로 carrier mobility가 증가하므로 비저항은 감소하게 된다. BF<sub>2</sub><sup>+</sup>를 주입한 시편에 대해서는 15시간 어닐링할 경우, 온도가 증가할수록 면저항은 감소하는 반면, 50시간 어닐링할 경우에는 약간의 증가 양상을 보였다. 이러한 차이의 원인은 다음의 두가지로 구분하여 설

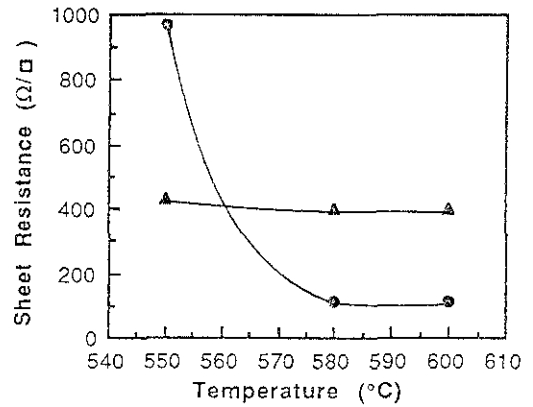


Fig. 5. Sheet resistance versus annealing temperature for P<sup>+</sup>-implanted poly-Si films.

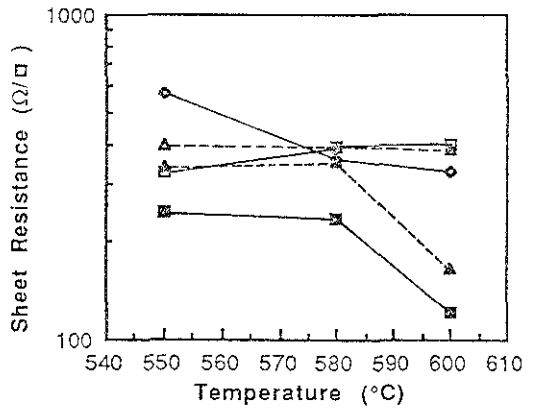


Fig. 6. Sheet resistance versus annealing temperature for BF<sub>2</sub><sup>+</sup>-implanted poly-Si films.

명할 수 있다. 첫째로 재결정화의 관점에서 고찰해보면, 600°C에서는 약 15시간의 열처리에 의해 박막의 입자성장이 거의 포화되었다. 그러므로 15시간의 경우, 저온영역에서는 충분한 재결정화가 이루어지지 않았지만, 온도가 증가할수록 재결정화도의 증가에 기인하여 입계의 산란이 감소하

므로 면저항이 감소하였고, 50시간의 경우에는 모든 온도 범위에 걸쳐 입자성장이 포화되어 입계의 효과가 거의 일정해지지만, 온도 증가에 따라 주입이온의 활성화도가 증가함으로써 carrier들간의 산란이 지배하게 되므로 면저항이 증가하였다. 둘째로 석출물과 비활성 주입이온에 의한 산란효과이다. Fig. 6에서도 나타난 바와 같이 짧은 열처리시에는 온도 증가에 의해 주입 이온의 활성화도가 증가하기 때문에 비활성 이온에 의한 산란이 감소하므로 면저항은 감소한다. 그러나 시간이 길어짐에 따라 석출물의 농도 증가와 그에 따른 산란의 증가로 면저항은 증가하는데, 온도 증가에 따라 약간의 증가를 보인 이유는 석출물 생성 반응속도의 증진에 기인한다.

#### 4. 결 론

Dopant를 주입한 비정질 Si 박막의 재결정화는 음전하를 갖는 대전된 공공의 생성에 의해 증진된다. P<sup>+</sup> 주입의 경우 주입량이 증가할수록 이러한 전하를 갖는 공공농도의 증가와 그로 인한 입자성장 결과 5~6 $\mu\text{m}$ 의 큰 결정립이 얻어졌으며, BF<sub>3</sub>는 비주입 시편에 비해 약간의 증가 양상을 나타내었는데 평균 결정립은 약 1 $\mu\text{m}$ 의 크기를 갖는 것으로 관찰되었다. 특히 P<sup>+</sup> 주입 시편의 경우, 재결정화된 박막내에서 쌍정이 나타났는데, 그로 인해 입자성장이 보다 더 촉진되었음을 알 수 있었다. 한편 박막의 전기적 특성은 재결정화양상과 깊은 연관성을 갖는데, Hall 측정에 의하면 P<sup>+</sup>의 경우에는 carrier의 농도가 증가할수록 Hall 이동도는 증가하였고, 최대값이 45cm<sup>2</sup>/V-sec에 이르렀으며, BF<sub>3</sub>의 경우에는 반대로 감소하였는데 약 10cm<sup>2</sup>/V-sec의 값을 나타내었다. 온도에 따른 면저항 변화의 경우, P<sup>+</sup> 주입 시편에서는 충분한 재결정화에 요구되는 시간이 약 50시간이었는데, 측정 범위내에서 온도가 증가할수록 면저항은 감소하였고, 600°C에서 약 110 $\Omega/\square$ 에 접근하였다. 그러나 BF<sub>3</sub> 주입의 경우에는 15시간의 열처리후 재결정화가 포화되었고, 온도 증가에 따라 다소의 입자성장에 의해 면저항이 감소하는 경향을 보였는데, 최소값이 600°C에서 약 120 $\Omega/\square$ 로서 비교적 낮았다. 하지만 그 이상의 시간에서는 경향성이 반대로 나타났으며, 면저항이 더 증가하였다.

결론적으로 본 실험에서 시도한 저온 열처리에 의한 재결정화 공정은 600°C 열처리에서 물리적·전기적 특성이 최적인 박막이 얻어졌으며, 이로부터 박막트랜지스터 제조시 channel 층과 source, drain을 저온에서 동일 열처리 공정으로 형성할 수 있음을 입증하였다.

#### 감 사 의 글

본 연구는 과학재단의 우수연구센터인 서울대학교 신소재 박막가공 및 결정성장연구센터의 연구비 지원으로 수행되었습니다.

#### 참 고 문 헌

1. D.M. Kim, A.N. Khondker, S.S. Ashmed, and R.R. Shah : IEEE Trans. Electron Devices, ED-31(4), (1984) 480
2. Y. Wada and S. Nishimatsu : J. Electrochem. Soc., 125 (1978) 1499
3. L. Mei, M. Rivier, Y. Kwark, and R.W. Dutton : J. Electrochem. Soc., 129 (1982) 1791
4. W. Shockley and J.T. Last : Phys. Rev., 107 (1957) 392
5. M.W. Valenta and C. Ramasastry : Phys. Rev., 106 (1957) 73
6. J.M. Fairfield and B.J. Masters : J. Appl. Phys., 38 (1967) 3148
7. J.R. Patel, L.R. Testardi, and P.E. Freeland : Phys. Rev. B, 13 (1976) 3548
8. M.Y. Tsai, D.S. Day, B.G. Streetman, P. Williams, and C.A. Evans : J. Appl. Phys., 50 (1979) 188
9. S.P. Muraka and M.C. Peckerar : Electronic Materials Science and Technology: Academic Press, (1989) 188-193
10. T.I. Kamins : J. Appl. Phys., 42 (1971) 4357
11. M.M. Mandurah, K.C. Saraswat, C.R. Helms, and T.I. Kamins : J. Appl. Phys., 51 (1980) 5755
12. M.Y. Tsai, B.G. Streetman, P. Williams, and

- C.A. Evans : Appl. Phys. Lett., 32 (1978) 144
13. W.E. Beadle, J.C.C. Tsai, and R.D. Plummer : Quick Reference Manual for Silicon Integrated Circuit Technology: John Wiley & Sons, (1985) 7-63
14. J.C. North, A.C. Adam, and G.F. Richards : Electrochem. Soc. Fall Meeting, Extended Abstr. 78-2, (1978) 542