

전압형 인버터를 위한 디지털 PWM 제어기 설계

(Design of Digital PWM Controller for Voltage Source Inverter)

李成栢*·李宗圭**·鄭求哲***
(Seong-Back Lee · Jong-Kue Lee · Ku-Chul Jeong)

요 약

본 논문은 캐리어 주파수 20kHz 이상의 고주파 전압형 PWM 인버터를 구동하기 위한 디지털 제어기에 관한 연구이다.

적절한 PWM 패턴을 선택하기 위하여 기존의 PWM을 분석하였고, 비동기형 계단 정현파를 기준신호로 하여 제어기의 PWM 패턴을 구하였으며, PWM 제어방법은 가변 캐리어 비를 이용하였다.

PWM 제어기는 모두 디지털 방식으로 구성하였다. 특히, 제시된 제어기의 구성은 연산 및 데이터 처리와 PWM 패턴 합성을 8 비트 원칩 마이크로프로세서와 디지털 로직으로 나누어 설계하므로써 제어에 대한 속응성 및 제어성을 개선하였다. 또 변조도 데이터를 9 비트로 출력하도록 프로그램을 적절히 이용하여 데이터 처리능력을 높였다.

디지털 제어기는 회로구성을 i8051과 원칩 EPLD로 구성하였고, 설계된 제어기는 전압형 인버터를 동작시켜 제어성을 고찰하였다. 그리고 전압형 인버터 시스템의 고조파와 전류파형을 평가 분석하였다.

Abstract

This paper presents the digital controller for driving high frequency voltage fed PWM inverter that carrier frequency is over 20kHz.

We analyzed the conventional PWM to select a proper PWM pattern. as the result, obtained PWM pattern of the controller in which asynchronous staircase sinusoidal waveform is used as reference signal, and variable carrier ratio method was used for PWM control.

The PWM controller is designed by fully digital method. Especially, The proposed controller is consisted of 8 bit one-chip microprocessor and digital logic. the former is for arithmetic and data processing, and the latter is

*正會員 : 광운대학교 전자공학과 교수 · 工博

**正會員 : 대우공업전문대학 전자계산기학과 조교수 · 工博

***正會員 : 한국기술교육대학 정보통신과 조교수 · 工博

接受日字 : 1993年 1月 15日

for PWM pattern synthesis. Therefore, The responsibility and controllability is improved. Also, Data processing capability is improved using proper program to output modulation index with 9 bits.

Circuits configuration of digital controller are made up of one chip i8051 and EPLD, and its controllability is tested by operating voltage fed inverter. Harmonics and current waveform is evaluated and analyzed for the voltage fed inverter system.

1. 서 론

전기 에너지는 제어대상에 따라 전력변환하여 사용할 필요가 있으며, 이러한 전력변환 시스템은 출력단 소자와 더불어 발전해 왔다.

초기 전력변환 시스템은 출력단 소자로 SCR (Silicon Controlled Rectifier)를 사용하였으나, 이후 전류(commutation)가 가능한 GTR(Giant Transistor), GTO(Gate Turn Off Thyristor), POWER MOSFET, IGBT(Insulated Gate Bipolar Transistor) 등의 출현과 전자회로 설계기술의 발달로 보다 다양한 제어대상에 적용하여 시스템을 설계할 수 있게 되었다.

이러한 시스템 중에는 유도전동기를 제어대상으로 하는 인버터가 있다. 인버터는 부하조건에 따라 전압형과 전류형으로 구분되지만 현재 초대용량을 제외하고는 전압형 인버터가 주로 이용되고 있다. 전압형 인버터는 비교적 적은 출력단 소자로 3상 전압과 주파수 가변을 실현할 수 있으며, 경우에 따라서는 교류 전동기를 연동하여 제어할 수 있다.

전압형 인버터는 전압과 주파수를 가변하기 위하여 PWM(Pulse Width Modulation) 기법을 이용하며, 실제로 인버터를 구성하기 위해서 출력단과 PWM 제어기의 구성이 필요하다. 이러한 제어기의 구성은 PWM의 변조도, 캐리어 비, 기본파의 파형 형태에 따라 설계 방식이 결정된다.

일반적으로 초기에 트랜지스터를 출력단 소자로 이용하는 전압형 인버터의 PWM 제어기는 아날로그 회로와 디지털 회로로 복잡하게 설계하였다.¹⁾

그 이후에는 마이크로프로세서를 이용하여 제어성을 향상시켰으나, 프로그램 실행시간 지연 때문에 순시제어의 문제가 발생하였다. 이를 보완

하기 위하여 마이크로프로세서 하드웨어를 병렬로 구성하거나, 고속 신호처리용 마이크로컴퓨터를 이용하는 방법이 진행되고 있다.^{2), 3)} 실제로 이렇게 설계된 시스템은 스위칭 주파수를 제한하는 비율 변환기법을 이용하며, 대부분 출력단 스위칭을 5kHz이내에서 PWM 패턴을 제어한다.

그러나 최근에 사용되기 시작한 IGBT 소자는 스위칭 주파수가 20kHz 까지 가능해짐에 따라 제어기의 구성방식 또한 고속 PWM 패턴을 처리할 수 있어야 한다. 캐리어 주파수가 고속일 때 PWM 제어기는 마이크로프로세서와 아날로그 회로로 혼합 구성하여 제어성과 속응성을 개선하는 방법이 있으나, 수동소자의 특성 불균일 때문에 각각의 상 PWM 패턴을 조정해야 하는 단점이 있다.⁴⁾

본 논문은 고속 캐리어 주파수를 20kHz로 하는 디지털 PWM 제어기의 설계에 관한 연구이다. 제어기에 사용될 PWM 패턴을 고려하기 위해서 동기 PWM과 비동기 PWM을 비교 분석하고, 설계될 제어기를 고려하여 PWM 기법 및 제어패턴을 선택했다. 제시된 제어기 구성은 시간 지연 요소와 데이터 처리 능력을 높이기 위해서 기본파 데이터와 변조도 연산은 마이크로프로세서를 이용하여 실현하였고, 속응성을 높이기 위하여 삼각파 캐리어 데이터와 연산된 기준파 데이터를 디지털 로직으로 비교합성하여 PWM 패턴을 출력하도록 설계하였다. 출력단 소자를 IGBT로 사용하여 전압형 인버터를 구성하고 개루프시 인버터 시스템의 제어성을 고찰하였으며, 전압파형의 고조파분석 및 출력단의 전압파형과 전류파형을 관측하였다.

2. 디지털 인버터의 PWM패턴

일반적으로 전압형 인버터는 정현파 PWM, 계단파 PWM, 균등 PWM, 델타 PWM 등의 기법과 최적 PWM 기법이 연구되고 있다.^{5), 6)}

제어방법은 일정 캐리어비 기법, 비율 변환기법, 가변 캐리어비 기법 등으로 구분되고, 저차 고조파 왜율을 고려할 때 가변 캐리어비 기법이 적절하지만 제어기의 구성이 비교적 복잡하다.

PWM 기법과 제어방법이 결정되어 얻어진 PWM 패턴은 캐리어파와 기준파를 일치시켜 PWM 패턴을 제어하는 것을 동기형 PWM이라고 하고, 두 파형이 일치하지 않을 때 비동기형 PWM이라고 한다.

PWM 패턴의 고조파 분석은 동기형인 경우는 PWM 패턴의 기준파와 캐리어파의 교점을 구하고, 이를 푸리에 급수로 전개하면 기본파와 고조파를 구할 수 있다.^{7), 8)}

푸리에 급수의 일반항은

$$f(t) = a_0 + \sum_{n=1}^{\infty} [a_n \cos(n\omega t) + b_n \sin(n\omega t)] \quad (1)$$

$$a_0 = \frac{1}{T} \int_0^T f(t) dt$$

$$a_n = \frac{2}{T} \int_0^T f(t) \cos(n\omega t) dt$$

$$b_n = \frac{2}{T} \int_0^T f(t) \sin(n\omega t) dt$$

로 나타내며, $\pi/2$ 대칭인 2레벨 동기형 PWM 패턴을 전개하면 $a_0=0$, $a_n=0$ 이고, b_n 항만 존재한다.

b_n 을 정리하면

$$b_n(t) = \frac{4}{n\pi} [1 + 2 \sum_{k=1}^{\infty} (-1)^k \cos(n\omega t)] \quad (2)$$

(2)식의 상수항에 절대값을 취하여 정규화하면, 캐리어비가 18 이상일 때 다음과 같이 간략화 된다.

$$b_n(n) = \frac{4}{\pi} \left| \sum_{i=1}^{\infty} K_i \frac{\pi}{P} (1 - N \cdot M)n - \frac{1}{4} \right| \quad (3)$$

(M=변조도)

여기서 N은 임의의 계단과 레벨이고, M은 변조도이다.

(3)식에서 캐리어비가 18 이상일 때 V/F패턴

제어시의 고조파 분석 결과는 기준파 전압에 비례하여 고조파도 같은 크기로 증가하고, 기준파 전압도 변조도 값과 같은 비율로 변화하므로 변조도는 선형성을 유지한다.

기준파와 캐리어파가 동기되지 않는 비동기형 PWM 패턴은 고조파 분석결과와 PWM 패턴의 정(+), 부(-) 전압 불균일에 관하여 고찰하여야 한다. 비동기일 경우 발생하는 PWM 패턴의 전압 불균일은 캐리어 비가 200이상이면 2% 이내이고, 데드타임 시간 지연을 고려하면 무시할 수 있다. 이때 인버터의 기준파 주파수를 60Hz로 하면 출력단 스위칭 주파수는 12kHz이며 제어방법은 가변 캐리어 비 기법을 선택하는 것이 바람직하다.

본 논문에서 인버터의 소자는 IGBT로 하고 캐리어 주파수를 20kHz로 하며, 기준파 주파수를 60Hz로 결정한다.

PWM 패턴은 제어기의 구성을 고려하여 비동기형 PWM으로 하며 PWM 패턴의 제어방법은 가변 캐리어 비로 결정했다.

3. 디지털 제어기

2레벨 PWM 패턴을 출력할 수 있는 제어기의 설계는 PWM 패턴의 제어방법과 출력단의 스위칭 주파수에 따라 구성이 다르다.

제시된 디지털 PWM 제어기는 회로구성을 간단하게 하기 위하여 8 비트 제어용 원칩 마이크로프로세서를 사용하였다. 또한 PWM 패턴 처리시 제어성과 소자의 특성 오차 및 신호처리 시간을 개선하도록 디지털 회로를 고속의 응답을 갖는 EPLD로 집적하여 실제 회로구성을 최소화하였다.

그림 1은 마이크로프로세서 유니트, PWM 파형 합성회로, 반송파 발생회로 등으로 설계된 디지털 제어기의 구성도이다.

마이크로프로세서 유니트는 입력 기준파 주파수와 변조도를 연산 처리한 데이터를 출력한다. 이때 마이크로프로세서의 내부 메모리(RAM)에 상주시키는 기준파형의 데이터는 정현파에 근접한 계단화된 파형으로 결정한다. 기준파형의 데

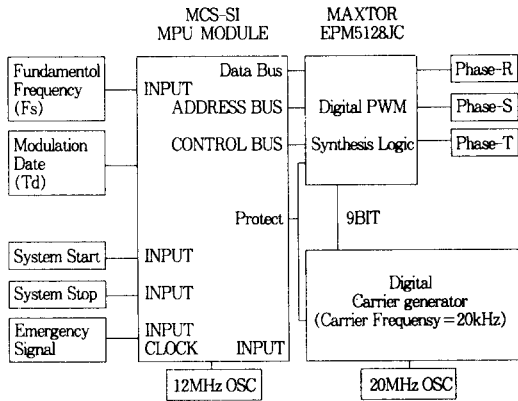


그림 1. 디지털 PWM 제어기의 구성도

Fig. 1. Configuration of digital PWM controller

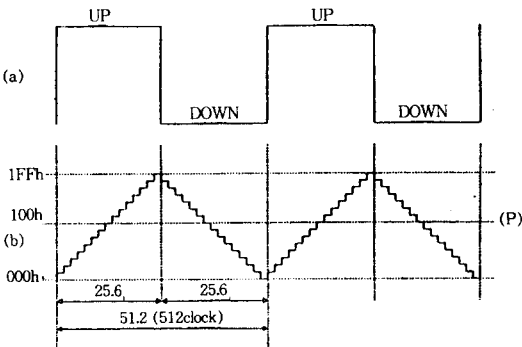


그림 2. 캐리어 데이터 발생 파형

- (a) 업다운 카운터의 모드 전환
- (b) 업다운 카운터의 출력 파형(9비트)

Fig. 2. Carrier data generation waveform

- (a) Mode change of up down counter
- (b) Output waveform of up down counter (9bit)

이 데이터를 처리하기 위한 소프트웨어 순서도는 그림 4에 나타났다. 또한 3상 2레벨 PWM 제어신호를 얻기 위하여 캐리어 발생회로에서 출력된 캐리어 데이터와 기준파 데이터를 PWM 패턴 합성회로를 통하여 논리 비교시켜 출력하였다.

그림 1의 데이터 처리 단위는 8 비트이므로 8 비트 마이크로프로세서의 변조도 데이터 처리 단위를 8 비트에서 9 비트로 확장하여 처리하도록 한다. 이때 프로그램 메모리의 상주 프로그램은 9 비트 변조도 데이터를 간략하게 처리할 수 있도록 부호(Sign)비트를 부가하여 데이터 처리능력을 높였다.

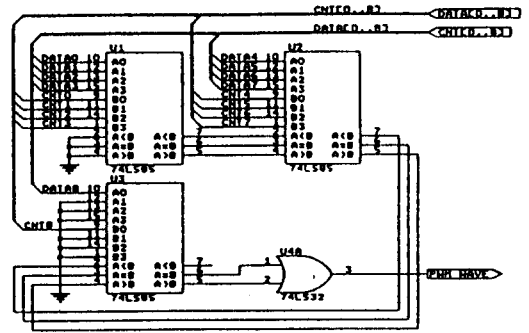


그림 3. 논리 비교기 회로

Fig. 3. Logic comparator circuit

그림 2는 설계된 캐리어 발생회로의 출력파형을 나타낸다. 캐리어 발생회로는 업다운 카운터를 이용하여 구성하고 업다운 모드를 적절히 전환하여 9 비트 삼각파 데이터를 출력한다.

캐리어 주파수에 대한 데이터값은 t_1 부터 t_2 가 지로 정해지고, 2레벨 PWM 제어패턴을 출력하기 위한 기준파 데이터의 변위점을 그림 2에서와 같이 캐리어 데이터의 1/2인 P점에서 결정한다. 이때 변조된 데이터는 9 비트이므로 반송파 주파수 데이터를 부호(Sign)비트 1 비트를 추가된 9 비트로 하였다. 카운터 클럭 주파수가 F_c 라면 반송파 주파수 F_c 는 다음과 같이 표현된다.

$$F_c = \frac{F_i}{[2 \times 2^9]} \quad (4)$$

그림 3은 논리 비교회로 구성으로 9 비트 디지털 논리 비교기를 TTL 로직으로 설계한 것이다. 동작은 캐리어 데이터와 기준파 데이터를 비교하여 기준파 데이터가 같거나 크면 출력이 1로 되도록 구성했다.

3상 PWM 패턴을 출력하기 위해서 각 상(Phase)에 해당하는 그림 3의 회로구성과 9 비트 업다운 모드가 전환되는 캐리어 발생회로가 필요하다. 실제로 TTL 로직으로 하드웨어를 구성하기 번거로우므로 EPLD를 이용하여 회로를 간략화했다.(MAXTOR EPM 5128J=MAX 55ns)

그림 4는 디지털 제어기의 마이크로프로세서 처리를 위한 프로그램 순서도이다. 최초 전원이 유입되어 마이크로프로세서가 기동한 후에 시스템의 안전을 위하여 입출력 포트를 초기화한다.

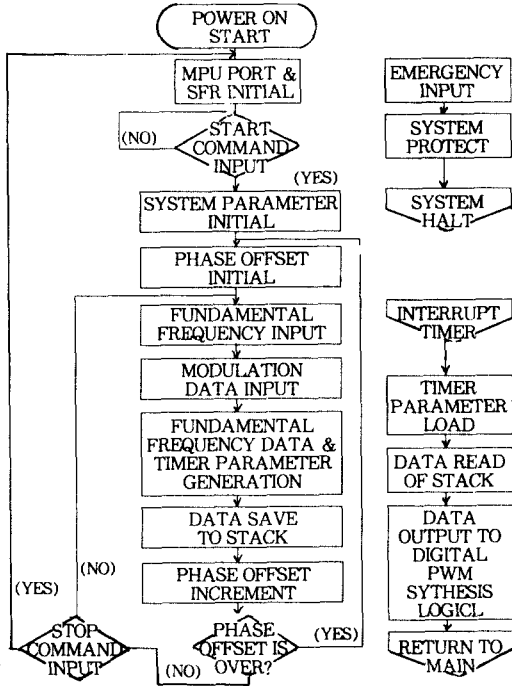


그림 4. 프로그램 순서도
Fig. 4. Software flowchart

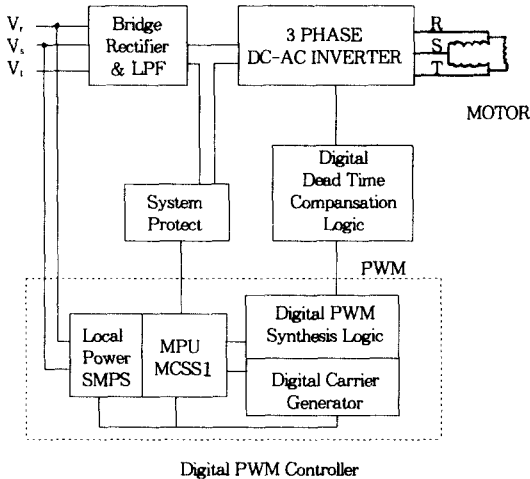


그림 5. 실험 시스템의 구성
Fig. 5. Block diagram of Experimental system.

MPU SFR(Special Function Register) 파라미터를 세팅하고 기동 명령을 받은 MPU는 미리 설정된 기준파 주파수 수치와 변조도 수치를 입력한 후

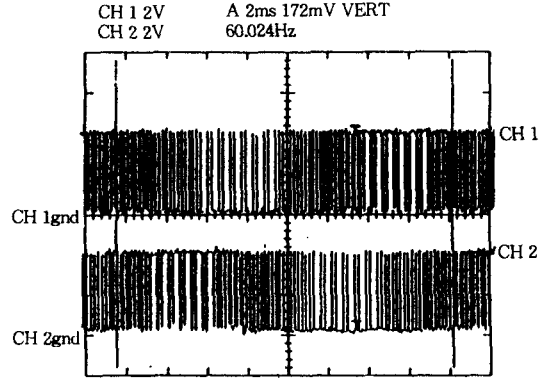


그림 6. 제어기의 PWM패턴
Fig. 6. PWM pattern of controller
(R, S phase at fundamental frequency=60Hz, M=1)

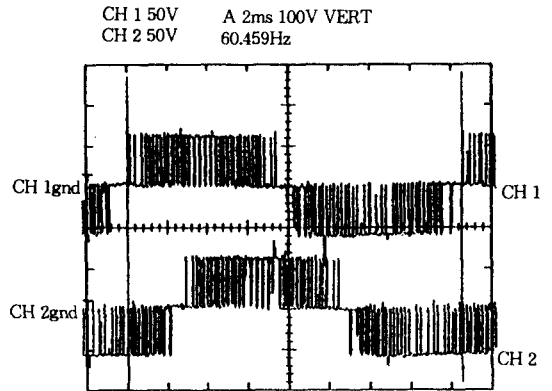


그림 7. 출력단 선간 전압 파형(R-S, R-T 상, M=1)
Fig. 7. Line to line voltage waveform of output stage(R-S and R-T phase at M=1)

기준파 주파수의 샘플링 데이터, 타이머 파라미터를 연산, 생성한다. 생성된 샘플링 데이터를 스택에 저장하여 타이머 인터럽트에서 읽어갈 수 있도록 준비한다. 그리고 위상 샘플링 포인트 옵셋(offset)을 증가시키고 1 주기 단위로 옵셋값을 초기화 한다. 타이머 인터럽트가 발생되면 스택에 저장된 데이터를 읽어서 디지털 PWM 합성 회로로 출력한다. 상기 순서는 정지 명령을 받을 때까지 지속되며 정지명령을 받은 후에는 시스템을 초기화 시키고 다시 기동명령을 기다리게 된다.

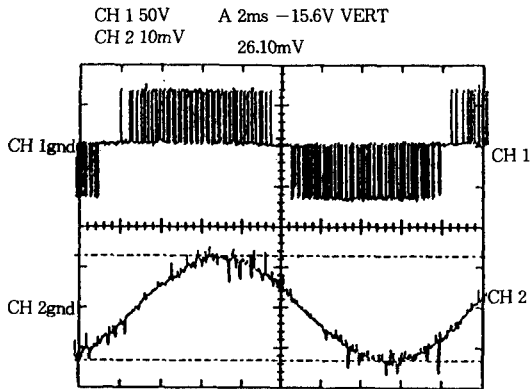


그림 8. 출력단 전압과 전류파형 (무부하시, $M=1$)
 Fig. 8. Voltage and current waveform of output stage (at no load, $M=1$)

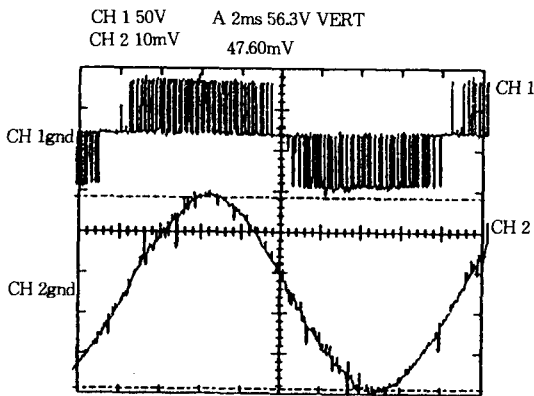


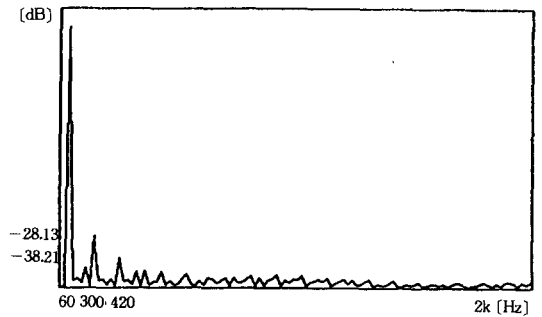
그림 9. 출력단 전압과 전류파형 (부하전류 2A, $M=1$)
 Fig. 9. Voltage and current waveform of output stage (at load current 2A, $M=1$)

4. 실험

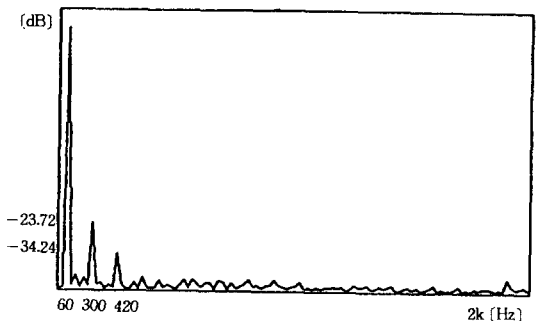
본 논문에서 제시된 디지털 제어기와 출력단을 구성하여 전압형 인버터를 인버터를 설계하고 실험하였다.

그림 5는 전체적인 실험을 위한 시스템 구성도이다. 그림 5에서 나타난 디지털 제어기는 입력 기준파형을 계단 레벨이 24인 계단화된 정현파형으로 출력하고, 그림 2의 구성은 EPLD를 사용하여 회로구성을 집적화하였고, 마이크로프로세서는 i8051을 사용하였다.

마이크로프로세서의 프로그램은 그림 4의 순



(a)



(b)

그림 10. 고조파 스펙트럼

(a) 변조도=1, 기준파 주파수=60Hz (무부하시)

(b) 변조도=1.25, 기준파 주파수=60Hz (무부하시)

Fig. 10. Harmonic spectrum

(a) $M=1$, fundamental frequency=60Hz (at no load)

(b) $M=1.25$, fundamental frequency=60Hz (at no load)

서도에 따라 실현하여 2 레벨 PWM 패턴을 출력하였다. 드라이브단 구성은 IR2110을 사용하여 턴온과 턴오프 시간을 각각 $0.1\mu\text{sec}$, $0.4\mu\text{sec}$ 이내로 하였고, 데드타임을 $4.0\mu\text{sec}$ 로 설정하였다.

인버터의 출력단 구성은 IGBT(IRGBC30U)를 이용하여 구성하였고, 보호회로는 DC전원이 340V이상이면 보호회로를 동작시키고, 과전류 보호는 부하전류가 10A이상에서 동작하도록 하였다.

PWM 제어기의 동작은 마이크로프로세서 유닛은 모든 기준파 데이터와 가변 변조도 데이터에 대하여 데이터 $180\mu\text{sec}$ 이내로 프로그램을 처리할 수 있도록 하였으며, 각 상의 데이터에 대하여 적절한 2 레벨 PWM 패턴을 출력하도록 하였다. 그림 6은 기준파 주파수가 60Hz이고 변조도(M)가 1 일때, 계단화된 정현파 데이터와

삼각캐리어파 데이터를 비교한 R과 S상의 PWM 패턴이다.

200V, 1/2 마력의 유도 전동기를 제어대상으로 사용하였을 경우의 전압파형과 전류파형을 관측하였다. 그림 7은 $M=1$ 일 때 인버터의 R-S, R-T상의 전압파형이고, 그림 8과 그림 9는 각각 무부하시와 전부하시의 3레벨 PWM 파형과 전류파형이다. 이때 관측된 전류파형은 정현파와 매우 유사함을 알 수 있다.

그림 10(a)는 출력단의 비동기 PWM 전압패턴을 고조파 분석한 것으로 $M=1$ 에서 맥동 토크를 일으키는 5차 고조파(-28dB)와 7차 고조파(-38dB)가 적게 나타남을 알 수 있으며, 그림 10(b)에서 과변조($M=1.25$)일 때도 비교적 양호한 고조파 특성을 나타내었다.

5. 결 론

본 논문은 전압형 인버터를 위한 디지털 PWM 제어기를 제시하였다. 제시된 제어기는 저가저화, 소형화를 위하여 8 비트 원칩 마이크로프로세서를 이용하고, 변조도 데이터의 분해능을 향상시키기 위하여 8 비트 데이터에 부호 비트를 추가한 9 비트 데이터로 하였으며, 데이터 처리 시간을 최소화하여 마이크로프로세서를 효율적으로 사용하였다. 특히, PWM의 합성은 디지털 회로로 설계하고, EPLD로 집적화하여 회로구성을 극소화 하였다.

본 논문에서 제시된 디지털 제어기의 제어특성을 고찰하기 위하여 전체 시스템을 구성하고, 구성한 시스템의 출력인 선간전압과 전류파형을 관측하였다. 이때 사용된 비동기형 24레벨의 계단화된 정현파 PWM의 부하 전류파형을 관측하였

다. 이때 사용된 비동기형 24 레벨의 계단화된 정현파 PWM의 부하 전류파형은 정현파와 매우 근사했으며, 고조파 분석 결과도 양호한 특성을 얻을 수 있었다.

본 연구에서 제시된 시스템은 실용화를 위하여 입력기준과 데이터 및 변조도 데이터를 적절히 처리할 수 있는 인터페이스 회로와 프로그램이 추가되어야 하고, IGBT 소자의 최적 데드타임에 관한 연구가 진행되어야 할 것이다.

참 고 문 헌

- 1) D. A. G. Pedder, A. M. Issawi and H. R. Bolton, "A Solid state, Variable Frequency 3-Phase Power Source With Individual Harmonic Control", IEEE Trans. Ind. Appl., Vol. IEIC-24, No. 1, pp. 100~107, 1977.
- 2) 이성백, 구용희, 이종규, 한완옥, "다중 프로세서 방식을 사용한 PWM 제어에 관한 연구", 전기 공학회, 1987.
- 3) R. J. Chance and J. A. Taufiq, "A TMS32010 Based Near Optimized Pulse Width Modulated Waveform Generator", IEEE, pp. 903~908, 1988.
- 4) 이종규, "PWM 패턴 선택제어에 의한 전압형 인버터 설계", 공학박사학위 논문 pp. 26~28, 1991.
- 5) Phoivos D. Ziogas, "The Delta Modulation Technique a in Static PWM Inverter", IEEE Trans, Ind. Appl, Vol. IA-17, No. 2, pp. 199~204, 1981.
- 6) John C, Salmon, "Selecting Stepped Reference Waveforms For PWM Inverter Drives to Minimize the Current Distortion", IEEE, pp. 703~710, 1990.
- 7) Hasnukh S. Patel and Richard G. Hoft, "Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters", IEEE Trans. Ind. Appl., Vol. IA-9, No. 3, pp. 209~216, 1973.
- 8) N. R. Klaes, C. M. Ong, "Implementation and Study of a Digital Staircase Pulse Width Modulator", IEEE, pp. 128~135, 1987.