

## 비휘발성 MNOS기억소자의 전하주입특성

# The Charge Injection Characteristics of Nonvolatile MNOS Memory Devices

이형옥\*, 서광열\*\*  
(Hyung-Ok Lee, Kwang-Yell Seo)

### 요 약

MNOS 구조에서 23Å의 얇은 산화막을 성장한 후, LPCVD방법으로 Si<sub>3</sub>N<sub>4</sub> 막을 각각 530Å, 1000Å 두께로 달리 증착했을때 비휘발성 기억동작에 미치는 전하주입 및 기억유지 특성을 자동  $\Delta V_{FB}$  측정 시스템을 제작하여 측정하였다. 전하주입 측정은 펄스전압 인가전의 초기 플랫폼 전압  $0V \pm 10mV$ , 펄스폭 100ms 이내로 설정하고 단일 펄스전압을 인가하였다. 기억유지특성은 기억트랩에 전하를 포획시킨 직후  $V_{FB}$ 유지와 0V로 유지한 상태에서 10<sup>4</sup>sec까지 측정하였다. 본 논문에서 유도된 산화막 전계에 대한 터널확률을 적용한 전하주입 이론식은 실험결과와 잘 일치하였으며, 본 해석방법으로 직접기억트랩밀도와 이탈진동수를 동시에 평가할 수 있었다. 기억트랩의 포획전하는 실리콘쪽으로의 역 터널링(back tunneling)으로 인한 조기감쇠(short term decay)가 컸으며,  $V_{FB}$ 유지인 상태가 초기 감쇠율(initial decay rate)이 0V로 유지한 경우 보다 낮았다. 그리고 기억유지특성은 Si<sub>3</sub>N<sub>4</sub>막의 두께 보다 기억트랩밀도의 의존성이 크며, Si<sub>3</sub>N<sub>4</sub> 막두께의 축소로 기록전압을 저전압화시킬 수 있음을 알 수 있었다.

### Abstract

This paper is measured charge injection and retention characteristics affecting to nonvolatile memory mechanisms by fabricating automatic  $\Delta V_{FB}$  measurement system and MNOS structures which are deposited differently silicon nitride(Si<sub>3</sub>N<sub>4</sub>) of 530Å and 1000Å each by LPCVD method after growing very thin oxide of 23Å and, for charge injection measurement, applied single pulse amplitude at initial flatband voltage  $0 \pm 10mV$  and within pulse width 100ms and, for charge retention characteristics, measured at after trapping charge to memory trap at  $V_{FB}$  bias and 0V to 10<sup>4</sup>sec.

It is concluded that driven charge injection equation using tunnel probability on oxide field is good agreement with experimental value and able to evaluate directly memory trap density and attempt to escape frequency at the same time and also shown, for trapped charge in the memory trap short term decay large due to back tunneling to silicon, initial decay rate of trapped charge is appeared lower at  $V_{FB}$  bias than 0V and charge retention characteristics are dominantly dependent on memory trap density than silicon nitride thickness and can lower write-in voltage by reduction of silicon nitride thickness.

\* : 오산전문대학 전자과

\*\* : 광운대학교 전자재료공학과

接受日字:1992年 11月 30日

1. 서 론

최근 컴퓨터의 보급과 더불어 널리 이용되고 있는 반도체 기억소자는 고속화, 대용량화 및 저전압화등의 많은 이점을 갖고 있으나, 기억동작이 회로적인 방식이므로 전원 전압이 일시적으로 차단되는 경우에 기록된 정보가 소실되는 휘발성 기억소자 (volatile memory device)이다. 이러한 반도체 기억소자의 유일한 결점을 해결하기 위한 비휘발성 반도체 기억소자로서 터널주입형 (tunnel injection type)의 MNOS(Metal Nitride Oxide Semiconductor) 구조와 에벌렌치주입형 (avalanche injection type)의 FAMOS(Floating-gate Avalanche injection MOS) 구조등이 제안되어 일부 실용화 되고있다. MNOS기억소자는 FAMOS소자에 비하여 전기적으로 기록, 소거 및 1소자 1bit의 기억소자 구성이 가능하며, 또한 산화막 결함에 대한 영향도 비교적 작기 때문에 비휘발성 기억소자로서의 응용이 기대되어 관심이 집중되고 있다.<sup>1,2)</sup> MNOS소자는 2층 절연막으로 되어있는 4층구조로 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>) 증착시 반응가스의 유량비, 증착온도 및 조성비(N/Si)에 따라 기억특성이 크게 변하며, 10<sup>6</sup>회 이상의 재 기록(rewrite)시에 발생하는 기억유지특성(charge retention)의 열화가 소자의 신뢰성을 저하시킨다.<sup>3)</sup> 그러므로 소자의 구조, Si<sub>3</sub>N<sub>4</sub>막의 증착조건과 회로 구성등의 개선책이 시도되어 MONOS (Metal Oxide Nitride Oxide Semiconductor) 구조와 3층 Si<sub>3</sub>N<sub>4</sub>막의 MNOS구조가 제안되고 있다.<sup>2,4)</sup> 그러나 MONOS구조는 Si<sub>3</sub>N<sub>4</sub>막을 다시 고온 열산화 시켜야 하는 공정이 추가로 필요하며, 3층 Si<sub>3</sub>N<sub>4</sub>막의 MNOS구조에서는 유량비(0.5~1000)를 극단적으로 크게 변화시켜야 하는 단점이 있다. 지금까지 MNOS소자 제작시 구조상의 산화막과 Si<sub>3</sub>N<sub>4</sub> 막의 두께와 증착시의 증착온도, 유량비를 동시에 변화시켰을 경우 기억소자에의 응용에 대해 주로 연구되었다. 그러나 산화막의 두께와 Si<sub>3</sub>N<sub>4</sub>막의 증착온도, 유량비를 일정하게 유지하고 Si<sub>3</sub>N<sub>4</sub>막의 두께만을 변화시켰을 경우의 비휘발성 기억특성에 미치는 영향에 대해서는 보고된 바 없다.

본 논문에서는 단위 기억셀의 축소 (scaling down)를 위해 Si<sub>3</sub>N<sub>4</sub>막의 두께를 달리한 MNOS 소자를 제작하여, 전하의 산화막 터널확률을 도입한 플랫폼전압변화 (flatband voltage shift: ΔV<sub>FB</sub>)의 이론식을 유도하여 전하주입 특성의 정량적인 해석방법을 제시하였다. 그리고 자체 제작한 자동 ΔV<sub>FB</sub> 측정 시스템을 이용하여 포획전하의 유지조건 (V<sub>c</sub>=V<sub>FB</sub>, V<sub>g</sub>=0V)에 따른 기억유지특성을 비교, 고찰하였다.

2. 전자주입이론

기억기능과 밀접한 관계를 갖고 있는 전하 포획중심의 분포(charge centroid)는 여러가지 모델<sup>5,6)</sup>이 제안되고 있지만 확실한 에너지적, 공간적인 분포이론은 정립되지 못하고 있다. 전자주입 이론식을 유도하기위해 전자에 대한 포획준위가 등가적으로 SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>계면에 에너지적으로 균일하게 분포<sup>7)</sup>하며, 전자의 주입은 실리콘 전도대로 부터 산화막을 직접 터널링(direct tunneling)하여 기억트랩(memory trap)에 포획된다고 가정한다. 그리고 산화막 두께가 얇기때문에 Si<sub>3</sub>N<sub>4</sub>막 전류(J<sub>N</sub>)는 산화막 전류(J<sub>Ox</sub>)에 비하여 매우 작으므로 무시한다. 이때 그림 1과 같이 양(+)의 게이트 전압(V<sub>g</sub>)을 인가하였을 경우 산화막전류 J<sub>Ox</sub>는 다음과 같이 나타낼 수 있다.

$$J_{Ox} = - \frac{dQ_N(t)}{dt} = qN_T \frac{df_{Te}(t)}{dt} = qN_T \{1 - f_{Te}(t)\} N_{C(E)} f_{s_e} \delta_T V_{th} P_{Ox} \quad (1)$$

여기서, Q<sub>N</sub> : 기억트랩의 전하, N<sub>T</sub> : 기억트랩밀도, δ<sub>T</sub> : 포획단면적, V<sub>th</sub> : 전자의 열속도, N<sub>C</sub> : 실리콘 전도대의 유효상태밀도, f<sub>s<sub>e</sub></sub> : 실리콘 전도대의 전자 점유확률, f<sub>Te</sub> : 기억트랩의 전자 점유확률, P<sub>Ox</sub> : 산화막의 터널확률.

전자주입이 일어나는 게이트 전압에서 터널하는 전자의 대부분은 페르미준위 이하이므로 실리콘 전도대의 전자 점유확률 f<sub>s<sub>e</sub></sub>=1로 가정하면 식(1)은 다음과 같이 표현된다.

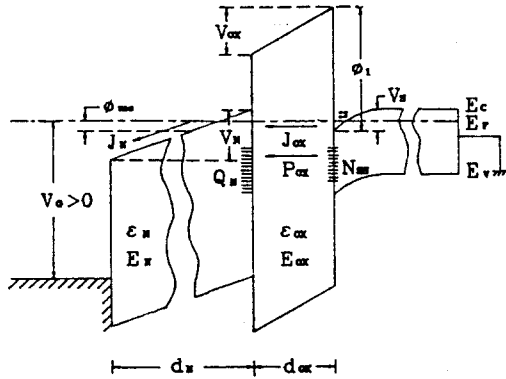
$$J_{Ox} = - qN_T N_{C(E)} V_{th} \delta_T \{1 - f_{Te}(t)\} P_{Ox} \quad (2)$$

실리콘 전도대로 부터 기억트랩으로의 전자의 산화막 터널확률 P<sub>Ox</sub>는 WKB근사<sup>8)</sup>를 적용하여 구하면

$$P_{Ox} = \exp\left[-\frac{4\sqrt{2m_{ox}^*q}}{3\hbar} \frac{d_{ox}}{V_{ox}} \{(\Phi_1 - V_{ox})^{3/2} - \phi_1^{3/2}\}\right] \quad (3)$$

$$= \exp\left[-\frac{4\sqrt{2m_{ox}^*q}}{3\hbar} \frac{d_{ox}}{V_{ox}} \Phi_1^{3/2} \left\{1 - \frac{V_{ox}}{\Phi_1} - 1\right\}\right] \quad (4)$$

이 된다. 여기서, m<sub>ox</sub><sup>\*</sup> : 산화막 내 전자의 유효질량 (=0.42m<sub>0</sub><sup>9)</sup>, ħ : h/2π, d<sub>ox</sub> : 산화막의 두께, V<sub>ox</sub> : 산화막 전위강화, Φ<sub>1</sub> : 산화막의 포텐셜장벽 높이, q : 전자의 전하량 식(4)의 우변항 (1-V<sub>ox</sub>/Φ<sub>1</sub>)<sup>3/2</sup>을 Maclaurin 급수로 전개하여 2차항 까지 취하면 다음과 같이 간략화 된다.



—METAL— — Si<sub>3</sub>N<sub>4</sub> — — SiO<sub>2</sub> — — Si(n) —

그림 1. 양의 게이트 전압 인가시 에너지밴드 다이어그램과 전하주입과정  
Fig. 1 Energy band diagram and charge injection process under positive bias.

$$P_{ox} = \exp\left\{-\frac{2d_{ox}\sqrt{2m_{ox}} \cdot q \Phi_1}{h}\right\} \exp\left\{-\frac{d_{ox}^2}{2h}\right\} \sqrt{\frac{2m_{ox} \cdot q}{\Phi_1}} (-E_{ox}) \quad (5)$$

식(5)를 식(2)에 대입하면

$$\frac{df_{Te(t)}}{dt} = \{1-f_{Te(t)}\} \nu \exp\{\alpha (-E_{ox})\} \quad (6)$$

로 된다.

여기서  $\nu = N_{C(E)} V_{th} \delta_T \exp\{-2d_{ox}\} / \sqrt{2m_{ox}} \cdot q \Phi_1 / h$  (7)

$$\alpha = d_{ox}^2 \sqrt{2m_{ox}} \cdot q \Phi_1 / 2h \quad (8)$$

게이트 전압인가시 반도체 표면전위  $V_s$ 와 금속과 반도체의 일함수 차  $\Phi_{ms}$ 는  $V_g$ 에 비하여 매우 작기 때문에 무시할 수 있다. 이때 산화막 전계  $E_{ox}$ 와 실리콘 질화막 전계  $E_n$ 을 구하면

$$E_{ox} = -\frac{\epsilon_n V_g + d_n Q_n}{d_{ox} \epsilon_n + d_n \epsilon_{ox}} \quad (9)$$

$$E_n = -\frac{\epsilon_{ox} V_g + d_{ox} Q_n}{d_{ox} \epsilon_n + d_n \epsilon_{ox}} \quad (10)$$

로 된다. 여기서,  $d_n$ :실리콘 질화막의 두께  
 $\epsilon_{ox}$ :산화막의 유전율,  $\epsilon_n$ :실리콘 질화막의 유전율.  
그리고 게이트 전압 인가전 초기 플랫폼

전압  $V_{FB0}$ 를 0V로 유지할 경우에는  $Q_n$ 이 무시되며, 이때  $\Delta V_{FB} = -(d_n/\epsilon_n)Q_n$ 이 되므로 식(9), (10)은 다음과 같이 근사적으로 표현할 수 있다.

$$E_{ox} = -\frac{\epsilon_n (V_g - \Delta V_{FB})}{d_{ox} \epsilon_n + d_n \epsilon_{ox}} \quad (11)$$

$$E_n = -\frac{\epsilon_{ox} V_g - (d_{ox} \epsilon_n / d_n) \Delta V_{FB}}{d_{ox} \epsilon_n + d_n \epsilon_{ox}} \quad (12)$$

식(9)를 식(6)에 대입하여 정리하면

$$\frac{df_{Te(t)}}{dt} = \{1-f_{Te(t)}\} \nu \exp\left\{-\frac{V_g}{\beta} - \gamma N_T f_{Te(t)}\right\} \quad (13)$$

이 된다.

여기서,  $\xi = \epsilon_n d_{ox} + \epsilon_{ox} d_n$  (14)  
 $\gamma = \alpha d_n q / \xi$  (15)  
 $\beta = \xi / \alpha \epsilon_n$  (16)

전압인가 개시시  $t=0$ 에서  $f_{Te(t)} = f_{Te(0)}$ , 전압인가 종료시  $t=t_p$ 에서  $f_{Te(t)} = f_{Te(t_p)}$ 가 되므로 식(13)을 적분하면

$$\int_{f_{Te(0)}}^{f_{Te(t_p)}} \frac{\exp\{\gamma N_T (t) f_{Te(t)}\}}{1 - f_{Te(t)}} df_{Te(t)} = \int_0^{t_p} \nu \exp\left\{-\frac{V_g}{\beta}\right\} dt \quad (17)$$

식(17)의 좌변항에서  $f_{Te(t)}$ 는  $0 \leq f_{Te(t)} \leq 1$ 이므로

$$\frac{1}{\{1-f_{Te(t)}\}} \approx \exp\{f_{Te(t)}\} \quad (18)$$

로 놓을 수 있다. 식(18)을 식(17)에 대입하여 풀면

$$\frac{\exp\{\{1+\gamma N_T\} f_{Te(t_p)}\} - \exp\{\{1+\gamma N_T\} f_{Te(0)}\}}{1 + \gamma N_T} = \nu t_p \exp(V_g/\beta) \quad (19)$$

로 되며,  $Q_{n(t)} = -q N_T f_{Te(t)}$ 의 관계식을 이용하여 식(19)에서 플랫폼전압  $V_{FB}$ 를 구하면

$$V_{FB} = -(Q_{n(t)}/C_n) - (Q_{SS}/C_1) + \Phi_{ms} = \{q N_T / (1+\gamma N_T) C_n\} \ln\{1+\gamma N_T\} \nu t_p \exp(V_g/\beta) + \exp\{1+\gamma N_T\} f_{Te(0)} - Q_{SS}/C_1 + \Phi_{ms} \quad (20)$$

이 된다. 여기서,  
 $C_n$  : 실리콘 질화막 용량,  
 $C_1$  : 절연막 합성용량,

$Q_{SSf}$ :플랫밴드상태에서의 Si-SiO<sub>2</sub> 계면 전하.

$t=0$ 에서  $V_{FB}=V_{FB}$  라 하면  

$$V_{FB\phi} = (qN_T f_{T_e(0)}/C_N) - (Q_{SSf}/C_1) + \Phi_{ms}$$
 (21)

로 된다. 따라서 인가 펄스전압 ( $V_p$ ) 과 펄스폭 ( $t_p$ ) 에 대한 플랫밴드전압의 변화량 ( $\Delta V_{FB}$ ) 은 다음과 같이 계산할 수 있다.

$$\Delta V_{FB} = \frac{qN_T}{\beta + \exp(1+\gamma N_T) f_{T_e(0)}} \ln \{ (1+\gamma N_T) \nu t_p \exp(V_p/\beta) + \exp(1+\gamma N_T) f_{T_e(0)} \} - \frac{qN_T f_{T_e(0)}/C_N}{\beta + \exp(1+\gamma N_T) f_{T_e(0)}} \quad (22)$$

### 3. 실험방법

#### 3-1. 소자의 제작

본 실험에서는 결정방향(100), 비저항 5-8 Ω·cm인 N형 실리콘 웨이퍼를 사용하였다. 전하 터널용 산화막은 건식 산화법으로 800°C에서 3.83 Å/m<sup>2</sup>의 비율로 성장시켰다. 산화막의 두께와 굴절율은 자동 엘립소미터(Gaertner scientific Co., L116B)를 사용하여 측정하였다. 두께는 한 웨이퍼의 3점에서 22 Å, 23 Å, 23 Å 이었으며, 굴절율은 1.46이었다. 그 위에 LPCVD 방법을 이용하여 793°C에서 암모니아(NH<sub>3</sub>):디클로로사이렌(SiH<sub>2</sub>Cl<sub>2</sub>)의 반응가스 유량비 4:1:1로서 27-30 Å/min의 증착율로 Si<sub>3</sub>N<sub>4</sub>막을 530 Å (#53 소자), 1000 Å (#10 소자)의 두께로 각각 증착하였다. 그리고 게이트 전극은 스파터링방식으로 직경 1mm의 원형 알루미늄(1%Si, 0.5%Cu)으로 형성시킨 후, DIP형 패키지에 세라믹으로 밀봉하였다. MNOS소자의 구조와 제작과정은 그림 2와 같다.

#### 3-2. 측정

MNOS 소자는 산화막 두께가 매우 얇기 때문에 기존의 C-V 측정법을 이용하여 인가전압에 의한  $\Delta V_{FB}$ 를 측정하는 경우 소인전압의 크기와 속도에 의해 전하의 주입, 방출 또는 절연막내에서 캐리어의 이동으로 플랫밴드전압( $V_{FB}$ )이 변화하게 되어 오차의 범위가 크며, 측정하는데 많은 시간이 필요하다. 또한 일정한 포획전하의 유지조건에서 측정하는 기억유지 특성도 측정하기 어렵다. 따라서 본 실험에서는 포획 전하량에 해당하는 귀환을 걸어 측정 중에 항상 소자의 용량을 플랫밴드 용량( $C_{FB}$ )에 유지할 수 있도록 게이트 전압을 제어하여  $\Delta V_{FB}$ 를 측정할 수 있으며, 포획전하의 시간 경과에 따른 감쇠특성도 용이하게 측정할 수 있는 자체 제작한 자동  $\Delta V_{FB}$  측정 시스템을 이용하였다.

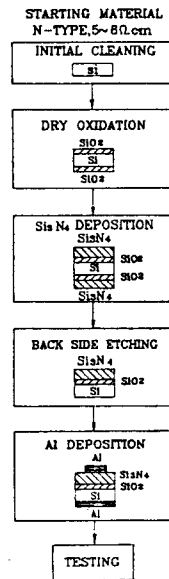


그림 2 MNOS소자의 구조 및 제작과정  
 Fig. 2 Process sequence and cross section of MNOS fabrication.

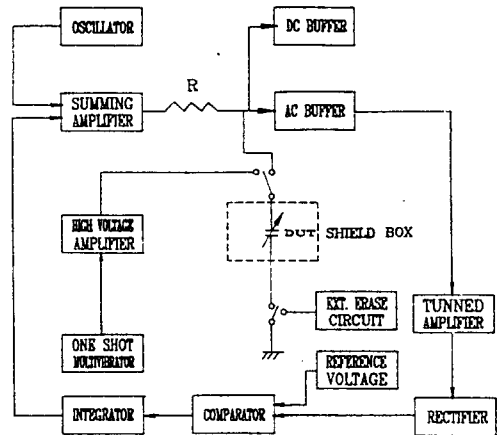


그림 3 자동  $\Delta V_{FB}$  측정 시스템의 블럭선도  
 Fig. 3 Block diagram of automatic  $\Delta V_{FB}$  measurement system.

그림 3은 제작한 측정 시스템을 개략적으로 나타낸 것으로, 회로구성은 MNOS소자의 용량변화를 소자에 걸리는 교류전압의 변화로서 검출하기 위한  $V_{FB}$  검출회로와 소자에 인가하는 펄스폭과 펄스전압을 설정하여, 펄스전압 인가시에 측정회로와 자동적으로 스위칭할 수 있는 리드 릴레이(reed relay)을 내장한 단일 펄스발생회로로 구성하였다. 이렇게 구성된 측정 시스템에서 측정값의 정확도는 측정용량 50~500PF의 범위에서 ±2% 이내였다. 전하주

입 및 기억유지특성 측정시 측정시스템의 귀환(feed back)스위치를 off시킨 상태에서 측정단자에  $C_{FB}$ 에 설정된 표준 용량을 접속하고, AC버퍼(buffer)의 교류 출력전압을  $20mV_{r.m.s.}$ , DC버퍼의 출력전압은 0V가 되도록 각각 조정 한 후, 표준 용량을 제거하고 측정단자에 DUT(device under testing)를 접속시킨다. 펄스전압 인가전 초기 플랫폼전압  $V_{FB0}$ 를  $0V \pm 10mV$  이내로 조정 한 후, 트리거 스위치로 설정된 펄스전압을 인가하여  $\Delta V_{FB}$ 를 측정한다. 그리고 인가 펄스전압에 대한  $V_{FB}$ 의 시간경과에 따른 감쇠특성은 게이트에 항상  $V_{FB}$ 가 인가된 상태에서 측정하는  $V_{FB}$ 유지와 게이트와 실리 콘기판을 동전위(접지)상태에서 측정하는 0V 유지인 2가지 상태에서 각각  $10^4$ sec까지 측정 하였다.

4. 결과 및 고찰

4-1. 전자주입특성

제 2절에서 정의한 식 (7), (15), (16)의 각 파라미터를 펄스전압과 펄스폭에 대한  $\Delta V_{FB}$  특성곡선의 실험치로 부터 계산하여 식 (20)에 대입하여 얻어진 이론치와 실험치를 비교하여 그림 4, 5에 나타내었다. 그리고 본 계산에 사용된 프로그램의 흐름도는 그림 6과 같다.

그림 4에서와 같이 이론치와 실험치는 인가 펄스전압이 낮고 펄스폭 10ms 이하에서 잘 일치하였으나, 높은 펄스전압과 펄스폭이 긴 영역에서는 실험치와의 차이가 미소하게 증가함을 볼 수 있다. 이것은  $\Delta V_{FB}$ 의 이론식을 도입할때 설정한 가정에서와 같이  $Si_3N_4$ 막 전류  $J_N$ 은 산화막 전류  $J_{ox}$ 에 비하여 매우 작으므로 고려하지 않았기 때문이며, 실험곡선에서 #10 소자인 경우 인가 펄스 전압 50V에서 포화하다 감소하는 것은 높은 펄스전압으로  $Si_3N_4$ 막의 전기전도도가 증가하기 때문이다. 그리고 그림 5의 펄스폭에 대한  $\Delta V_{FB}$ 특성에서 펄스폭이 짧은 영역에서 이론치와 실험치가 다소 일치하지 않는 것은 얇은 산화막부분에서 국부 전계의 불균일로 인한 터널전류로  $V_{FB}$ 의 변화가 일어나기 때문으로 해석된다.<sup>10)</sup>

표 1은 실험치에 의해 계산된 파라미터의 값으로 전자에 대한 포획준위밀도( $N_T$ )는  $Si_3N_4$ 막 두께가 얇은 #53 소자쪽이 두꺼운 #10 소자 보다 약  $0.18 \times 10^{16}m^{-2}$  컷으며, 이는 빛 조사에 의한  $Si_3N_4$ 막내의 전하량의 변화율로 구한 Kapoor 등<sup>11)</sup>의 계산방법과 같은 order의 값이었다. 그리고 식 (7)에서 정의한 이탈진동수(attempt to escape frequency:  $\nu$ )는 표 1에서 볼 수 있듯이 #53, #10 소자에서 각

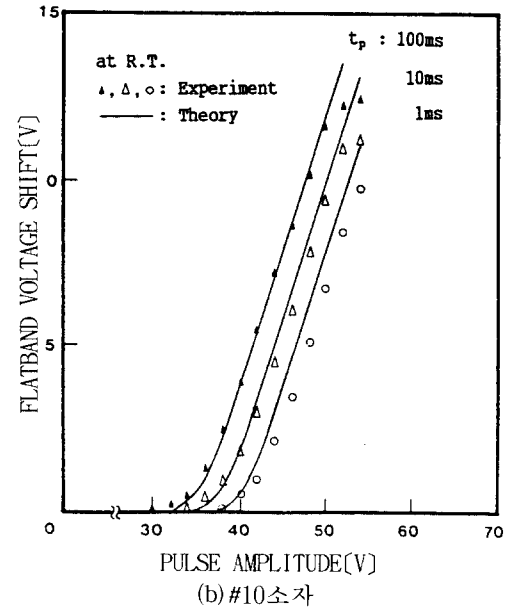
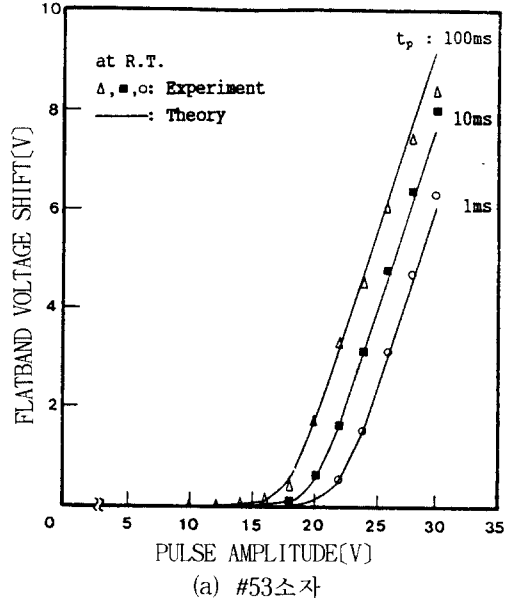


그림 4  $V_p$ 에 대한  $\Delta V_{FB}$ 특성의 이론치와 실험치의 비교(#53, #10소자)

Fig. 4 Characteristics of the  $V_p$  versus  $\Delta V_{FB}$  comparison between experimental and theoretical values. (#53, #10 device)

각  $9.58 \times 10^{-9}sec^{-1}$ ,  $1.61 \times 10^{-14}sec^{-1}$  이었다. 따라서 인가 펄스전압에 대한  $\Delta V_{FB}$  특성에서  $Si_3N_4$ 막 전류를 무시할 수 있는 경우  $Si_3N_4$ 막 두께에 관계없이 본 해석방법으로 기억트랩밀도와 이탈진동수를 결정할 수 있음을 알 수 있었다.

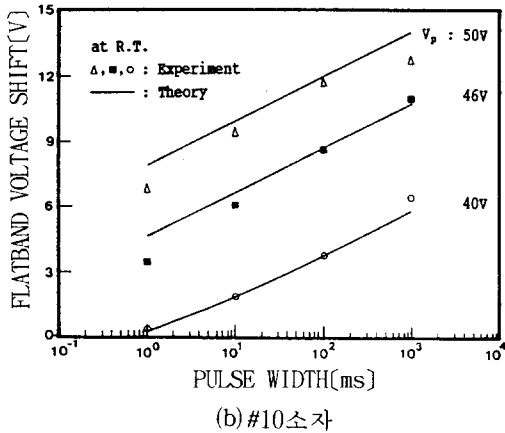
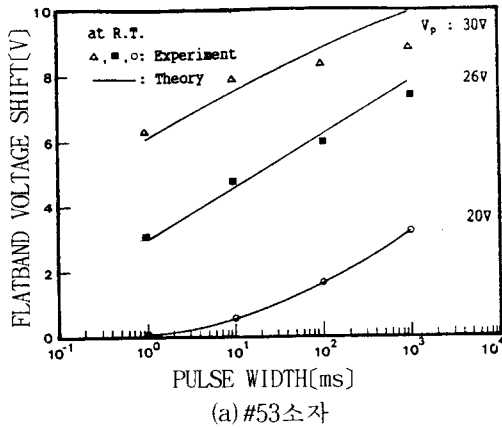


그림 5  $t_p$ 에 대한  $\Delta V_{FB}$ 특성의 이론치와 실험치의 비교 (#53, #10소자)

Fig. 5 Characteristics of the  $t_p$  versus  $\Delta V_{FB}$  comparison between experimental and theoretical values, (#53, #10 device)

그림 7은 제 2절에서 유도된 터널확률 식(5)에 소자의 정수를 대입하여 산화막두께  $d_{ox}$ 를 파라미터로 하여 계산된 전자의 산화막 전계에 대한 터널확률  $P_{ox}$ 를 나타낸 것이다. 그림에서와 같이 터널확률은 산화막 전계가 커짐에 따라 직선적으로 증가하며, 높은 산화막 전계에서 보다 낮은 산화막 전계에서 산화막의 두께 의존성이 크게 나타났다. 이것은 산화막 두께가 두꺼울수록 터널장벽의 폭이 커지기 때문에 실리콘쪽에서의 역터널링(back tunneling)으로 인한 포획전자의 감쇠율이 낮아지게 되어 기억유지특성에는 유용하지만, 높은 기록 및 소거전압이 필요함을 의미한다.

그림 8은 펄스전압 인가전  $SiO_2-Si_3N_4$ 계면의 기억트랩에 포획된 초기 전하량에 대한 전자주입특성을 조사하기 위해 초기 플랫폼전

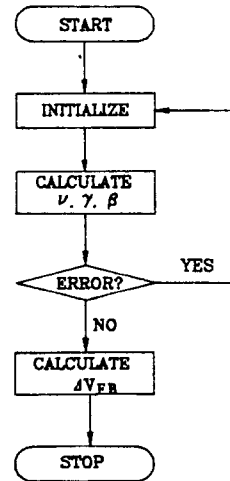


그림 6  $\Delta V_{FB}$ 특성 해석을 위한 흐름도  
Fig. 6 Flow chart for the analysis of  $\Delta V_{FB}$  characteristics.

표 1 실험치로 계산된 파라미터  
Table 1 Parameters calculated by the experimental values.

parameter	#53( $d_n=530 \text{ \AA}$ )	#10( $d_n=1000 \text{ \AA}$ )
$N_T (\times 10^{16} \text{ cm}^{-2})$	2.01	1.82
$v (\text{sec})^{-1}$	$9.58 \times 10^{-9}$	$1.61 \times 10^{-14}$
$\beta (\text{V})$	$9.12 \times 10^{-1}$	1.08
$\gamma \text{ M T}$	3.16	4.37
$\gamma (\times 10^{-10} \text{ m}^2)$	1.57	2.79

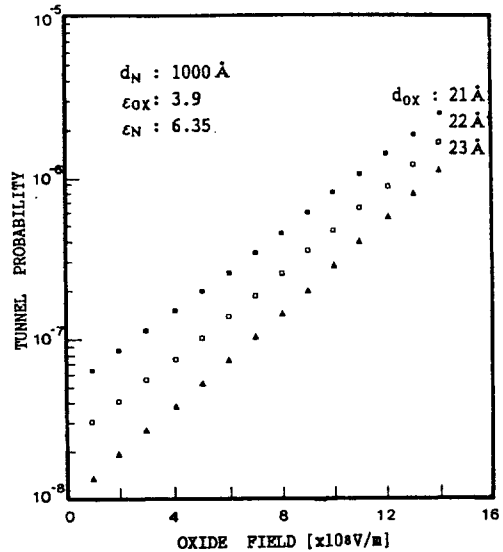


그림 7 산화막 전계에 대한 터널확률  
Fig. 7 Tunnel probability versus oxide field

압  $V_{FB0}$ 를 0V에서 5V까지 1V간격으로 설정하

비휘발성 MNOS기억소자의 전자주입특성

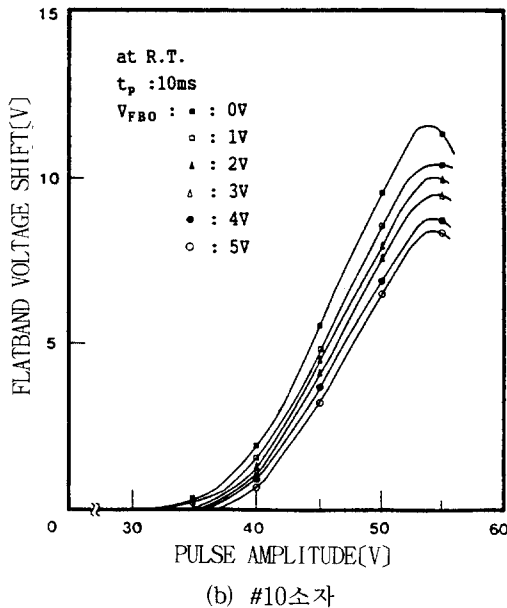
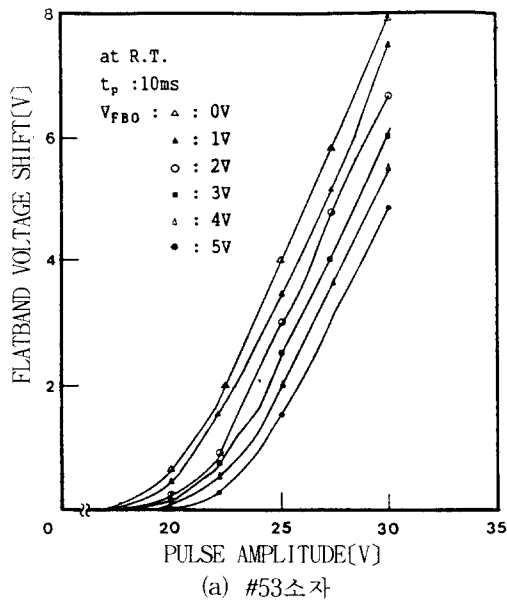


그림 8 초기 플랫밴드전압에 대한 전자 주입특성 (#53, #10소자)

Fig. 8 Characteristics of the electron injection versus initial flatband voltage. (#53, #10 device)

고, 펄스폭 10ms에서 펄스전압 인가에 따른 플랫밴드전압의 변화를 측정하여 나타낸 것이다.  $Si_3N_4$ 막의 두께가 얇은 #53 소자는 측정범위 내에서 인가 펄스전압이 증가함에 따라  $\Delta V_{FB}$ 가 선형적으로 급격하게 증가하며, 펄스전압에 대한  $\Delta V_{FB}$ 의 기울기는 #10소자 보다 크게

나타났다. 한편  $Si_3N_4$ 막이 두꺼운 #10소자에서는 펄스전압 48V까지  $\Delta V_{FB}$ 가 선형적으로 증가하다 포화하는 경향을 볼 수 있으며, 포화하기 시작하는 펄스전압은  $V_{FBO}$ 의 크기에 따르지 않고 50V에서 포화하며  $V_{FBO}$ 가 클수록  $\Delta V_{FB}$ 의 값은 감소하였다. 이와같이 포화현상은 인가 펄스전압과 인가시간에 크게 의존하지만 기억트랩에 축적된 초기 전하량과는 무관하였으며,  $Si_3N_4$ 막의 두께가 얇은 소자쪽이 두꺼운 소자 보다 16V정도 낮은 펄스전압에서 전자가 주입되었다. 그러므로  $Si_3N_4$ 막의 두께를 축소시키므로써 기록전압(write-in voltage)을 저전압화시킬 수 있음을 알 수 있다.

그리고, 표 2는 식 (11), (12)에 의해 계산된 펄스전압 인가시 산화막 전계와 실리콘 질화막 전계를 나타낸 것이다.

표 2 펄스전압 인가에 따른 산화막과 실리콘 질화막 전계

Table 2 Oxide and silicon nitride electric field by applied pulse amplitude.

$V_{FBO}$ (V)	# 53 device		# 10 device	
	$V_p = 30V$ ( $t_p = 10ms$ )		$V_p = 60V$ ( $t_p = 100ms$ )	
	$E_{OX}(\times 10^6$ V/m)	$E_N(\times 10^6$ V/m)	$E_{OX}(\times 10^6$ V/m)	$E_N(\times 10^6$ V/m)
0	3.62	2.85	6.57	4.86
1	3.53	2.85	6.55	4.86
2	3.50	2.85	6.48	4.86
3	3.43	2.85	6.45	4.87
4	3.37	2.85	6.35	4.87
5	3.31	2.85	6.33	4.88

표 2에서 볼 수 있듯이 #53 소자인 경우 산화막 전계가 실리콘 질화막 전계 보다 크며,  $V_{FBO}$ 가 증가하여도 실리콘 질화막 전계는 변화가 없으므로 인가 펄스전압에 따라  $\Delta V_{FB}$ 는 선형적으로 증가함을 보였다. 그러나 #10소자에서는  $V_{FBO}$ 가 클수록 산화막 전계는 미소하게 감소하나 실리콘 질화막 전계는 점차적으로 증가하였다. 그러므로 산화막 전계 보다 실리콘 질화막 전계 의존성이 크기 때문에  $\Delta V_{FB}$ 는 포화하게됨을 알 수 있다.

그림 9는 그림 8(a) #53소자의 펄스전압에 대한  $\Delta V_{FB}$ 를 plot 한 것으로 펄스전압을 일정하게 유지하였을때  $V_{FBO}$ 가 커짐에 따라  $\Delta V_{FB}$ 는 직선적으로 감소하였다. 그리고  $V_{FBO}$ 를 변화시킨 경우 펄스전압에 대한  $\Delta V_{FB}$ 특성은  $\Delta V_{FB}$ 축상을 거의 수직으로 shift함을 알 수 있다.

#### 4-2 기억유지특성

MNOS 기억소자는 외부로부터 전원 전압의 공급 없이 기록된 정보를 장시간 유지할 수 있는 비휘발성 특성을 필요로 한다. 그림 10은

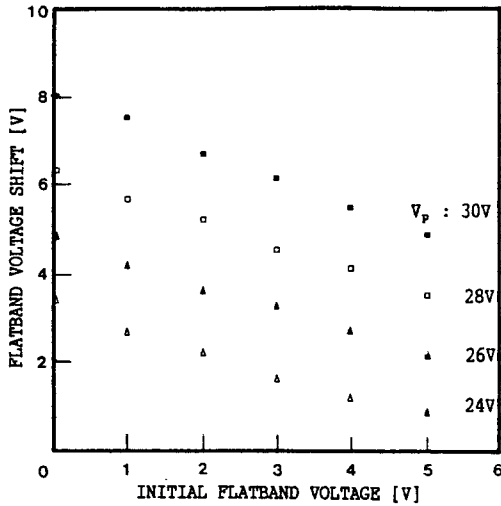


그림 9 펄스전압에 따른 초기 플랫폼전압 변화의 기울기(#53소자)  
 Fig. 9 The slope of  $\Delta V_{FB}$  versus  $V_{FB0}$  with pulse amplitude. (#53 device)

포획전자의 유지조건에 따른 기억유지특성을 관찰하기 위해 펄스폭 10ms에서 펄스전압을 각각 28V(#53소자), 48V(#10소자)를 인가하여 초기 플랫폼전압  $V_{FB}$ 의 시간경과에 따른 변화를  $V_{FB}$ 와 0V 유지인 상태에서 측정된 결과를 비교하여 백분율로 나타낸 것이다. 이때  $10^4$ sec 이후는 직접적인 측정이 어렵기 때문에  $10^3$ sec에서의 감쇠율( $\partial V_{FB}/\partial \log t$ )를 이용하여 외삽하여 나타내었다.

그림에서와 같이 기억유지특성은 시간이 경과함에 따라 대수함수적으로 감소하였으며, 이때 측정 범위내에서 기울기의 변화를 나타내는 블랙 포인트(break point)<sup>12)</sup>는 관측되지 않았다. 그리고 측정치에 의하여 계산된 전자주입 직후의  $10^4$ sec경과했을 때 포획전자의 유지율과 10sec후의 초당 초기 감쇠율(initial decay rate)은 표 3과 같다. 표에서 볼 수 있듯이  $Si_3N_4$ 막의 두께에 관계없이 포획전자의 유지율은  $V_{FB}$ 유지인 경우가 0V로 유지한 상태보다 우수하게 나타났으며, 스테어케이스 차징법(staircase charging technique)으로 측정된  $Lin^{13)}$ 과 매우 근사한 결과를 얻었다. 이는 다음과 같이 설명된다. 즉 Si-SiO<sub>2</sub>계면 상태밀도(interface state density)가 작다고 가정하면, 밴드 구조상  $V_{FB}$ 유지에서는 실리콘과 산화막의 에너지 준위(energy level)가 플랫폼하게 되며 게이트 전압( $V_{FB}$ )은  $Si_3N_4$ 막에 걸리게 된다. 이때 #53소자에 대해 식(11), (12)로부터 인가 펄스전압에 대한 전계를 계산하면 산화막 전계는 0V/m이었으나 실리콘

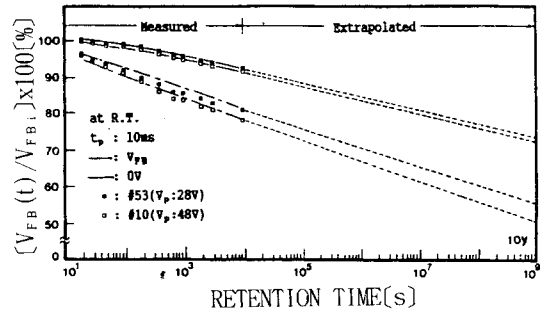


그림 10 포획전자의 유지조건에 따른 기억 유지특성(#53, #10소자)  
 Fig. 10 Retention characteristics at  $V_{FB}$  and zero voltage bias. (#53, #10 device)

표 3 포획전자의 유지율과 초기 감쇠율  
 Table 3 Retention rate and initial decay rate of trapped electron.

Item & retention conditions	# 53 device		# 10 device
	$V_{FB}$	$V_p = 28V (t_p=10ms)$	$V_p = 48V (t_p=10ms)$
Initial flatband voltage(v)	$V_{FB}$	6.04	8.05
	0 V	6.07	8.58
Trapped electron retention rate at 10 <sup>4</sup> sec(%)	$V_{FB}$	93.10	90.05
	0 V	78.95	73.05
Initial decay rate at 10sec(1/sec)	$V_{FB}$	0.1	0.2
	0 V	1.2	1.7

질화막 전계는  $3.8 \times 10^8$ V/m의 높은 값을 나타내었다. 그러므로 포획전자의 감쇠는  $Si_3N_4$ 막내를 이동하여 게이트 전극을 통한 외부방출이 우세하다. 한편 0V유지에서는 산화막과 실리콘 질화막에 동시에 전계가 걸리게 되지만 특히 산화막의 전위장벽이 낮아지게 된다. 이때 #53소자의 산화막 전계와 실리콘 질화막 전계는 각각  $1.0 \times 10^8$ V/m,  $1.9 \times 10^6$ V/m로 산화막 전계가 실리콘 질화막 전계 보다 크다. 그러므로 포획전자의 감쇠는 산화막을 통한 실리콘쪽으로의 역 터널링으로 인한 방출이 지배적임을 알 수 있다. 따라서 MNOS소자에서 기억유지특성의 약화는 게이트 전극을 통한 외부방출 보다 실리콘쪽으로의 방출로 인한 초기감쇠(short term decay)가 우세하나, 외부로부터의 전원 전압의 공급없이 약 10년 이상의 기억유지능력(charge retentivity)을 갖고 있음을 예측할 수 있다.

### 5. 결 론

본 실험에서는 LPCVD방법으로  $Si_3N_4$ 막의 두께를 달리하여 MNOS소자를 제작하여 산화막 전계에 대한 터널확률을 도입한 전자주입 이론을 해석하고, 포획전자의 유지조건에 따라



기억유지특성을 비교, 조사하였다.

자체 제작한 자동  $\Delta V_{FB}$  측정 시스템을 이용한 펄스전압과 펄스폭에 대한  $\Delta V_{FB}$ 의 실험치와 이론치는 잘 일치 하였으며, 실험치에 의해 계산된 기억트랩밀도는  $Si_3N_4$ 막의 두께 변화에 따라  $0.2 \times 10^{16}m^{-2}$  정도 차이를 보였으며, 이탈진동수는  $1.6 \times 10^{-14}sec^{-1}$  (#10소자)  $9.58 \times 10^{-9}sec^{-1}$  (#53소자) 이었다. 산화막 전계에 대한 전자의 터널확률은 산화막 전계가 증가함에 따라 직선적으로 증가하였으며,  $Si_3N_4$ 막의 두께 보다 산화막의 두께 의존성이 컸다. 그리고 기억트랩의 초기 전하량에 대한 전자주입특성의 포화영역에서는 산화막 전계 보다 실리콘 질화막 전계 의존성이 컸으나, 초기 포획전하량에 따른  $\Delta V_{FB}$ 의 변화는 관측되지 않았다. 전자주입 직후  $10^4sec$ 경과 후 비교적 초기(short term)의 포획전자의 감소는 게이트를 통한 외부방출 보다 실리콘쪽으로의 역 터널링으로 인한 감소가 우세하게 나타났으며, 포획전자의 유지율은  $V_{FB}$ 유지인 상태가 0V로 유지한 경우 보다 우수함을 밝혔다.

### 참고문헌

- 1) S. Minami et al., "New scaling Guidelines for MNOS Nonvolatile Memory Device" IEEE Trans, Electron Dev., ED-38(11), PP. 2519~2526(1991)
- 2) F. R. Libsch et al., "Charge transport and storage of low programming voltage SONOS/MONOS memory devices", Solid-state Electron., pp. 105~126(1990)
- 3) E. Suzuki et al., "Degradation properties in Metal-Nitride-Oxide-Semiconductor structures", J. Appl. Phys. 52(10), pp. 6377~6385(1981)
- 4) K. Sato et al., "The memory characteristics of MNOS Nonvolatile Memory devices", Trans. IECE, Jpn. (c), J67-c(5), pp. 451~458(1984)
- 5) J. J. Chang, "Theory of MNOS memory transistor," IEEE Trans, Electron Dev., ED-24, PP. 511~518(1977)
- 6) Y. Kamigaki et al., "Stored Charge Distribution and 2-Trap Model in MNOS Memory Device," Jap. J. Appl. phys. vol. 59(6), pp. 797~807(1990)
- 7) K. Ohnishi et al., "Electron Injection Parameters and Memory Characteristics of MNOS Devices", Trans. IECE, Jpn. (c), J64-c(4), pp. 311~318(1981)
- 8) C. Svensson et al., "Theory of the thin oxide MNOS memory transistors", Electron Dev., Lett., (6), pp. 645~647(1970)
- 9) M. E. Beguwala et al., "An improved model for the charging characterization of a dual-dielectric(MNOS) nonvolatile memory devices", IEEE Trans, Electron Dev, ED-25(8), PP. 1023~1030(1978)
- 10) N. J. Chou et al., "Effect of insulator thickness fluctuations on MNOS charge storage characteristics," IEEE Trans, Electron Dev., ED-19(2), PP.198~204(1972)
- 11) V. J. Kapoor et al., "Charge storage and distribution in the nitride layer of the metal-nitride-oxide-semiconductor structure", J. Appl. Phys. 52(1), pp. 311~319(1981)
- 12) M. H. White et al., "Endurance of thin oxide nonvolatile MNOS memory transistors", IEEE Trans, Electron Dev., ED-24(5), PP. 577~585(1977)
- 13) H. Y. Lin, "Effects of the initial memory state on the charging of MNOS Memories: An experimental investigation using the staircase charging of technique", Ph. D. Dissertations, Univ. of Southern California, Nov. (1983)

### 著者紹介



#### 이형욱

1947년 6월 13일생. 1976년 한양대 전기공학과 졸업. 1979년 연세대 산업대학원 졸업. 1987년 현재 광운대 전자재료공학과 박사과정. 1976년(주)금성사. 1988년 전자응용기술사. 1993년 현재 오산전문대학 전자과 부교수



#### 서광열

1939년 9월 27일생. 1961년 인하대 원자력공학과 졸업. 1969년 연세대학교 대학원 졸업. 1969년 경희대학교 대학원 물리학과(이박). 1993년 현재 광운대 전자재료공학과 교수.