

전기·전자 패키징에서의 기계기술 응용

김정일 · 김진성

Mechanical Engineering in Microelectronic Pachaging

Jung-Il Kim and Jin-Sung Kim



- 김정일 (금성일렉트론 반도체연구소)
- 1952년생.
- IBM에서 패키징을 연구하였으며, 가전·정보기기 패키징에 관심을 가지고 있다.



- 김진성 (금성일렉트론 반도체연구소)
- 1957년생.
- 금성일렉트론에서 패키징을 개발하였으며, 패키징 구조설계 및 해석에 관심을 가지고 있다.

1. 머리말

전기·전자 패키징이란 모든 전자기기 중에서 순수한 반도체 칩 (intergrated circuit)을 제외한 모든 하드웨어 (hardware)를 뜻한다. 즉, 작게는 우리가 자주 볼 수 있는 한 개의 반도체 칩 (chip)을 플라스틱이나 세라믹으로 패키징한 반도체 패키징으로부터, 크게는 가전기기나 정보기기, 그리고 대형 컴퓨터를 패키징하는 소위말하는 시스템 패키징 (system packaging) 등 큰 분야를 포괄적으로 다루는 분야를 말한다. 패키징의 전자기기에서의 역할은 대략 다음 세 가지의 기능을 제공하는데 있다.^(1,2) 첫째, 전자기기를 구성하고 있는 모든 반도체 디바이스 (device)나 부품 (component)을 전기적으로 연결 (interconnect)시켜야 하며, 둘째, 이러한 반도체나 부품들을 외부의 어떠한 환경으로부터도 안전하게 기계적으로 보호를 해야 하며, 그리고 셋째, 내부에서 방출되는 열은 전자기기의 성능저하 및 신뢰성 저하를 일으키므로 그 열을 효과적으로 방출시켜야 한

다. 이러한 세 가지의 기능을 단순히 제공하는 것이 예전의 패키징의 역할이었던데 반하여, 요즘에는 모든 전자기기가 경박단소화되며, 또한 그 성능 역시 고집적화, 다성능화, 고속화됨에 따라 전자기기의 총체성능이 패키징에 의해 결정이 나는 경우가 점점 늘어나고 있다. 따라서 이 세 가지의 기능을 효과적으로 제공하기 위하여는 기본 설계부터 마지막 공정 및 시험까지 종합적인 해결책을 제시하여야 하기 때문에 단순 조립과정인 어셈블리 (assembly)와 구분이 된다고 하겠다. 전자기기 패키징이란 이렇듯 광범위한 분야이므로, 전기공학, 전자공학, 기계공학, 재료공학, 화학공학 그리고 기본적인 물리, 화학 등의 모든 분야가 공동으로 참여해야 할 종합기술이다. 이 글에서는 종합기술인 전자기기 패키징 분야에서의 필요한 기계기술을 간단한 반도체 칩 패키징 분야에서부터 시스템 패키징분야까지 소개함으로써, 현재 국내에서는 일종의 시작단계인 패키징분야에 여러 분야, 특히 기계공학도의 주의를 환기시켜 적극적인 참여를 권유하는데 있다.

2. 반도체 패키징

2.1 반도체 패키징의 소개

반도체 패키징을 구분할 때 재질에 따라

플라스틱 패키징과 세라믹 패키징으로 구분하거나 또는 보드(PCB board)에 실장형태에 따라 아래의 그림 1과 같이 삽입형(pininsertion type)과 표면실장형(surface mount type)으로 구분한다. 80년대 초에는 세라믹

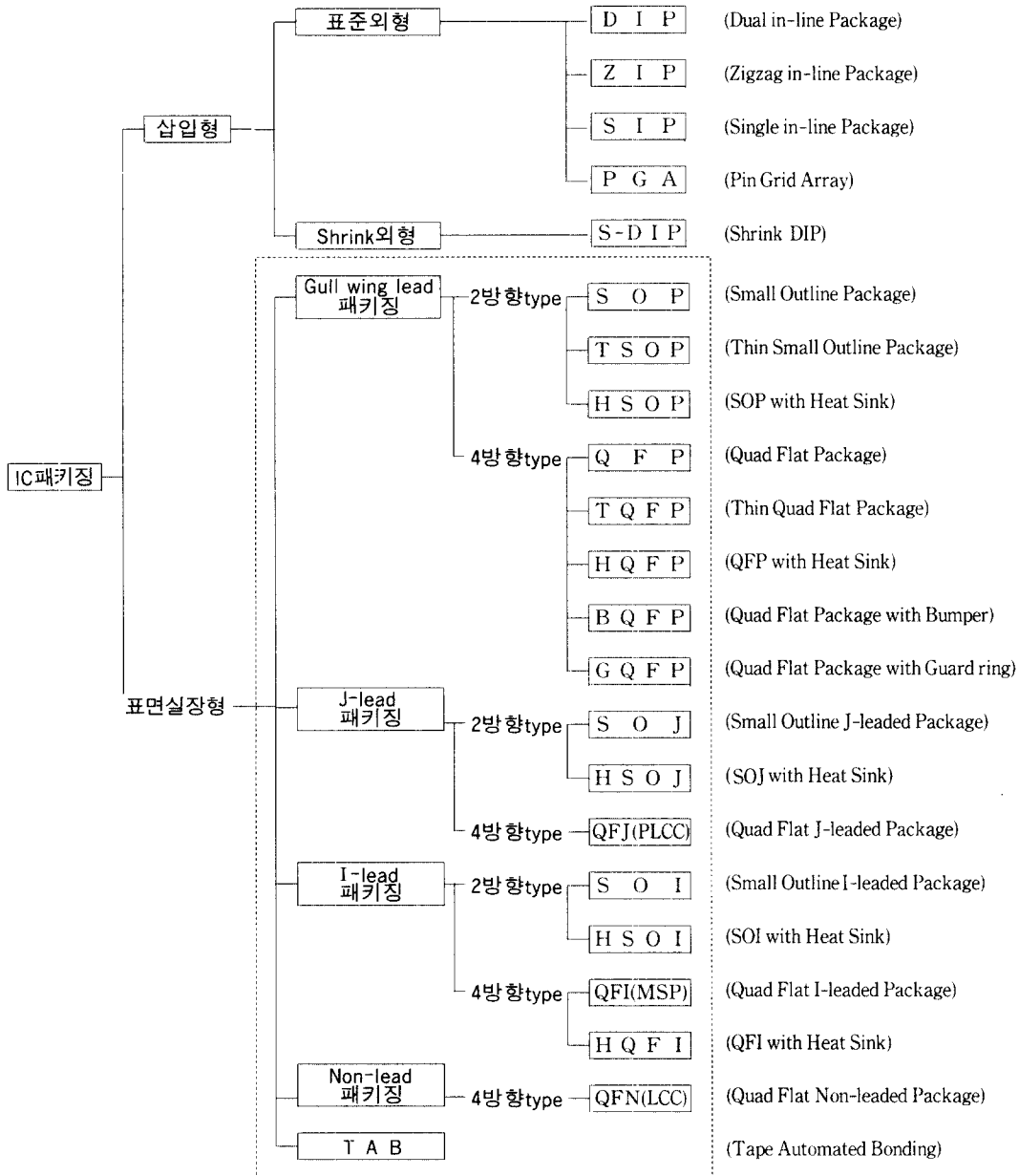


그림 1 반도체 패키징의 종류

패키징의 시장 점유율이 60~70% 정도 이었으나 80년대 중반 이후 플라스틱 패키징의 신뢰성향상 그리고 생산성의 상대적 우위로 인하여 현재는 군수용 혹은 고신뢰성의 일부 제품을 제외하고는 90% 이상이 플라스틱 패키징으로 대체되고 있으며 실장형태도 시스템의 경박단소에 대응하여 실장효율이 높은 표면실장형이 주류를 이루고 있다. 앞으로 서술하는 반도체 패키징도 플라스틱 패키징에 중점을 두고 서술하고자 한다.

그림 2는 우리가 평소에 자주 접할 수 있는 플라스틱 패키징의 내부 단면도이다. 반도체 공정이 끝난 반도체 칩은 웨이퍼(wafer) 상태에서 전기적 시험을 끝낸 후 칩 패키징을 위하여 아래와 같은 제조공정을 이용하여 플라스틱 패키징을 한다. 첫째, 반도체 웨이퍼위에 일괄적으로 만들어진 반도체 칩을 개개로 자르는 공정(sawing)으로서, 일반적으로 휠그라인딩커터(wheel grinding cutter)를 이용하여 개별 반도체 칩으로 자른 후, 이 개개의 칩을 금속으로 만들

어진 리드프레임(lead frame)의 패들(pad) 위에 에폭시 계열의 접착제로써 접착시키고, 다음에 미세한 금선(gold wire)으로 반도체 칩의 패드(pad)와 리드프레임을 전기적으로 연결(wire-bonding)한다. 그 후에 열경화성의 에폭시 컴파운드(epoxy compound)를 사용하여 약 175°C 정도에서 금형으로 몰딩(molding)을 한 후에, 이 플라스틱 몰딩된 반도체를 후에 다층기판보드에 부착시키기 위하여, 반도체 패키징의 리드표면에 납과 주석으로 만들어진 솔더를 엮고, 리드를 절단(trimming) 및 성형(forming)하여 패키징 공정을 마친 후, 마지막으로 플라스틱 패키징 표면 위에 제품명, 제작장소 및 시기를 마크잉크(mark ink)나 레이저(laser)를 사용하여 마킹(marking)한다.

요즈음에는 반도체 패키징은 반도체소자의 기술발전과 시스템 제작의 기술발전에 따라 기능상으로는 다기능화, 경박단소화 그리고 고속화를 이루는 방향으로 이루어지고 있다. 이에 따라 논리소자 반도체 칩의 경우에는 160핀 이상의 다핀(multipin) 및 0.5mm 이하의 미세 피치(pitch) 패키징기술이, 기억소자 반도체 칩의 경우에는 집적도 70% 이상의 고집적 패키징기술, 두께 1.0mm 이하의 박형패키징 제조기술이 요구된다. 이러한 새로운 패키징 형태는 가혹한 환경시험에서도 기본적인 기계적, 전기적 신뢰성을 유지하여야 한다. 표 2는 대표적인 기계적인 신뢰성시험 항목이다. 외형적으로 고전력 소자의 패키징일 경우 반도체 소자 내에서 방출되는 열방산 문제, 미세 피치의 성형을 위한 금형설계 및 제조기술이 필요하고 고집적 패키징의 경우 내부열응력 및 특성개선이 고려된 구조설계, 특히 근년에 들어와 메모리 카드(memory card)용으로 제품화되는 박형 패키징은 금형시 금형 내의 유로해석에 의한 첫번 캐비티(cavity)와 마지막 캐비티 간의 유동해석 및 캐비티 내의 유동해석 등이 해결하여야 할 기술적 과제이다.

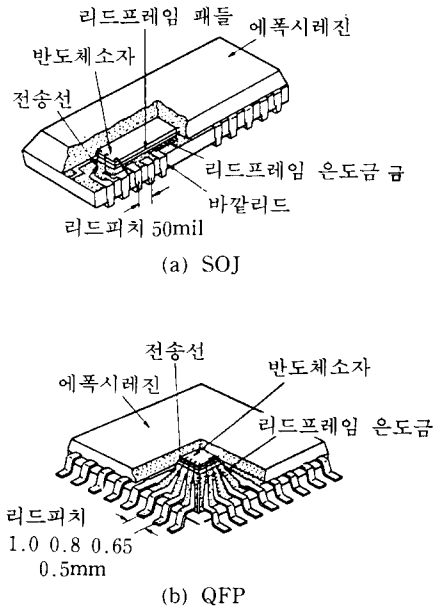


그림 2 플라스틱 패키징의 예

표 1 신뢰성시험 항목

항 목	조 건	판 정 기준
1. 열충격 시험	-솔더가열 260°C 10초	$P=0/25$
	-150°C 보관 1000시간	$P=0/25$
	--65°C 보관 1000시간	$P=0/25$
	이동 --65°C (10분) ↔ 150°C (10분) 1000 CYCLE	$P=1/80$
2. 내습성	-121°C 100% 상대습도 보관 300시간	$P=0/30$
	-5% NaCl 용액 96시간	$P=0/30$
	-85°C/85% 상대습도 BIAS 1000시간	$P=1/150$
3. 기체 리플로우	-85°C 65% 상대습도 → 218°C 90초	$P=1/150$

2.2 반도체 패키징의 기계기술

반도체 패키징의 기술변천에 따라 전기적 기계적인 고신뢰성을 확보하고 개발기간 단축을 위해서는 시제품의 제작용설비 투자 이전에 요소기술별 시뮬레이션(simulation)에 의해 개발하고자 하는 제품의 설계 기술적 방향을 결정하는 것이 중요하다. 반도체 개발은 개발인원과 투자액, 개발기간의 경쟁으로서 개발기간을 단축할 수 있는 전용 CAD 및 CAE 기구 개발이 필요하다. 특히 반도체 패키징기술은 타기술에 비해 상대적으로 경험적, 투자적요소가 강한기술로서 패키징의 신뢰성기술에서 적용되는 기술중 전기적·재료적 응용기술은 생략하고 본 절에서는 기계적 응용기술만 논하고자 한다.

(1) 열충격 해석

플라스틱 패키징의 내부구조는 열팽창계수가 서로 다른 실리콘, 금속 그리고 에폭시 등의 복합부재로서 내부의 열적 스트레스를 줄이기 위해서는 복합부재의 열팽창계수차를 줄이거나 레진(resin)의 영률을 저하시키거나 레진의 고온강도를 증가시키는 방법이 있다. 그러나 재료의 특성강화에는 한계가 있으므로 복합부재로서 제조과정 혹은 외부의 열적 환경변화에 따라 내부 열응력중 그림 3

과 같이 집중응력을 피할 수 있는 구조설계가 필요하다. 내부응력은 식 (1)로 표시된다.

$$\sigma = E \cdot a \Delta T = (a_R - a_{Si}) E_R \Delta T \quad (1)$$

여기서, σ 는 열응력, E_R 는 레진의 영률, E 는 영률, a_R 는 레진의 열팽창계수, a 는 열팽창계수, a_{Si} 는 Si 웨이퍼의 열팽창 계수, ΔT 는 온도차를 나타낸다.

더욱이, 이러한 플라스틱 패키지는 언제나 수분함유량이 있으므로, 특히 반도체 칩은 다층보드에 실장하는 공정에서 표면실장형 패키징 내에 함유된 수분이 고온의 솔더 리플로우(solder reflow)로 218°C 90초를 통과하는 공정중에서 패키징 내부에 급격한 수증

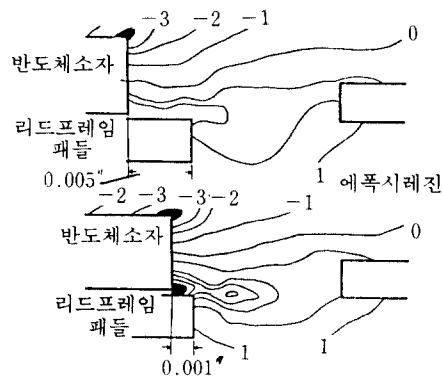


그림 3 플라스틱 패키징의 열 해석의 예

기압으로 그림 4와 같이 내·외부 균열이 발생한다. 이러한 해석은 소정의 온·습도 시간조건에서 패키징 내부에 흡수되는 수분의 농도분포 및 패키징 내부의 다이패드(die pad)면적 등과 관련이 깊으며 일반적으로 Fick의 확산방정식과 Boyle과 Charles의 기체 방정식을 이용하며 다이패드 밑면의 변형량 δ_{max} 를 양산고정보로 가정하여 해석한다. 실제 국내에서는 시뮬레이션(simulation)에 의한 해석보다는 경험과 시행착오법에 의한 파괴검사로 구조를 결정하고 있으므로, 조속히 전용해석용 기구(tool)개발이 필요한 상태이다.

(2) 패키징 내 반도체 소자의 열저항해석

고전력 반도체 칩은 구동시 반도체 소자 내부에서 열이 발생하는데 이 열 때문에 소자의 온도는 크게 125°C 정도까지 올라갈 수 있다. 이러한 발생열은 반도체 소자 수명에 치명적인 영향을 미치므로 반도체소자의 최고발생온도를 억제할 필요가 있으며 단위반도체소자로서, 혹은 다층보드에 실장된 상태에서 강제통풍에 따른 열방출이 용이한 구조설계가 필요하다. 반도체 패키징 내에서 열전도, 대류, 복사의 세 가지 항목 중 열전도

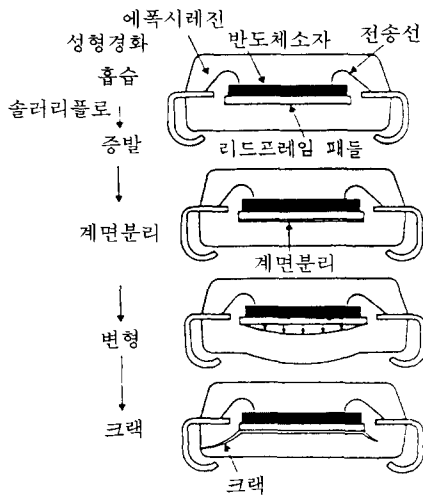


그림 4 솔더실장시 패키징 균열발생의 예

와 열대류의 요소를 고려하면 아래와 같다.

$\theta_{ja} = \theta_{jc} + \theta_{ca}$ 의 관계가 성립되며

θ_{ja} : 반도체소자 Junction部와 외부환경간 열저항

θ_{jc} : 반도체소자 Junction部와 패키징 표면간의 열저항

θ_{ca} : 패키징표면과 외부환경 간의 열저항

그림 5와 같이 열적 저항선도를 간략하게 모델링하면⁽³⁾ 식 (2)와 같이 표시된다.

$$\theta_j = \frac{T_j - T_r}{Pd} \text{ (}^\circ\text{C/W)} \quad (2)$$

여기서, Pd 는 반도체 소자의 소비전력, T_j 는 접합부온도(반도체 Junction부온도), T_r 는 기준점 온도, θ_j 는 열저항을 나타낸다.

(3) 몰드금형의 유로해석

반도체 플라스틱 패키징에는 열경화성수지를 사용한다. 열경화성수지는 시간이 지나면 수지점도가 상승하고 경화되기 때문에 온도와 시간의 함수가 된다. 이 때문에 온도만의 함수인 열가소성수지를 사용하는 사출금형에서와 같은 유체역학적 시뮬레이션 소프트웨어(simulation software)가 없으며 경험적인 설계에 의해 설계 후 시제품형태를 보고 금형의 유로부분을 디버깅(debugging)하였으나 최근의 새로운 패키징 형태에서는 기존의 경험적인 기술로 대응하기에는 한계가 있다. 최근에 열경화성수지의 해석이 가능한 범용 소프트웨어가 출현되고 있으나 런너(runner)

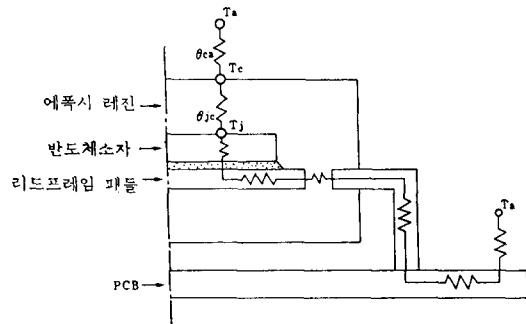


그림 5 플라스틱 패키징의 열저항 해석의 예

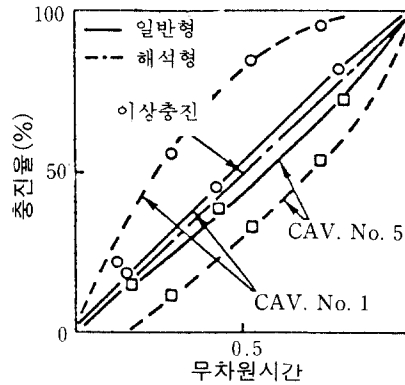
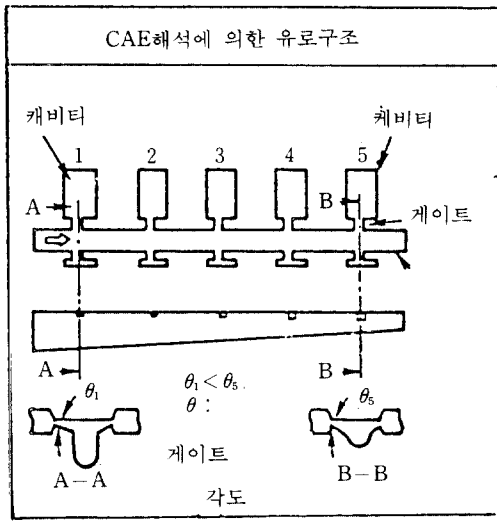


그림 6 CAE해석에 의한 몰드금형 유로부

와 캐비티(cavity) 직전까지의 해석은 가능하나 실제 제품이 되는 캐비티 내의 해석은 아직은 어려운 상황이다. 그림 6은 이러한 유로해석의 한 예로서 일본내 반도체업체가 자체개발한 유로해석 소프트웨어를 이용한 런너의 게이트(gate) 형상과 충전상황의 기본개념과 결과이다.⁽⁴⁾

(4) 미세피치 리드가공 및 실장해석

반도체 패키징시 핀의 수가 100개 이상이며, 간격이 리드(lead) 0.5 mm 이하의 성형 경우에는 고품질유지 및 금형의 내구성 등을 고려하여 바깥쪽 리드(outer lead)에 받는 동하중해석 및 기구학적인 구조 구성이 필요하다. 또한 패키징 바깥쪽 리드 형태는 일본 반도체 협회나 미국반도체 협회 같은 반도체 규격협회에서 규정한 규격범위 내에서 고신뢰성 확보를 위한 최적의 형상해석이 필요하며 최종 시스템 회사에서 다층보드 실장시 열피로 파괴, 크리프파괴, 전기화학적 신뢰성에 의한 마이그레이션 등의 해석이 필요하다. 이상에서 언급한 사항들은 대표적인 사례에 불과하며 그 밖에 반도체 패키징시 응용가능한 기계기술은 반도체절단(sawing)시 반도체소자에 미치는 스트레스 해석, 와이어

본딩시 스트레스 해석 바깥쪽 리드 성형시 스트레스에 의한 계면분리해석, 온도변화에 의한 피로파괴 등의 해석이 필요하다. 반도체 패키징시 설계, 해석, 제조기술 중 상당부분이 기존 기계기술을 응용하고 있으며 현 국내 패키징 제조기술은 선진 반도체 회사와 대등한 수준이나 설계 및 해석기술은 범용 CAE용 기구의 초기적용 단계로서 전용 CAE용 기구를 자체개발하여 적용하고 있는 선진반도체 회사와 많은 기술격차를 보이고 있다.

3. 시스템 패키징의 소개

3.1 시스템 패키징의 소개

그림 7에서 보듯이 대형 컴퓨터의 경우, 보통 4등급(level)의 패키징으로 구성되어 있다.^(1,2) 첫째, 칩등급의 패키징으로서 반도체를 플라스틱이나 세라믹으로 패키징하는 것을 말하며, 둘째, 모듈(module) 또는 카드(card)등급의 패키징으로서 패키징된 반도체를 다층구조의 세라믹이나 또는 다층구조의 에폭시글래스화이버(epoxy-glass fiber)로 만들어진 카드에 열결시키는 패키징을 지칭

하며, 셋째, 이러한 모듈이나 카드를 다층구조의 보드(board)에 연결시키는 보드등급 패키징이 있고, 마지막으로 네번째, 보드들을 커넥터와 케이블로 서로 연결시키는 게이트(gate) 등급의 패키징이다. 시스템 패키징의 기술발전 및 모든 전자기기의 경박단소화 추세에 맞추어 요즘은 이러한 4등급의 패키징이 3등급 또는 2등급으로 줄어들고 있으며, 또 각 등급끼리의 구분 역시 모호해지고 있다.

그림 8에서 보듯이 다층구조의 모듈은 세라믹(또는 카드의 경우는 플라스틱계열)절연체 안에 금속배선이 X·Y·Z 방향으로 서로 연결되어 있다. 각 금속선은 전기적 기능에 따라 전원용, 그라운드용, 시그널(signal)용 또는 그들의 재배치(redistribution)용으로 되어 있는데 그 금속선의 외형상의 스펙(spec.)은 전기적 설계를 거쳐 결정되었다. 이를 제조하는 공정은 절연 세라믹 그린테이프(tape, 또는 sheet)에 금속 페이스트(paste)로 패턴(pattern)이 되어 있는 여러 개의 세라믹 층을 레미네이션(lamination)한 상태로 높은 온도에서 소결시켜 만들고 있다. 이때 쓰는 세라믹은 보통 알루미늄 나이트라이드(Al_2O_3)이나 최근 열방출 문제 때문에 알루미늄 나이트라이드(AlN) 또는 실리콘카바이드(SiC)도 사용되며, 또는 유전상수를 문제로 글래스세라믹

(cordierite glass ceramic) 또는 보로실리케이트(boro-silicate)가 쓰이고 있다. 이 때에 금속선은 몰리브데늄(Mo), 텅스텐(W) 또는 최근에 와서는 구리(Cu) 등이 쓰인다. 제조과정 중 야기되는 큰 문제중의 하나는 세라믹과 금속의 열팽창계수가 너무

차이가 있어서 소결 후에, 두 물질 간에 틈(gap)이 생기거나, 또는 미세한 크랙(microcrack)이 생기므로, 이의 방지에 온갖 기술을 들이고 있다. 이렇게 제조된 다층구조의 세라믹 모듈 위에 폴리이미이드(polyimide)를 절연체로 하고 구리를 전도성 배선으로 하는 다층구조의 박막패키징을 이용하여, 시그널 재배치를 위한 구조가 요즘 크게 대두되고 있다.⁽¹⁾

다층카드(card)나 보드(board)는 에폭시수지(epoxy)를 글래스 화이버 클로즈(glass fiber cloth)에 적시어 큐어(cure)된 프리프렉(prepreg)에 구리박막을 레미네이션시킨 후에 리토그래픽 방법(lithography)을 이용하여 식각(etching)법으로 패턴(pattern)을 형성시킨 후에 계속 이 방법을 반복하여, 다층구조를 만든 후에 비아(via)를 드릴링(drilling)으로 형성한 후 무전해(electroless) 방법으로 구리를 도금하여 제조한다. 이렇듯 제조된 다층구조의 세라믹 모듈이나 에폭시카드 또는 보드 위에 일치 플라스틱으

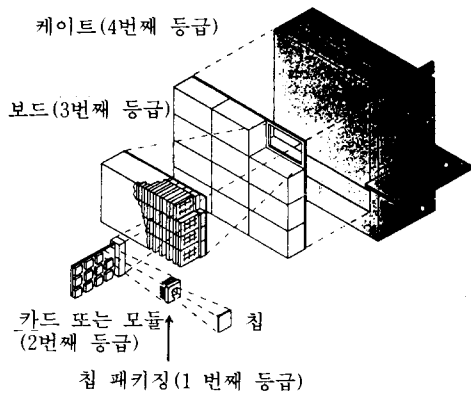


그림 7 대형 컴퓨터의 패키징 등급

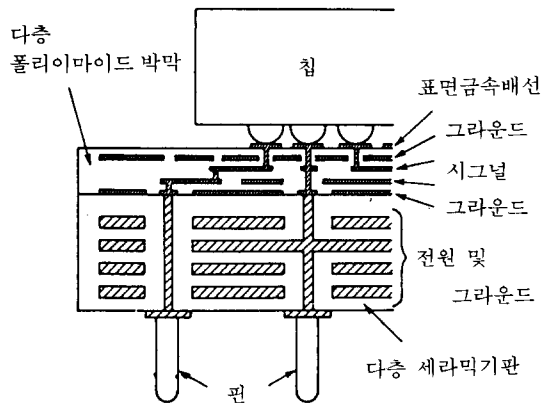


그림 8 다층구조의 세라믹 모듈의 단면도

로 패키징된 반도체 칩을 붙히게 되는데, 가장 많이 쓰이는 법은 웨이브 솔더링(wave soldering)이나, 기체리플로우(vapor phase reflow), 적외선 리플로우(infra-red reflow)를 이용하여 붙이는 방법인데, 이는 다층세라믹 모듈에는 응용이 잘 안되고, 다층카드나 다층보드에 연결시키는 방법으로 쓰이고 있다. 다층 세라믹 모듈에는 이미 플라스틱으로 패키징되어 있는 반도체 칩을 붙이기 보다는, 패키징이 안 되어 있는 베어칩(bare chip)을 와이어 본딩(wire bonding), 탭(T-AB; tape automated bonding), 또는 플립칩(flip chip) 방법으로 연결시킨다. 이 각각의 방법에는 장단점이 있으나, 시스템 패키징의 경우 플립칩이 가장 많이 쓰이고, 또는 탭(tab) 방법도 많이 쓰인다. 보통 1개의 모듈 위에 100개 이상의 칩이 부착되어 있고, 각 칩에서 발생하는 열도 경우에 따라 3 Watt 이상되므로, 이 열의 효과적인 방출을 위하여 그림 9에서 보듯이 각 칩 위에 알루미늄 막대가 놓여지고, 스프링으로 칩에 접촉시킨 후, 이 모든 것을 냉각하우스(cooling house system)에 조립시키고, 냉각하우스 전체를 냉각수로 순환시키면서 냉각시키는데, 이를 열전도 모듈(TCM; thermal conduction module)이라고 한다.

이렇듯 칩이 내장된 다층 세라믹 (mul-

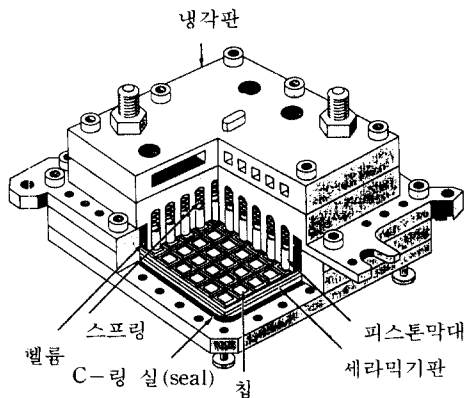


그림 9 열전도 모듈이 단면도

tilayer ceramic) 모듈을 다층구조보드(multilayer board)에 연결시키는 방법은 그림 10에서 보듯이 모듈의 밑 부분에 핀(pin)을 브레이징(brazing)하여 부착시킨 후, 이를 보드의 비아(via)에 이미 꽂혀 있는 어댑터(adapter)에 연결시키는데, 이를 하콘커넥션(Harcon, Horizontally Actuated Connection)이라 한다. 이에 반하여, 다층구조의 세라믹 모듈을 핀이 없이 직접 보드에 연결시키는 방법으로 인터포저(interposer)를 이용하여 연결시키는 구조가 요즘 각광을 받고 있다. 카드를 보드에 연결시키는 방법으로는 잘 알려진 에지커넥터(edge connector)를 이용하여 보드의 어댑터에 삽입시키는 방법을 사용하고 있다.

지금까지 설명한 것처럼 대형컴퓨터의 패키징은 보통 네 가지의 등급으로 나뉘어 지는데, 이는 아주 복잡하고 고성능, 다기능을 요구하는 경우이고, 이외에 중형 또는 소형 시스템이나 일반적인 가전기기의 패키징의 경우는 앞에서 설명한 패키징의 등급 중, 그 요구되는 성능에 따라 1~2가지 등급을 생략하며, 보통 2등급 정도의 패키징으로 되어 있다.

3.2 시스템 패키징의 기계기술

가전, 정보기기 시스템 패키징에서 일어나는 중요한 기계적 문제점은 크게 동적(動的)인 경우와 정적(靜的)인 경우로 분류되는데, 전자의 경우, 모든 가전기기의 모터, 드럼헤드 등의 기계적인 부분은 물론이거니와 정보기기의 핀 커넥터(그림 10 참조) 또는 에지 커넥터의 삽입 중 발생하는 스트레스 및 마모, 그리고 진동에 의한 현상 등 많은 부분을 가르키며, 후자의 경우는 대부분 제조과정 중 또는 제조 후에 발생하는 열에 의한 온도상승 및 하강에 따른 열팽창 차이에 의한 스트레스를 말한다. 이 글의 경우에는 정보기기 시스템 패키징에 관한 정적인 기계기술의 필요성에 대하여 언급하고자 한다.

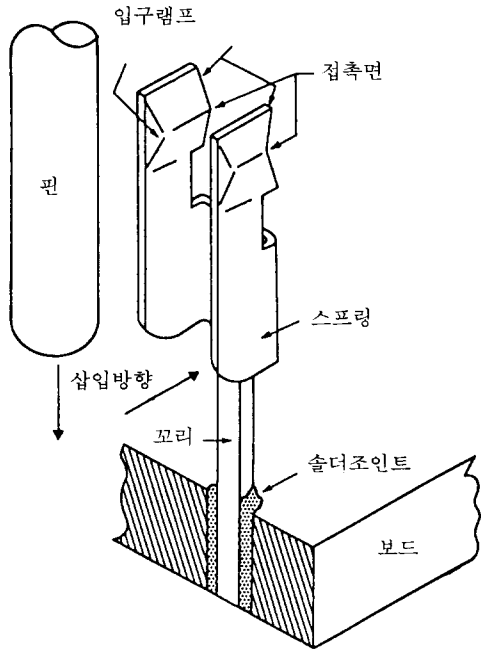


그림 10 하콘 커넥션의 설명도

3.3 구조 스트레스 분석

그림 8에서 보듯이 전자기기를 구성하고 있는 물질은 반도체, 금속, 세라믹 그리고 플라스틱 등 모든 재료들이 복합적으로 사용되는데, 이 물질들이 열팽창계수는 서로 매우 달라, 때로는 서로 100배 이상의 차이가 나는 경우가 대부분이다. 그러므로 패키징 제조과정 중에, 또는 제조 후 전자기기의 사용 중에 시스템전체의 온도가 오르게 되므로, 열에 의한 스트레스를 받게 된다. 아직 까지 이에 대한 많은 연구가 이루어져, 이러한 재료 상에 또는 그 특정구조에 대하여 분석 및 시뮬레이션(simulation)을 유한요소분석법(finite element method)을 이용하여 이루어졌다. 그러나 이들 대부분의 분석은, 분석의 용이함을 위하여, 탄성변형이라는 가정하에서 행하여졌으나, 실제로 이 가정이 의미가 없는 경우가 대부분이다. 예를 들어, 실리콘 위에 폴리이미드 박막이 얹혀진 경우 변형률(strain)은 칩의 기동온도를 85°C

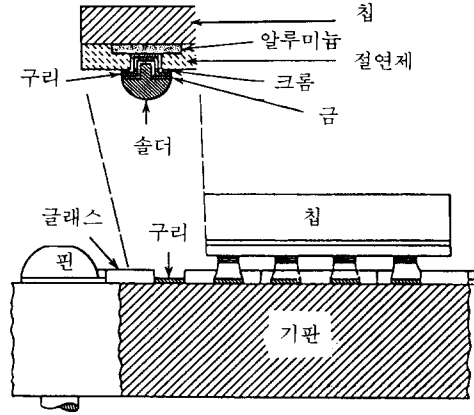


그림 11 반도체 칩이 모듈에 붙어 있는 단면도

라고 잡았을 때에 식 (3)과 같다.

$$\begin{aligned} \epsilon &= (\alpha_{Si} - \alpha_{polyimide}) \cdot \Delta T \\ &\approx (3 \times 10^{-6} - 180 \times 10^{-6}) \cdot (85 - 25) \\ &\approx 0.0106 \end{aligned} \quad (2)$$

즉 약 1%의 변형률을 보인다. 여기에서 ϵ 은 변형률이고, α 는 열팽창계수 그리고 ΔT 는 온도 차이를 말한다. 이는 보통 소성변형(plastic yield) 점인 0.01% offset 표준에 비하여도 훨씬 변형이 많은 경우로써, 소성 변형이 이루어 짐을 알 수 있다.

더욱이 폴리이미드 박막의 경우 점성(viscosity)의 영향을 무시할 수가 없으므로, 탄소성(elasto-plastic) 이외에도 점탄소성(visco-elasto-plastic)을 가미한 유한요소분석법으로의 패키징 구조 분석이 절실이 필요하다. 특히 요즘에는 저온에서의 시스템의 전기적 특성향상을 이용하기 위하여, 저온동작시스템(low temperature operating system)에 대한 개발이 한창인데, 이 경우에는 제조는 고온에서 해야 하고, 동작은 액화질소 온도에서 이루어지므로, 이에 따른 열변화에 의한 응력(thermally induced stress)에 대한 연구는 필수적이다.

(1) 피로 크리프(fatigue-creep)

그림 11에서 보듯이 반도체 칩을 기판

(substrate) 위에 붙였을 때에 반도체 칩의 재료인 실리콘의 열팽창계수($\alpha=3$ ppm)와 기판의 열팽창계수($\alpha=500\sim700$ ppm 에폭시 기판, $\alpha=70$ ppm 세라믹기판)가 크게 차이가 나므로, 그림에서 보듯이 반도체 칩과 기판을 연결하고 있는 솔더 조인트(solder joint)에 열팽창에 의한 스트레스가 걸린 상태이다. 이러한 경우가, 이 칩이 얼마나 활발하게 사용되느냐에 따라 온도의 변화가 일어나므로, 이 솔더 조인트(solder joint)에 피로그립 현상이 일어나게 된다. 특히 반도체 칩의 고성능화 경향에 따라, 반도체 칩의 크기가 점점 커짐에 따라, 이러한 스트레스 역시 점점 커지게 된다. 이에 대한 기계기술로서, 솔더 조인트의 위치, 높이, 등등의 변수에 대한 연구로 최적조건을 구함으로써 최소의 스트레스가 걸리도록 분석해야 할 필요가 절실하다.

(2) 파괴분석

다층 세라믹을 제조하는 공정에는, 앞에서 말하였듯이 고온에서 금속과 세라믹을 동시에 소결(sintering)해야 하며, 이렇듯 고온 소결된 다층세라믹은 종종, 그 열팽창계수의 차이로 인하여, 상온으로 내려오는 도중에 세라믹기판이 깨어지거나, 또는 금속배선이

끊어지는 경우가 많다. 재료부에서도 이런 현상을 방지하고자 여러가지의 신소재를 개발중이나, 기계부에서도 스트레스 분석을 통하여, 같은 금속배선이라도, 그 구조를 변화시킴으로써 최소의 스트레스를 발생시키도록, 절연체와 배선의 위치, 두께, 모양 그리고 비아(via)의 모양 등을 분석하여야 하겠다.

(3) 열전도 및 대류분석

시스템의 성능을 저하시키는 요인들이 많으나, 그 중 제일 중요한 것은 시스템의 온도상승에 의한 것이다. 그러므로 이 시스템을 구성하고 있는 여러 컴포넌트나 반도체 칩의 종류에 따라, 이에 발생하는 열의 계산뿐만이 아니고, 이러한 열을 어떻게 방출시키는가가 중요한 과제가 된다. 작은 시스템에서는 큰 열을 발생치 않으므로 자연대류(natural convection)를 이용하나, 보통은 강제대류(forced convection)로서의 팬(fan)을 이용하고 있으며, 그 보다 큰 시스템의 경우에는 열전도와 대류의 두 가지를 다 이용하고 있는 냉각구조(cooling system) 설계가 중요하게 된다. 그림 12에서 보듯이 예를 들어 강제대류(forced convection)의 경우, 각 컴포넌트를 한 개의 보드 위에 어떻게 배열을 하고, 팬을 어느 곳에 설치하여야만, 또한 팬의 성능, 개수 등 가장 효과적인 열방출을 할 수 있을 것인가가 중요한 연구과제이며, 이보다 큰 시스템의 경우, 각 컴포넌트와 컴포넌트 사이의 열저항 분석이 이루어져야 할 것이며, 이에 따라 전체적인 시스템 열저항을 계산하여야 될 것이다.

또한 그림 9에서 보듯이 칩의 열전도를 위하여 칩·위에 놓이게 될 알루미늄 막대를 눌러주는 구조를 분석하여 스트레스가 평형되게 분배되도록, 적정의 압력의 계산 등이 열전도 분석과 함께 이루어져야 될 것이다.

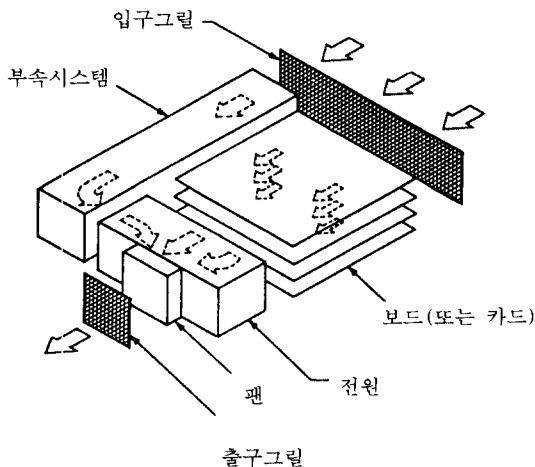


그림 12 컴퓨터의 강제대류에 의한 열방출의 예

4. 맺음말

이 글에서는 기계공학도에게 생소한 분야인 전기·전자 패키징 분야를 간단히 소개하고, 패키징 분야에 응용되어야 하는 중요한 기계기술을 서술함으로써, 기계공학도의 주의를 환기시켜 패키징 분야에의 적극적인 참여를 권유하고자 하였다. 패키징이란 전기·전자기기 중에서 순수한 반도체 칩을 제외한 모든 하드웨어를 뜻하며, 전기적, 기계적 그리고 열적으로 반도체를 연결 및 보호하는 기능을 하여야 한다. 이러한 패키징 분야에 필요한 기계기술을 크게 나누어 보면 첫째, 패키징구조 물질들의 열팽창계수 차이로 인하여 야기되는 스트레스의 분석, 둘째, 패키징 공정 중에 일어나는 유로해석, 셋째, 열전도 및 대류분석 그리고 넷째, 순전히 기계적인 현상인 진동, 마모 및 스트레스 분석이

있다. 이외에도 가전기기 시스템 패키징의 경우에 일어나는 동적(dynamic)인 기계기술 분석 역시 필수적이다.

참고문헌

- (1) Tummala, R. R. and Rymaszewski, E. J., 1989, "Microelectronics Packaging Handbook," Van Nostrand Reinhold, New York, pp. 779~842.
- (2) Seraphim, D. P., Lasky, R. and Li, C. Y., 1989, "Principles of Electronic Packaging," McGraw-Hill Book Company, pp. 127~157.
- (3) Murakami, G., 外 1988, 표면실장형 LSI 패키징의 실장기술과 신뢰성 日立제작소 반도체 사업부, pp. 61~80.
- (4) Nishiku, 1991, "LSI수지재료기술," Torikepus 出版部, pp. 84~95. 