論文 92-29B-10-3

고조파 제거를 위한 PWM 인버터의 설계

(Design of PWM Inverter for Harmonics Elimination)

金大翊,* 鄭鎭泰,** 李昌基,** 趙俊翼,*** 田炳實****

(Dae Ik Kim, Jin Tae Jurng, Chang Ki Lee, Jun Ik Cho, and Byoung Sil Chon)

要 約

PWM 인버터에서 임의로 선택한 고조파를 제거하기 위하여 점호각을 계산할 때 지금까지는 보편적으로 푸리에 급수를 이용하여 사전에 계산한 점호각을 look-up표로 작성하고 메모리에 저장하거나, 또는 점호각 계산 프로그램을 여러번 반복 수행하여 점호 시각에 트리거하기 때문에 실시간 제어가 어려웠다. 본 논문에서는 제안된 왈쉬급수를 이용하여 점호각을 계산하고, 3상 회로에 적용할 수 있는 실시간 제어가 가능한 논리 회로를 설계하였으며, 회로의 복잡성과 크기를 줄일 수 있도록 VLSI 설계 기술을 이용하여 One-chip화 하였다.

Abstract

Generally, When we calculate notch angle to eliminate some selected harmonics using PWM inverter, we put the previously analysed notch angle formed by look-up table into memory, or perform the program to calculate notch angle iteratively with Fourier series. But, these methods are very difficult to control the system in real-time. Now, in this paper, we propose a new method to calculate notch angle using Walsh series, design real-time logic circuits which can be applied in 3 phase circuits and make one chip to reduce complexity and size of circuits using VLSI design technique.

I. 서 론

교류 회전기기의 경우, 회전속도는 입력 주파수에 정비례 하므로 회전기기의 속도를 제어할 수 있는 가장 보편적이고, 사용이 간편한 방법으로는 주파수 변환 방법이 있다. 그러나, 무작정 주파수만 가변시킨다면 고조파 손실(Harmonic loss) 때문에 효율이 저하되므로 비 경제적이며, 이때 고조파를 선택적으로 제거하는 방법의 하나로 PWM(Pulse Width Modulation) 인버터가 있다. 이는 직류전원을 적절히 쵸핑(Chopping) 할때 얻어지는 구형 펄스의 시리즈로 된 파형이며, 이 파형은 임의로 선택한 고조파가 제거된다. 특히, PWM 인버터는 정전압 전원을 요구하는 장치나, 또는 주파수 변환이 적절히 요구되는 분야에서 이용되지만 제어회로의 복잡성을 해결해야 한다.

지금까지 보편적으로 점호각 계산에 이용되는 수학적 도구로 푸리에 급수가 사용되어 왔다. 푸리에 급수를 사용하여 임의로 선택된 고조파를 제거시킬 수 있는 점호각을 사전에 컴퓨터로 계산하여 Look-up 표를 작성한 후에 컴퓨터의 메모리에 상주시키거나, 또는 임의로 선택된 고조파가 제거되는 점호각을 계산하는 프로그램을 끝없이 반복 수행하여 고조파를 제거하는 On-line 시스템을

*正會員, **正會員, ****正會員,
全北大學校 電子工學科
(Dept. of Elec. Eng., Chonbuk Nat'l Univ.)
***正會員, 群山大學校 水產大學 電子學科
(Dept. of Elec. Eng., Kunsan Nat'l Univ.)
接受日字 : 1992年 5月 18日
(※ 이 논문은 1991년도 교육부 학술연구 조성비에 의하여 연구되었음.)

설계하는 방향으로 많은 연구가 진행되어 왔다.[1-11] 그러나, 이처럼 푸리에 급수를 이용하여 점호각을 계산한 후 PWM 인버터를 점호한다면 계산된 점호각을 항시 메모리에 상주시키거나, 또는 점호각을 이용하는 컴퓨터에 On-line으로 접속해야 되므로 실질적인 실시간 제어가 곤란하다.

본 논문에서는 앞에서 지적한 바와 같은 문제점을 해결하기 위해 라드함수를 사용하여 왈쉬급수를 유도하여,[16] 유도된 왈쉬급수를 이용하여 고조파를 분석하고,[16] 왈쉬급수 파형을 조합하여 임의의 고조파를 제거할 수 있도록 하드웨어를 구현하여 이 회로를 VLSI 설계 기술을 이용하여 One-chip화 하였다. 또한, 이 One-chip안에는 동일한 단상 PWM인버터 회로 3개를 집어넣어 입력 클럭펄스를 120°씩 천이시킴으로써 3상 PWM 인버터를 구현하였다.

Ⅱ. 왈쉬급수 이론 및 라드 급수를 이용한 왈쉬 급수의 파형 유도

1. 왈쉬급수 이론

왈쉬급수는 구간 [0, 1]에서 진폭값 +1과 −1을 갖는 ordered orthogonal set이며 일반 표현식은

$$WAL(n, t) \tag{1}$$

으로 나타낸다. 식(1)에서 n은 구간 [0, 1]에서 가로축과의 교차수를 나타낸다. 왈쉬급수가 기함수이면 SAL, 우함수이면 CAL이 되어 n값에 따라 식(1)은

$$\begin{aligned} WAL(2n, t) &= CAL(n, t) \\ WAL(2n-1, t) &= SAL(n, t) \end{aligned} \tag{2}$$

단, n=1, 2, 3, ···, N/2

가 되며, n이 2진수로 p비트이면 $N=2^p$이 된다.

식(11)을 식(2)에 대입하여 SAL및 CAL 함수를 적용하면

$$f(t) = a_0\, WAL(0, t) + \sum_{i=1}^{N/2} a_i\, SAL(i, t) + \sum_{j=1}^{N/2-1} b_j\, CAL(j, t)$$

단, $a_i = \frac{1}{T}\int_0^T f(t)\, SAL(i, t)\, dt$

$$b_j = \frac{1}{T}\int_0^T f(t)\, SAL(j, t)\, dt \tag{3}$$

가 된다.

2. 라드급수를 이용한 왈쉬급수의 파형유도

RAD(m, t)로 표현되는 라드 급수는 구간 [0, 1]에서 진폭 +1과 −1인 2^m 개의 구형파 급수로 가로축과의 교차수를 m개 가지며, 예를 들어 WAL(9, t)를 생각해 보자. WAL(9, t)에서 9를 2진코드로나타내면 1001이고, 그레이 코드로 나타내면 1101이 되어 두번째 비트를 제외한 다른 비트들이 '1'이 된다.

그러므로 왈쉬 함수를 라드함수로 표현하면

$$WAL(9, t) = RAD(4, t)\, RAD(3, t)\, RAD(1, t) \tag{4}$$

가 되고 라드함수의 +1과 −1를 각각 "+"와 "−"로 나타내면

$$\begin{aligned} RAD(1, t) &= + + + + + - - - - - \\ RAD(3, t) &= + + - - + + - - + + \\ RAD(4, t) &= + - + - + - + - + - \end{aligned} \tag{5}$$

가 되며 식 (5)의 각 항을 XOR하면

$$WAL(9, t) = + - - + + - - + - + \tag{6}$$

와 같이 된다. 일반적으로 왈쉬 급수를 Hadamard 행렬식으로 표현할 때 비트값이 '3' 이라면

$$H_w(3) = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \end{bmatrix} \tag{7}$$

이 되므로 u행, v열의 비트값을 u_i, v_i라하면

$$\begin{aligned} (u)_{10} &= (\, u_{n-1}\, u_{n-2} \cdots\cdots u_1 u_0\,)_2 \\ (v)_{10} &= (\, v_{n-1}\, v_{n-2} \cdots\cdots v_1\, v_0\,)_2 \end{aligned} \tag{8}$$

가 된다. Hadamard $H_w(n)$의 각 요소의 값 $h_{uv}^{(w)}$는

$$h_{uv}^{(w)} = (-1)^{\sum_{i=0}^{n-1} r_i(u)\, v_i} \tag{9}$$

단, u, v=0, 1, ···, N−1

$r_0(u) = u_{n-1}$

$r_1(u) = u_{n-1} + u_{n-2}$

$r_2(u) = u_{n-2} + u_{n-3}$

.

.

$r_{n-1}(u) = u_1 + u_0$

와 같이 된다. 왈쉬 함수의 곱셈 특성은

$$WAL(n, t) \cdot WAL(m, t) = WAL(n \oplus m, t) \quad (10)$$

가 되며 여기서는 XOR를 의미한다. 그러므로 라드 급수나 왈쉬 급수를 XOR하면 어떠한 왈쉬급수 파형이라도 발생이 가능하지만 여기에서는 폐구간 [0, 1]를 7비트로 표현하여 128등분 함으로써 점호각 오차를 최소화 하였다.

Ⅲ. PWM 인버터의 점호각 계산 및 고조파 제거

그림 1의 반 브리지 인버터 회로에서 스위치 M_1, M_2의 점호각이 α_1, α_2, ···, α_k라 하면, 이상적인 단상 출력 파형은 그림 2와 같다.

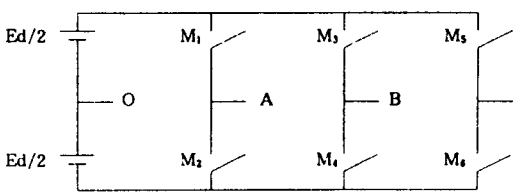


그림 1. PWM 인버터 기본회로
Fig. 1. Basic PWM inverter circuit.

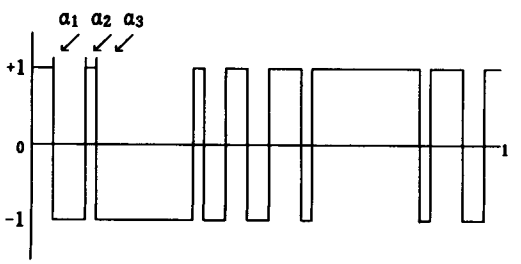


그림 2. 이론적인 PWM 인버터 출력파형
Fig. 2. Ideal PWM inverter output waveform.

그림 2의 파형을 왈쉬 급수로 전개하면

$$f(t) = a_0\, WAL(0, t) + \sum_{n=1}^{N-1} a_n\, WAL(n, t) \quad (11)$$

가 되며, 출력 파형이 반파대칭 기함수이므로

$$a_{2n-1} = \sum_{i=1}^{\kappa} W_{4i-3}\, B_{2n-1}\, WAL(4i-3, t) \quad (12)$$

단, $W_{4i-3} = \int_0^T f(t)\, WAL(4i-3, t)\, dt$

$$B_{2n-1}\, WAL(4i-3, t) = 4/\pi \int_0^{\frac{\pi}{4}} WAL(4i-3, t) \cdot SIN(2n-1)t\, dt$$

가 된다.

식 (12)를 5, 7, 11차 고조파만 제거할 경우에 대하여 정리하면

$$\begin{aligned} a_5 &= 10.6373\alpha_1 - 15.6685\alpha_2 + 6.7725\alpha_4 + 0.2883 \\ a_7 &= 13.4552\alpha_1 - 10.5347\alpha_2 - 9.3448\alpha_3 + 1.0909 \\ a_{11} &= 15.2154\alpha_1 - 9.0748\alpha_2 - 5.1322\alpha_3 - 0.6328 \end{aligned} \quad (13)$$

와 같은 선형 연립 방정식이 되며 해를 구하면

$\alpha_1 = 0.02612$, $\alpha_2 = 0.06915$, $\alpha_3 = 0.07640$

가 된다.

식 (13)에 의해서 구해진 점호각으로 스위칭하여 PWM 인버터의 출력파형은 WAL(1, t)를 이용하였기 때문에 128등분하여 각 항에 나타나는 진폭을 계산하여 표 1에 나타냈다. 표 1은 기본파를 기준으로 하여 128개의 각 왈쉬 성분을 시뮬레이션하면 WAL(4i−3, t)에 해당하는 부분이 출력되고 기타부분은 출력이 없음이 확인되었다.

Ⅳ. 하드웨어 구현과 시뮬레이션 및 Layout

3상 PWM 인버터 출력 파형을 발생시키기 위한 전체적인 블럭 다이어그램은 그림 3과 같이 구성하였다.

대칭성(duty cycle)을 이루기 위하여 플립-플럽을 사용하여 얻은 클럭 펄스를 그림 4(a)와 같이 3개의 플립-플럽을 통하여 120°씩 천이된 구형 펄스를 발생시킨다. 그림 4(b)에 이 회로의 시뮬레이션 결과를 보여주었다. 천이된 구형 펄스를 입력으로 하여 그림 5(a)와 같이

표 1. Walsh 급수의 저항 배율값
Table 1. Resistor multipling values of walsh series.

Col.	Mag.	Mul.	Col.	Mag.	Mul	Col.	Mag.	Mul.
1	-.73304	2	45	-.01696	43.2	89	-.08044	9.1
5	-.26696	4.7	49	-.01696	43.2	93	-.08044	9.1
9	-.15096	4.8	53	-.01696	43.2	97	.00164	446.9
13	-.15096	4.8	57	-.09904	7.4	101	.00164	446.9
17	-.15096	4.8	61	-.09904	7.4	105	.08044	9.1
21	-.26696	4.8	65	-.08044	9.1	109	.08044	9.1
25	-.26696	2.7	69	-.08044	9.1	113	.08044	9.1
29	-.09904	2.7	73	-.00164	446.9	117	.08044	9.1
33	-.26696	7.4	77	-.00164	446.9	121	.00164	446.9
37	-.09904	7.4	81	-.00164	446.9	125	.00164	446.9
41	-.01696	43.2	85	-.00164	446.9			

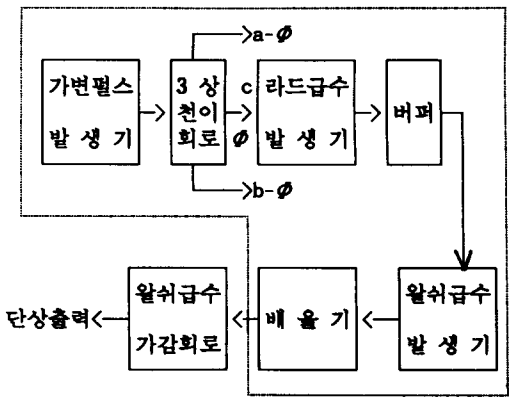
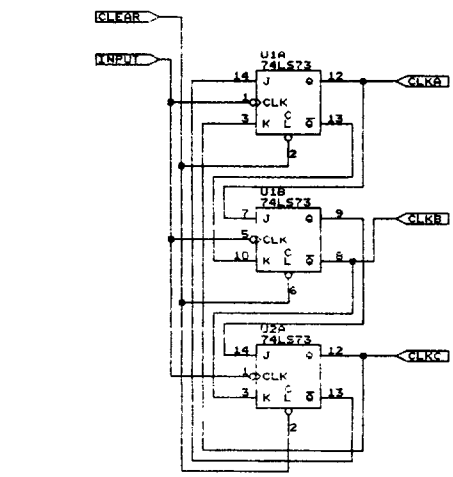
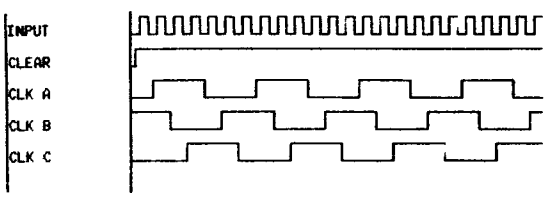


그림 3. 블럭 다이어그램
Fig 3. Block diagram.

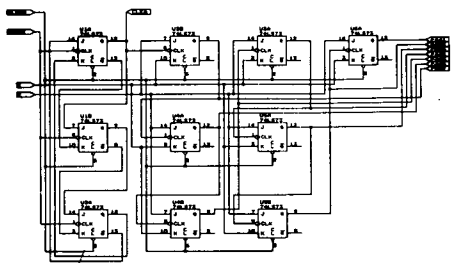


(a)

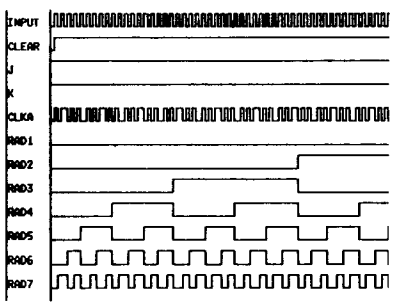


(b)

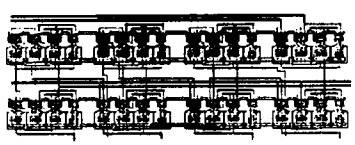
그림 4. 위상 천이 회로
(a) 회로
(b) 시뮬레이션 결과
Fig 4. Shift register.
(a) circuit,
(b) simulation waveform.



(a)



(b)

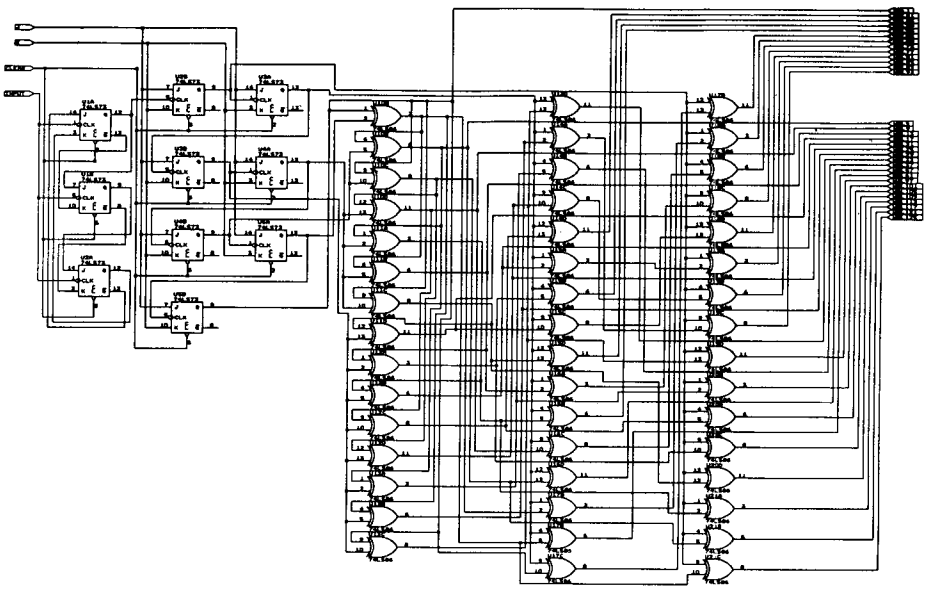


(c)

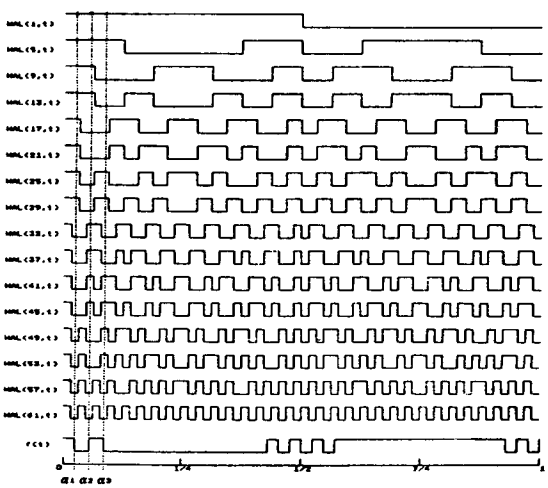
그림 5. 라드 함수 발생 회로
(a) 회로 (b) 시뮬레이션 결과
(c) Layout
Fig 5. Radmacher function generator.
(a) circuit, (b) simulation waveform,
(c) layout.

1-2-4-8로 비중지워진 16분주기를 이용하여 라드 급수 RAD(7, t)~RAD(1, t)를 발생하였다. 이 회로의 시뮬레이션 결과와 Layout이 그림 5(b)와 그림 5(c)에 도시되어 있다. 라드 급수를 이용하여 왈쉬 급수 파형을 발생시키는 회로가 그림 6(a)에 나타나 있다. 이에 대한 시뮬레이션 및 Layout 결과가 그림 6(b)와 그림 6(c)에 보여주고 있다.

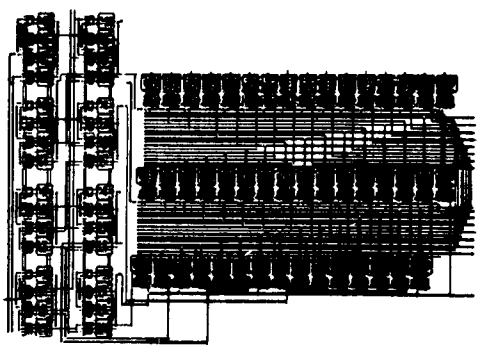
왈쉬 급수 파형발생용 하드웨어는 실시간으로 왈쉬 급수파형을 발생시키기 위하여 온-라인으로 신호전달이 이루어져야 하므로 왈쉬 급수 파형을 항상 일정하게 발생시키는 Harmuth array generator(HAG)를 사용하였다.[17] HAG는 WAL(n, t)에서 n값을 0~127 내에서 W_{4i-3}에 해당하는 32개의 왈쉬 급수를 얻게되며 7비트로 표현이 가능하므로 2진 분주기를 7개 사용하였다. 3상



(a)



(b)



(c)

그림 6. 왈쉬 함수 발생 회로
(a) 회로 (b) 시뮬레이션 결과 (c) Layout

Fig 6. Walsh function generator.
(a) circuit, (b) simulation waveform, (c) layout.

PWM 출력 파형을 발생시키기 위해서는 입력되는 클럭 펄스를 120°씩 천이시켜 입력한다.

상기의 표 1에서 WAL(1, t)의 진폭을 기준으로하여 W_{4i-3}에 해당하는 왈쉬 급수의 진폭값을 계산하였으며, 규준화된 저항을 통하여 해당 왈쉬 급수파형이 배율되도록 저항을 삽입하였다. 그림 7에 나타낸 바와 같이 저항값을 규준화하면 2.7kΩ, 4.8kΩ, 7.4kΩ, 43.2kΩ, 9.1kΩ, 446.9kΩ등 7종류의 저항값으로 나누어진다. 표 1에서 +와 −값을 가지는 항으로 구분하여 그림 7에 도시한 연산 증폭기에 입력함으로써 왈쉬 급수파형으로 조합된 PWM 인버터 출력 파형이 사진 1과 같이 발생된다. 이것의 스펙트럼을 분석한 결과 사진 2와 같이 5, 7, 11차 고조파가 제거됨을 볼 수 있다.

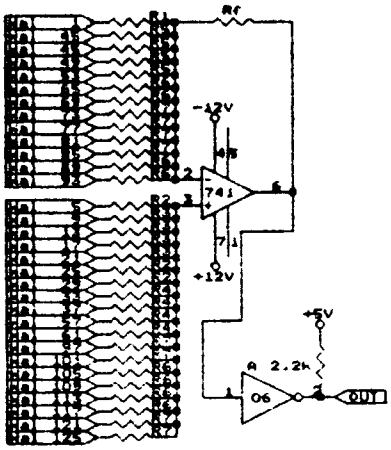
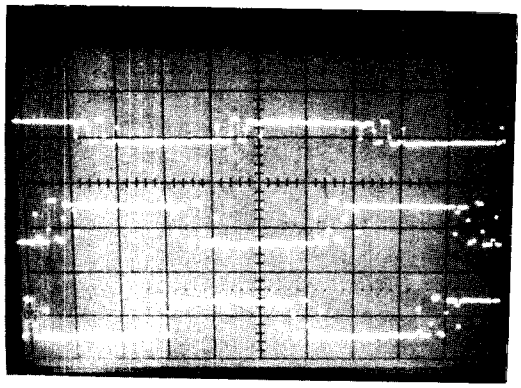
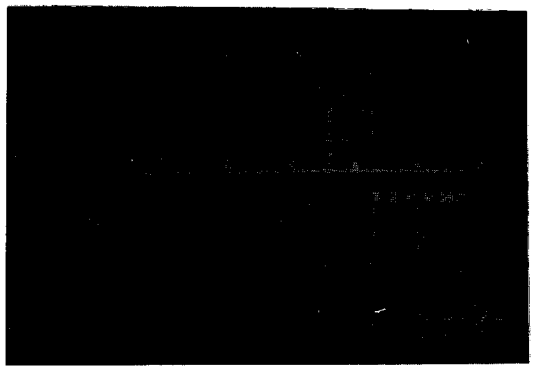


그림 7. PWM 파형 발생 회로
Fig 7. PWM waveform generator.



사 진 1. 정규화된 3상 PWM 인버터 출력 파형
Photo 1. Normalized 3-phase PWM inverter output waveforms.



사 진 2. PWM 인버터 출력파형의 스펙트럼
Photo 2. Spectra of PWM inverter output waveforms.

그림 8에 3상 PWM 인버터의 Layout을 도시하였다. 설계를 단순화 시키고 3상에 적용할 수 있도록 그림 3의 점선 부분을 Layout하였다.

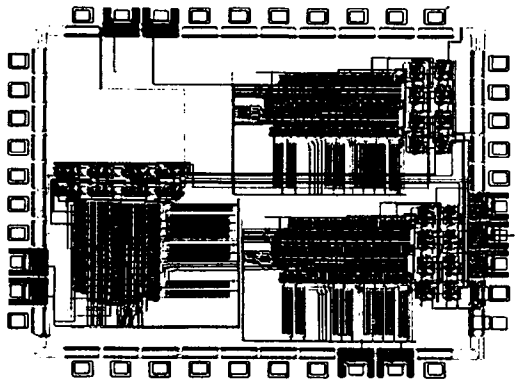


그림 8. 3상 PWM 인버터의 Layout
Fig. 8. PWM inverter layout.

이 Chip은 ISRC(서울대학교 반도체 공동연구소)의 1.5um n-well CMOS 공정 룰을 이용하여 Layout하였으며, die의 면적은 3mm×3mm이고, Pin의 수는 40개이다.

V. 결 론

Ordered orthogonal 함수인 왈쉬 급수를 이용하여 점호각을 계산하여 실시간 제어가 가능한 하드웨어를 구성하

였다. 이 하드웨어의 구성은 2분주 회로를 사용하여 라드 급수 파형을 얻고, 라드 급수 파형을 XOR하여 왈쉬 급수 파형을 발생시킨다.

왈쉬 급수 파형을 저항 배율기에 통과시켜서 필요한 진폭을 얻은 후 연산 증폭기의 가감 회로에 입력함으로써 임의의 고조파를 제거한 출력 파형을 발생시키게 된다.

또한, 단상회로와 똑같은 회로를 이용하여 3상회로에 입력할 클럭펄스를 120°씩 천이시켜 3상을 구현하였고, 시뮬레이션을 통하여 정확하게 동작함을 확인하였다.

본 논문에서는 이러한 구성을 갖는 회로를 1.5um 룰을 이용하여 면적이 3mm×3mm인 One-chip으로 IC화 하여 가격, 크기, 안정도, 수명 등이 우수한 PWM 인버터를 구현하였다.

앞으로 고조파가 제거된 대용량 PWM 인버터 개발의 연구가 지속적으로 이루어져야 할것이다.

參 考 文 獻

[1] T. L. GRANT, "Control strategies for PWM drives," *IEEE IA*-16, no. 2, Mar. 1980.

[2] D. A. GRANT, "A new high-quality PWM ac drive," *IEEE Conf. Rec. Ind. Appl. Soc.*, 1982.

[3] D. A. GRANT, "Technique for pulse dropping in pulse-width modulated inveters," *IEEE Proc.*, vol. 128, Pt. B, no. 1, Jan. 1981.

[4] D. A. GRANT, "The effect of word length on the harmonic content of microprocessor -based PWM waveform generators," *IEEE IA*-21, no. 1, 1985.

[5] D. A. GRANT, "Ratio changing in pulse-width-modulated inverters," *IEEE Proc.*, vol. 128, Pt. B, no. 5, 1981.

[6] D. A. GRANT, "Technique for pulse elimination in pulse-width modulation inverters with no waveform discotinuity," *IEEE PRO.*, vol. 129, Pt. B, no. 4, 1982.

[7] H. S. PATEL, "Generalized techniques of harmonic elimination and voltage control in thyristor inverters : Part Ⅰ-harmonic elimination," *IEEE IA*-9, no. 3, May 1973.

[8] H. S. PATEL, "Generalized techniques of harmonic elimination and voltage control in thyristor inverters : Part Ⅱ-voltage control thchniques," *IEEE IA*-10, no. 5, Sept. 1974.

[9] J. A. Asumadu and R. G. Hoft, "Microprocessor based sinusoidal waveform synthesis using Walsh and Related orthogonal functions," *IEEE Power Electronics Specialists Conference 18th Annual*, pp. 119-127, 1987.

[10] Jia-You Lee and York-Yih Sun, "Adaptive harmonics control in PWM inverters with fluctuating input voltage," *IEEE Trans. on IE*, vol. IE-33, no. 1, pp. 92-98, Nov. 1986.

[11] HOANG LE-HUY, "A microprocessor-controlled pulsewidth modulated inverter," *IECI '78 Proc. Industrial Appl. of Microprocessors*, pp. 20-22, Mar. 1978.

[12] F. G. Turnbull, "Selected harmonic reduction in static dc-ac inverter," *IEEE Trans. commun. Electron.*, vol. 83, pp. 374-378, 1964.

[13] D. A. GRANT, "A new high-quality PWM AC drive," *IEEE IA*-19, no. 2, Mar. 1983.

[14] S. R. BOWES. Ph. D., C. eng., M. I. Mech. E., M. I. E. E., "Computer-aided design of PWM inverter systems," *IEEE Proc.*, vol. 129, Pt. B, no. 1, Jan. 1982.

[15] S. R. BOWES, "Microprocessor control of PWM inverters," *IEEE Proc.*, vol. 128, Pt. B, no. 6, Nov. 1981.

[16] 조준익, 전병실, "왈쉬 급수를 이용한 새로운 PWM 인버터의 구현," 전자공학회논문지, 제 27권, 제 10호, pp. 124-129, 1990년 10월.

[17] 조준익 "왈쉬 함수를 이용한 PWM 인버터의 제어에 관한 연구," 전북대학교 대학원 박사학위 논문, pp. 44-48, 1989년 8월.

著 者 紹 介

金 大 翊 (正會員)
1969年 1月 23日生. 1991年 2月 전북대학교 공과대학 전자공학과 졸업. 1991年～현재 전북대학교 대학원 전자공학과 석사과정

鄭 鎭 泰 (正會員)
1960年 9月 14日生. 1986年 2月 전북대학교 대학원 전자공학과(석사). 1986年～1991年 금성산전(주) 연구소 근무. 1992年～현재 전북대학교 대학원 전자공학과 박사과정

李 昌 基 (正會員) 第29卷 B編 第8號 參照
현재 전북대학교 대학원 전자공학과 박사과정

趙 俊 翼 (正會員) 第27卷 第10號 參照
현재 군산대학교 수산대학 전자학과 교수

田 炳 實 (正會員) 第27卷 第10號 參照
현재 전북대학교 전자공학과 교수