

Exclusive-OR 最小化 技法에 의한 多值論理 函數의 構成 및 實現

(A Constructing Theory of Multiple-Valued Logic Functions based on
the Exclusive-OR Minimization Technique and Its Implementation)

朴 東 泳*, 金 興 壽**

(Dong Young Park and Heung Soo Kim)

要 約

SOP(sum-of-product)型 多值論理 函數는 OR 演算子를 exclusive-OR(XOR) 演算子로 代置함으로써 exclusive-sum-of-literal-product(ESOLP)型 多值論理 函數로 直接的으로 變換될 수 있다. 本 論文에서는 ESOLP型 多值論理 函數의 實現시 하드웨어의 크기와 回路의 複雜度를 最小化하기 위하여 主項(minterm)의 數를 줄일 수 있는 한가지 方法을 提案하였다. 부울 代數에서, 結合 可能한 主項들은 큐브(cube)를 形成하며, 만약 어떤 큐브들이 偽(false) 큐브(또는, 偽 主項)의 插入에 의해 隣接한 큐브와 큐브-사슬(또는, 主項-사슬)을 形成하면 生成된 큐브-사슬은 以前の 큐브를 包含하는 더 큰 큐브가 될 수 있다. 큐브 그룹핑의 結果로 主項의 數는 人爲的으로 줄어들 수 있었다. ESOLP型 多值論理 函數式은 MIN/XOR의 構造를 가지므로 簡略化된 函數式의 回路 實現을 위하여 XOR 回路와 4值 MIN/XOR 能動-CMOS PLA를 設計하고 提案한 알고리즘의 妥當性 確認을 위하여 PSPICE 시뮬레이션 結果值를 提示하였다.

Abstract

The sum-of-product type MVL (Multiple-valued logic) functions can be directly transformed into the exclusive-sum-of-literal-product(ESOLP) type MVL functions with a substitution of the OR operator with the exclusive-OR(XOR) operator. This paper presents an algorithm that can reduce the number of minterms for the purpose of minimizing the hardware size and the complexity of the circuit in the realization of ESOLP-type MVL functions. In Boolean algebra, the joinable true minterms can form the cube, and if some cubes form a cube-chain with adjacent cubes by the insertion of false cubes(or,false minterms), then the created cube-chain can become a large cube which includes previous cubes. As a result of the cube grouping, the number of minterms can be reduced artificially. Since ESOLP-type MVL functions take the MIN/XOR structure, a XOR circuit and a four-valued MIN/XOR dynamic-CMOS PLA circuit is designed for the realization of the minimized functions, and PSPICE simulation results have been also presented for the validation of the proposed algorithm.

*正會員, 國立 原州專門大學 事務自動化科
(Dept. of OA, Nat'l Wonju Tech., College)

接受日字 : 1992年 3月18日

**正會員, 仁荷大學校 電子工學科
(Dept. of Elec. Eng., Inha Univ.)

(※ 本 研究는 '91年度 仁荷大學校 自體研究費 支援에 의해 수행된 結果임.)

I. 序 論

論理函數를 式으로 나타내는 가장 간단한 方法은 基本的 論理 要素로서 AND와 OR 게이트를 사용하는 Sum of Product(SOP) 表現法이다. SOP로 表現된 函數는 2段 AND-OR 및 MIN/MAX 回路로 實現이 容易한 長點을 가지고 있으나, 回路 實現에는 많은 素子가 소요되며 동시에 回路의 複雜度가 증가하는 短點을 수반한다^[1]. 이에 반대 OR 演算子를 Exclusive-OR(XOR) 演算子로 直接的인 代置를 하여 exclusive-sum-of-literal-product(ESOLP)型 函數로 變換한 AND/XOR 및 MIN/XOR 回路는 回路 實現시 literal (리터럴)과 主項의 數가 줄어들어서 PLA 實現시 素子와 積項線의 數가 減少하는 長點과 아울러 演算速度가 느린 短點을 동시에 내포한다. 그러나, XOR게이트는 算術演算과 暗號化/復號化 回路에서 OR 게이트 보다 많이 사용되며 故障의 探知가 보다 容易한 利點을 제공하므로 최근 들어 ESOLP型 函數式의 리터럴과 LP의 數를 效果의으로 줄이는 方法들이 계속 發表되어 왔다^[2,3,4].

M. Perkowski^[2]는 多值入力の ESOLP型 函數를 부울 函數로 처리하여 {0,1}의 單一 出力을 Karnaugh-map 方法으로 變數 配列하고, 인접한 主項과의 變數 狀態에 따라 主項간의 그룹핑을 행하는 xlinking 方法으로 簡略化를 試圖하였다. T. Sasao^[3]는 多值入力/2值出力의 ESOLP型 函數의 特性-벡터를 行列 處理하는 L-變換 方法을 사용하 여 主項의 數를 簡略化하고자 하였다. 또한, T. Sasao^[4]는 M. Perkowski^[2] 에서와 같이 多值入力/2值出力의 ESOLP型 函數式을 Karnaugh-map 方法으로 變數를 配列하고 5가지 XOR 簡略化 規則을 適用하여 主項의 그룹핑을 행하였다. 그러나, T. Sasao^[3]는 行列式으로의 變換過程이 複雜하여 必然의인 電算處理가 要求되며, M. Perkowski^[2]와 T. Sasao^[4]는 근본적인 原理가 Karnaughmap 方法에 근거하므로 6變數 以上에서는 非效率의이다. 따라서, 本 論文에서는 計算過程이 비교적 복잡하지 않고 手算 및 電算 處理가 가능한 ESOLP型 函數式의 簡略化 方法과 이의 回路 實現을 위한 MIN/XOR 構造의 多值 PLA를 提案하였다.

本 論文의 構成은 다음과 같다. 2章에서는 ESOLP型 多值論理 函數의 表現法과 性質을 敘述하였으며, 3章에서는 本 論文에서 사용하는 用語를 定義하고 函數 簡略化를 위한 基本 定理의 性質을 論하였다. 4章에서는 ESOLP型 多值論理 函數의 簡略化 알고리즘을 提示하고 例題를 통하여 他 方法과 比較하였다. 5章에서는 ESOLP型 多值論理函數의 實現 方法으로서 MIN/XOR 構造의 多值 PLA를 提案하였으며, 實例의 函數를 4值 MIN/XOR 能動-CMOS PLA로 實現하고 PSPI-

CE 시뮬레이션 結果를 提示하였다^[11].

II. ESOLP型 多值論理 函數의 表現 方法과 性質

임의 한 變數 X_i 를 리터럴 函數로 表現하면 (1)과 같다.

$$X_i^S = \begin{cases} 1; & \text{if } X_i \in S, \\ 0; & \text{if } X_i \notin S \end{cases}$$

, 여기서 $\forall S \subseteq T = \{0, 1, 2, \dots, r-1\}$ 및 $i = 1, 2, 3, \dots, n$. (1)

r值 n變數의 多值論理 函數 $F_r(X_n, X_{n-1}, \dots, X_1)$ 을 SOP의 리터럴 函數로 表現하면 다음과 같다.

$$F_r(X_n, X_{n-1}, \dots, X_1) = \sum(C \prod_{i=1}^n (X_i^S), \quad (2)$$

여기서 $\forall S \subseteq T$ 및 $0 \neq C \in T$.

(2)의 SOP型 函數式을 ESOLP型 函數式으로 變換하는 方法은 OR 演算子를 XOR 演算子로 直接的인 代置를 함으로써 (3)과 같이 간단하게 變換할 수 있다^[2,3,4].

$$F_r(X_n, X_{n-1}, \dots, X_1) = \oplus \sum(C \prod_{i=1}^n (X_i^S), \quad (3)$$

여기서 $\forall S \subseteq T$ 및 $0 \neq C \in T$.

(3)에서 $P = C \prod_{i=1}^n X_i^S$ 일 때, 모든 P는 리터럴이 n積된 $C \neq 0$ 인 眞(true) 主項으로서 큐브(cube)를 構成한다. P로 構成된 큐브는 P의 係數에 따라 r-1 개의 C-配列(array) 構造로 分解가 가능하다. 즉, F_r 는 係數가 C인 主項으로 構成된 큐브의 C-配列로서 函數 F_r 의 部分 函數이다^[7].

$$F_r(X_n, X_{n-1}, \dots, X_1) = \oplus \sum_{i=1}^{r-1} F_{r_i}(X_n, \dots, X_{n-1}) \quad (4)$$

임의 리터럴 X_i^S 의 特性-벡터 S가 $\forall S_i, S_j, S_k \in T$ 라고 假定하면, (4)에서 C-配列의 主項을 구성하는 리터럴의 演算은 (5)의 XOR 演算 性質을 따른다.

$$X_i^{S_i} \oplus X_i^{S_j} = \begin{cases} 0, & \text{if } S_i = S_j \\ X^{S_k}, & \text{if } S_i \neq S_j; S_k = S_i \cup S_j \end{cases} \quad (5)$$

III. 定義와 定理

本 論文에서는 函數式 表現의 單純化를 위하여 定義 1과 같이 變數 X_i^S 의 S를 리터럴의 特性벡터(character-

istic-vector)로 定義하여 사용하였다. 이때 特性벡터는 (5)의 演算을 만족한다.

[定義 1]

$$X_n^{S_n} X_{n-1}^{S_{n-1}} \dots X_1^{S_1} : = (S_n, S_{n-1}, \dots, S_i, S_j, \dots, S_1). \quad (6)$$

[定義 2]

$(S_n, S_{n-1}, \dots, S_i, S_j, \dots, S_1)$ 을 두 개의 部分 特性벡터列 $RO=(S_n, S_{n-1}, \dots, S_i)$ 및 $CO=(S_j, \dots, S_1)$ 로 分割하고, 部分 特性벡터列 RO 와 CO 를 眞理表의 行 및 列上에 각각 2-次元 配列을 할 경우 行과 列의 特性벡터列을 세미콜론 記號로 구분하여 (行 特性 벡터列; 列 特性 벡터列) = $(S_n, S_{n-1}, \dots, S_i; S_j, \dots, S_1)$ 와 같이 表記한다.

큐브의 性質은 다음과 같다.

性質 1. $A_i, A_j \in RO$ 및 $B_i, B_j \in CO$ 일 때, $A_i = A_j$ 또는 $B_i = B_j$ 인 多數의 主項이 存在할 때 이 主項들은 結合可能하다고 말하며, 이 主項들의 結合은 큐브를 이룬다.

例로써, $(X, Y; Z)$ 로 2次元 配列된 3值 3變數의 두 主項 $(0, 1; 2)$ 와 $(0, 1; 1)$ 는 큐브 $(0, 1; \{1, 2\})$ 로 結合이 가능하다.

性質 2. 多數의 큐브가 $C \neq 0$ 인 한개 이상의 眞 主項들을 共有할 경우에, 큐브와 큐브의 結合은 이전 큐브의 特性을 保全한 채 새로운 큐브를 形成한다.

性質 3. 두개 이상의 큐브가 僞 主項을 共有하면서 結合되었을 때, 큐브는 사슬로 묶였다고 말한다.

[定義 3]

큐브의 사슬을 主項-사슬 또는 큐브-사슬이라 한다.

2次元 配列된 큐브의 主項이 正(또는, 直)四角形의 C-配列을 이루는 가장 간단한 構造는 4개의 主項으로 構成된 경우로서 이는 (7)과 같다.

$$(A_i; B_i) \oplus (A_j; B_j) \oplus (A_k; B_k) \oplus (A_l; B_l) = (A_i; \{B_i, B_j\}) \oplus (A_j; \{B_i, B_j\}) = (\{A_i, A_j\}; \{B_i, B_j\}). \quad (7)$$

[定理 1]

큐브의 主項이 正(또는, 直)四角形의 C-配列 構造를 이루는 경우에, 서로 다른 頂点(vertex)의 主項을 포함하는 큐브의 두 邊이 다른 한 頂点의 主項을 共有할 때, 큐브의 두 邊에서 共有 頂点 主項 成分을 제거하면, 큐브의 殘餘 頂点 主項을 포함하는 다른 두 邊의 主項 特性-벡터列 成分을 구할 수가 있다.

[證明]

$\{A_i, \dots, A_j\} \in RO$ 및 $\{B_i, \dots, B_j\} \in CO$ 인 경우, V_1 과 V_2 는 서로 다른 頂点의 主項을 포함하는 큐브의 邊이고 V_3 가 두 邊의 共有 主項이라 할 때 V_1 과 V_2 가 V_3 를 共有한다면, 두 邊과 共有 頂点은 각각 $V_1 = (A_i; \{B_i, \dots, B_j\})$, $V_2 = (\{A_i, \dots, A_j\}; B_i)$ 및 $V_3 = (A_i; B_i)$ 라 나타낼 수 있다. 이때 큐브의 두 邊에서 共有 頂点 主項 成分을 除去하면, $V_1 - V_3 = (0; \{B_{i+1}, \dots, B_j\})$ 및 $V_2 - V_3 = (\{A_{i+1}, \dots, A_j\}; 0)$ 이므로 큐브의 다른 한 頂点 主項을 포함하는 殘餘 두 邊의 主項 特性벡터列 成分은 두 邊의 主項 成分에서 共有 頂点 成分의 差의 合成 $(V_2 - V_3; V_1 - V_3)$ 이다. (8)에서 큐브의 잔여 頂点은 主項 $(A_j; B_j)$ 이다.

$$(V_2 - V_3; V_1 - V_3) = (\{A_{i+1}, \dots, A_j\}; \{B_{i+1}, \dots, B_j\}). \quad (8)$$

證明 끝.

[定理 2]

큐브의 主項이 正(또는 直)四角形의 C-配列을 이룰 때, 임의 對角線 상의 두 頂点 主項을 포함하는 큐브의 邊 成分을 알면 나머지 두 頂点 主項을 포함하는 큐브의 殘餘 邊 成分을 구할 수 있다.

[證明]

L, M, N 및 O 는 큐브의 主項列 正(또는, 直)四角形의 頂点을 각각 한개씩 포함하는 큐브의 邊 成分 主項이고 $\{A_i; \{B_i, \dots, B_j\}\}$, $(\{A_i, \dots, A_j\}; B_i) \in L$ 와 $(\{A_i, \dots, A_j\}; B_j)$, $(A_j; \{B_i, \dots, B_j\}) \in N$ 로 나타낼 수 있다. 이때 $A_i \neq A_j$ 및 $B_i \neq B_j$ 인 條件을 만족하면 두 頂点 L 과 N 은 對角線上에 位置하며, 특정 對角線을 包含하는 큐브의 主項列 正(또는, 直)四角形은 唯一하다. 또한, 對角線 상의 두 頂点은 $L = (A_i; \{B_i, \dots, B_j\})$ 및 $N = (\{A_i, \dots, A_j\}; B_j)$ 일 경우는 L 의 列 成分 $\{B_i, \dots, B_j\}$ 를 N 의 列 成分 B_j 로 列 變化한 $(A_i; B_j)$ 와 L 의 行 成分 A_i 를 N 의 行 成分 $\{A_i, \dots, A_j\}$ 로 行 變化한 $(\{A_i, \dots, A_j\}; \{B_i, \dots, B_j\})$ 이다. 또한, $L = (A_i; \{B_i, \dots, B_j\})$ 와 $N = (A_j; \{B_i, \dots, B_j\})$, $L = (\{A_i, \dots, A_j\}; B_i)$ 와 $N = (\{A_i, \dots, A_j\}; B_j)$, $(\{A_i, \dots, A_j\}; B_i)$ 와 $(\{A_i, \dots, A_j\}; B_j)$, 그리고 $(A_j; B_i)$ 와 $(\{A_i, \dots, A_j\}; \{B_i, \dots, B_j\})$ 로 구해진다. 證明 끝.

IV. 簡略化 알고리즘과 他 方法과의 比較

本 論文에서 提示하고자 하는 ESOLP型 多值論理 函數의 簡略化 技法은 ESOLP型 函數式에서 主項의 數를 줄이는데 그 目的이 있다. 이를 위해 다른 큐브를 포함하는 보다 큰 큐브-사슬을 人工적으로 生成하여 큐브의 수

를 줄이고자 하였다. 本 論文에서 提案하는 ESOLP型 多值論理 函數의 簡略化 5段階 節次는 다음과 같다.

節次 1. SOP函數式을 ESOLP型 函數式으로 變換한다.

節次 2. F_r 을 C-配列 큐브로 分解하고, 각 C-配列 큐브에 대하여 節次 3, 4 및 5를 實行한다.

節次 3. 主項을 特性 벡타列로 表記한다.

節次 4. 각 C-配列 큐브에 대하여 偶數回 插入 가능한 큐브의 頂点(또는, 頂点을 포함하는 邊)을 計算하여 큐브-사슬을 構成한다.

4-1. 行과 列 上에서 最大로 結合 가능한 모든 큐브를 形成한다.

4-2. 모든 큐브의 特性 벡타를 比較하여 偶數回 插入 가능한 偽큐브를 索出한다.

4-2-1. 共有 큐브(또는, 主項)를 包含하는 큐브를 짝짓는다.

짝짓기는 大括弧를 사용하여 [cube1, cube2]로 表記한다.

4-2-2. 짝지워진 큐브數에서 共有 큐브(또는, 主項)를 除去하고 殘餘벡타 元素로부터 殘餘 큐브를 구한다. 단, 큐브雙의 元素가 모두 削除된 경우는 削除 前의 元素를 殘餘벡타 元素로 한다.

4-2-3. 同一 殘餘 큐브가 偶數回 發生된 큐브만 索出 한다.

4-3. 큐브 사슬에 未包含된 主項을 索出하여 定理 2의 方法으로 對角線上의 殘餘頂点 또는 頂点을 包含하는 邊成分을 구하여 偶數回 插入시킨다.

節次 5. 插入 큐브를 선정하여 簡略化된 函數式을 구한다.

節次 4-1에서 큐브-그룹핑에 의해 生成된 큐브의 表記는 定義 2를 따르며, 同一變數에 대한 여러개의 서로 다른 特性벡타들은 集合記號 속에 記호를 사용하여 結合되었음을 표기한다.

例로써, 任意 函數의 眞理表가 그림 1과 같이 주어질 경우 本 論文에서 提案한 函數簡略化 節次를 適用하면 다음과 같다.

節次 3 :

$$F_{42}(X_2, X_1) = 2 \cdot [(0:0) \oplus (0:1) \oplus (0:1) \oplus (0:2) \oplus (1:0) \oplus (1:1) \oplus (1:3) \oplus (3:2) \oplus (3:3)],$$

$$F_{41}(X_2, X_1) = 1 \cdot [(0:3) \oplus (3:0)].$$

節次 4 :

		X_2			
		0	1	2	3
X_1	0	2	2	0	1
	1	2	2	0	0
	2	2	0	0	2
	3	1	2	0	2

그림 1. $F_4(X_2, X_1)$ 의 C-配列 큐브
Fig. 1. C-array cubes for $F_4(X_2, X_1)$.

4-1 : 큐브 結合으로 生成된 큐브

$F_{41}(X_2, X_1)$: 無.

$F_{42}(X_2, X_1)$: $(0 : \{0,1,2\}), (1 : \{0,1,3\}), (3 : \{2,3\}),$
 $(\{0,1\} : \{0,1\}), (\{0,3\} : 2), (\{1,3\} : 3).$

4-2-1 : 共有 큐브를 包含한 큐브의 짝짓기

$F_{42}(X_2, X_1)$: $[(0 : \{0,1,2\}), (\{0,1\} : \{0,1\})], [(0 : \{0,1,2\}), (\{0,3\} : 2)],$
 $[(1 : \{0,1,3\}), (\{0,1\} : \{0,1\})], [(1 : \{0,1,3\}), (\{1,3\} : 3)],$
 $[(3 : \{2,3\}), (\{0,3\} : 2)], [(3 : \{2,3\}), (\{1,3\} : 3)].$

4-2-2 : 共有 큐브의 削除 및 殘餘 큐브의 抽出

$[0 : \{0,1,2\}), (\{0,1\} : \{0,1\})] : = (1 : 2),$
 $[0 : \{0,1,2\}), (\{0,3\} : 2) : = (3 : \{0,1\}),$
 $[1 : \{0,1,3\}), (\{0,1\} : \{0,1\})] : = (0 : 3),$
 $[1 : \{0,1,3\}), (\{1,3\} : 3) : = (3 : \{0,1\}),$
 $[3 : \{2,3\}), (\{0,3\} : 2) : = (0 : 3),$
 $[3 : \{2,3\}), (\{1,3\} : 3) : = (1 : 2).$

4-2-3 : 偶數回 插入 可能 큐브

$F_{42}(X_2, X_1)$: $(1:2), (3:\{0,1\})$ 및 $(0:3)$.

4-3 : 큐브-사슬에 未包含된 主項의 그룹핑

$F_{41}(X_2, X_1)$: $(0:3), (3:0) : = (0:0), (3:3)$.

節次 5 : 簡略化 函數式의 表現

$$F_{41}(X_2, X_1) = F_{41}(X_2, X_1) \circ F_{42}(X_2, X_1)$$

$$\langle F_{41}(X_2, X_1) \rangle$$

① $(3:3)$ 選擇시

$$F_{41}(X_2, X_1) = 1 \cdot [(0:3) \oplus (3:0)] \oplus 1 \cdot [(3:3) \oplus (3:3)]$$

$$\cdot 1 \cdot [\{0,3\}, 3] \circ (3:\{0,3\})$$

② $(0:0)$ 選擇시

$$F_{41}(X_2, X_1) = 1 \cdot [(0:3) \oplus (3:0)] \oplus 1 \cdot [(0:0) \oplus (0:0)]$$

$$\cdot 1 \cdot [\{0,3\}, 0] \circ (0:\{0,3\})$$

$\langle F_{42}(X_2, X_1) \rangle$

		X ₂			
		0	1	2	3
X ₁	0	2	2	0	0
	1	2	2	0	0
	2	2	0	0	2
	3	0	2	0	2

(a)

		X ₂			
		0	1	2	3
X ₁	0	0	0	0	1
	1	0	0	0	0
	2	0	0	0	0
	3	1	0	0	0

(b)

그림 2. F₄(X₂, X₁)의 C-配列 큐브

- (a) 2-配列 큐브
- (b) 1-配列 큐브

Fig. 2. C-array cubes for F₄(X₂, X₁).

- (a) Cubes of 2-array,
- (b) Cubes of 1-array.

① (0:3) 選擇시

$$F_{42}(X_2, X_1) = 2 \cdot [(1:\{0,1,3\}) \oplus (\{0,1\};\{0,1\})] \oplus 2 \cdot [(3:\{2,3\}) \oplus (\{0,3\};2)]$$

$$= 2 \cdot [(\{0,1\};\{0,1,3\}) \circ (\{0,3\};\{2,3\})]$$

② (1:2) 選擇시

$$F_{42}(X_2, X_1) = 2 \cdot [(0:\{0,1,2\}) \oplus (\{0,1\};\{0,1\})] \oplus 2 \cdot [(3:\{2,3\}) \oplus (\{1,3\};3)]$$

$$= 2 \cdot [(\{0,1\};\{0,1,2\}) \circ (\{1,3\};\{2,3\})]$$

③ (3:{0:1}) 選擇시

$$F_{42}(X_2, X_1) = 2 \cdot [(0:\{0,1,2\}) \oplus (\{0,3\};2)] \oplus 2 \cdot [(1:\{0,1,3\}) \oplus (\{1,3\};3)]$$

$$= 2 \cdot [(\{0,3\};\{0,1,2\}) \circ (\{1,3\};\{0,1,3\})]$$

따라서, 그림 1의 簡略化된 函數式은 위에서 구한 2개의 F₄₁과 3개의 F₄₂중에서 각각 임의의 한 式을 選擇함으로써 구할 수 있다. 그림 3은 위에서 구한 頂点(또는, 頂点을 包含하는 邊)을 偶數回 插入하여 구한 큐브-사슬이다.

表1의 例를 他 方法^[1,2,3,4]과 比較하여 보면, T.Sasao^[11]에서는 4개의 리터럴 SOP가 그림 4 및 (9)와 같이 구해진다.

$$F_{41}(X_2, X_1) = (\{0,3\};\{0,3\}),$$

$$F_{42}(X_2, X_1) = (\{0;\{0,1,2\}\} : (\{1;\{0,1,3\}\} : (3;\{2,3\})).$$

(9)

M.Perkowski^[2] 方法은 {0,1}의 單一出力에 대하여 Karnaugh-map 方法과 같이 變數가 한 變數씩만 變하도록 變數를 配列한 뒤에 인접한 主項과 xlinking을 실시하여 簡略化를 行하였으며 이는 그림 5와 (10)과 같다.

		X ₂			
		0	1	2	3
X ₁	0	0	0	0	1
	1	0	0	0	0
	2	0	0	0	0
	3	1	0	0	0

(a)

		X ₂			
		0	1	2	3
X ₁	0	0	0	0	1
	1	0	0	0	0
	2	0	0	0	0
	3	1	0	0	0

(b)

		X ₂			
		0	1	2	3
X ₁	0	2	2	0	0
	1	2	2	0	0
	2	2	0	0	2
	3	2	2	0	2

(c)

		X ₂			
		0	1	2	3
X ₁	0	2	2	0	0
	1	2	2	0	0
	2	2	0	0	2
	3	0	2	0	2

(d)

		X ₂			
		0	1	2	3
X ₁	0	2	2	0	0
	1	2	2	0	0
	2	2	0	0	2
	3	0	2	0	2

(e)

그림 3. F₄(X₂, X₁)에 대한 C-配列 큐브의 큐브-사슬.

- (a) 1-配列 큐브①
- (b) 1-配列 큐브②
- (c) 2-配列 큐브①
- (d) 2-配列 큐브②
- (e) 2-配列 큐브③

Fig. 3. Cube-chains for C-array cubes of F₄(X₂, X₁).

- (a) 1-array cube①,
- (b) 1-array cube②,
- (c) 2-array cube①,
- (d) 2-array cube②,
- (e) 2-array cube③.

		X ₂			
		0	1	2	3
X ₁	0	2	2	0	0
	1	2	2	0	0
	2	2	0	0	2
	3	0	2	0	2

(a)

		X ₂			
		0	1	2	3
X ₁	0	x	x	0	1
	1	x	x	0	0
	2	x	0	0	x
	3	x	x	0	x

(b)

그림 4. T. Sasao^[11]의 SOP 簡略化.

- (a) 2-配列 큐브
- (b) 1-配列 큐브

Fig. 4. The SOP minimization of T.Sasao^[11].

- (a) 2-array cube,
- (b) 1-array cube.

표 1. 시뮬레이션에 사용된 MOS 파라메타^[5,6]

Table 1. MOS parameters^[5,6] used in simulation.

Item	NMOS	PMOS	Item	NMOS	PMOS	Item	NMOS	PMOS
LEVEL	3	3	TPG	1	1	VTO	0.70	0.78
PHI	0.762	0.7	KP	4.48E-5	4.3E-5	THETA	0.067	0.09
NSUB	4.1E16	6.5E15	TOX	2.5E-8	3.8E-8	NFS	1E10	1E10
LD	1.8E-7	2.8E-7	JS	1.5E-5	1.5E-5	RSH	30	64
MJ	0.93	0.502	CJSW	7.61E-10	3.12E-12	MJSW	0.28	0.325
CGSO	2.4E-10	3.55E-10	CGDO	2.4E-10	3.55E10	CGBO	3.4E-10	3.4E-10
GAMMA	0.70	0.75	VMAX	5E4	4E5	XJ	6.1E-7	4E-7
CJ	3.46E-4	1.6E-4	PB	0.74	0.74	XQC	1	1

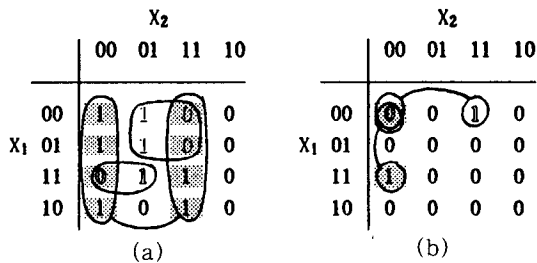


그림 5. M. Perkowski^[2]의 xlinking 簡略化.^[2]

(a) 1-配列 큐브①

(b) 1-配列 큐브②

Fig. 5. The xlinking minimization of M. Perkowski^[2].

(a) 1-array cube ①,

(b) 1-array cube ②.

$$\textcircled{1} F_{42}(X_2, X_1) = (\{0, 3\}; -) \circ (\{0, 1\}; 3) \circ (\{1, 3\}; 0, 1)$$

(“-”, 은 don't care項)

$$\textcircled{2} F_{41}(X_2, X_1) = (0; \{1, 3\}) \circ (\{0, 3\}; 0), \langle \text{또는}, (3; 0, 3) \circ (\{1, 3\}; 3) \rangle. \quad (10)$$

T.Sasao^[3,4]는 본 방법과 同一한 結果가 豫상된다. 그러나, T.Sasao^[3]에서는 L-變換行列式을 利用하여 optimal expansion을 구함으로써 計算 過程이 複雜하여 手算보다는 電算處理에 보다 適合한 方法이다. T.Sasao^[4]는 M.Perkowski^[2]와 같이 {0,1}의 單一出力을 利用하여 Karnaugh-map 方法과 같이 變數를 한 變數씩만 變하도록 配列한 뒤에 5가지 簡略化 規則을 반복적으로 적용하였으나, Karnaugh-map 方法은 6變數 以上에서 非效率的이라는 短點을 내포하고 있다. 本 論文이 提案한 方法은 計算 過程이 비교적 복잡하지 않으므로 手算 및 電算化 處理가 同時에 可能하다고 사료된다.

V. 回路實現 및 시뮬레이션

本 論文에서는 多值論理 函數의 回路實現을 위하여 簡略化된 函數式을 MIN-XOR構造의 4值 PLA로 實現하였다. 提示된 多值 PLA는 F.J.Pelayo^[5]가 提案한 Literal Generator(LG) 回路를 使用하여 MIN回路는 電壓모드로 動作하고 XOR回路는 電流모드로 動作하는 電壓-電流 混合모드 方式을 使用하였다. 本 MIN/XOR PLA는 LG回路-MIN 平面-XOR 平面의 構造를 갖는다. CMOS素子로 實現한 MIN/XOR PLA의 일반적인 回路圖와 使用된 클럭 信號의 타이밍圖는 그림 6과 같다. 그림 6에서 MIN 平面의 LG回路는 入力電流의 分턱(threshold)值에 對應하는 電壓을 出力하며, LG 回路의 r개 리터럴 變數出力段에는 簡略化된 리터럴 積項數와 같은 數의 積項線 상에 리터럴 特性-벡터를 MOS素子로 AND連結시켜 特性-벡터의 結合을 나타내었다. 이것을 n 變數에 대하여 擴張하면 각 積項線은 MIN演算에 의한 電壓모드로 動作하게 된다. MIN/XOR PLA의 XOR 平面을 構成하는 XOR게이트는 絶對差(absolute difference)回路에 의해 구해진다. 즉, 電流發生回路에 의해 발생된 임의의 두 積項線의 出力電流를 C_a, C_b 라 하면 出力 C_0 는 切斷差分(bounded-difference) 方程式에 의해 (11)과 같이 表現될 수 있다.

$$C_0 = (C_a \& C_b) + (C_k \& C_i) \quad (11)$$

$$\text{단, } C_a \& C_b = C_a - C_b, \text{ if } C_a \geq C_b$$

$$= 0, \text{ if } C_a < C_b$$

$$\text{, 여기서 } \forall C_a, C_b \in \{C_k, C_i\}.$$

즉, (11)에서 $C \in T$ 일 때 $C_i, C_k, C_0 \in \{0, C\}$ 이므로 $C_i = C_k$ 인 경우는 $C_0 = 0$ 이며, $C_i \neq C_k$ 인 경우는 C 가 出力되므로 結果적으로 XOR 演算을 실행할 수 있다. XOR

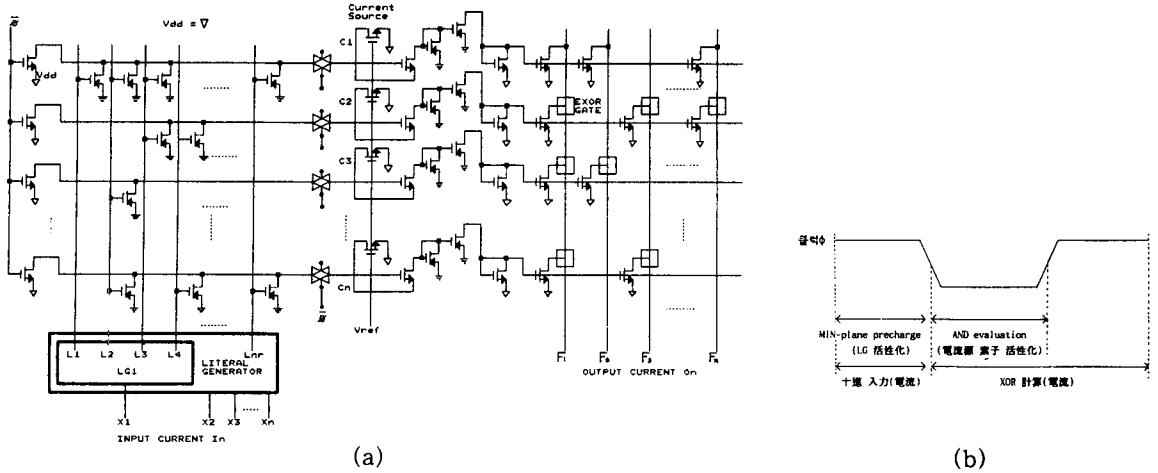


그림 6. MIN/XOR 능동-CMOS PLA 회로의 구조와 타이밍圖

Fig. 6. A structure of MIN/XOR dynamic-CMOS PLA and its timing chart.

(a) PLA plane, (b) timing chart.

演算 회로를 CMOS로 實現하면 그림 7과 같다. 提案한 MIN/XOR PLA의 動作 檢證을 위하여 本 論文에서는 임의의 簡略化 函數式

$$F_i(X_i) = 1X_i^{0,1} \oplus 2X_i^2 \quad (12)$$

에 대하여 그림 6과 같은 構造의 4值 MIN/XOR dynamic CMOS PLA를 構成하고, PSPICE프로그램으로 시뮬레이션을 施行하였다. 즉, (12)의 PLA는 리터럴 積項이 2개이므로 積項線 2개가 소요되며, 變數가 1개이므로 4值의 LG回路 1개가 要求된다. 이때, (12)의 첫번째 리터럴 積項은 MIN平面상의 한 積項線에 LG回路의 論理 레벨值인 0,1,2,3 出力線 중에서 0과 1이 AND 連結되었으며, 두번째 리터럴 積項은 다른 한 積項線에 LG回路의 네 出力線 중 2에 대한 出力線과 AND 連結되었다. 또한 (12)의 두 積項線에서 MIN회로의 出力은 4개의 論理 레벨에 해당되는 電壓值이므로 MIN회로와 XOR 회로 사이의 電流發生回路에서 PMOS素子の W/L 比를 調整하여 두 리터럴 積項의 係數에 해당하는 論理 레벨值인 1과 2에 해당하는 電流를 發生하도록 하였다. 結論으로, XOR 平面에서는 그림 7의 XOR 素子를 사용하여 두 리터럴 積項 係數의 XOR 演算을 施行하였다. (12)에 대한 PSPICE 시뮬레이션 結果는 그림 8과 같으며, 本 시뮬레이션에서 사용한 MOS 파라메타는 表 1과 같다.^[5,6]

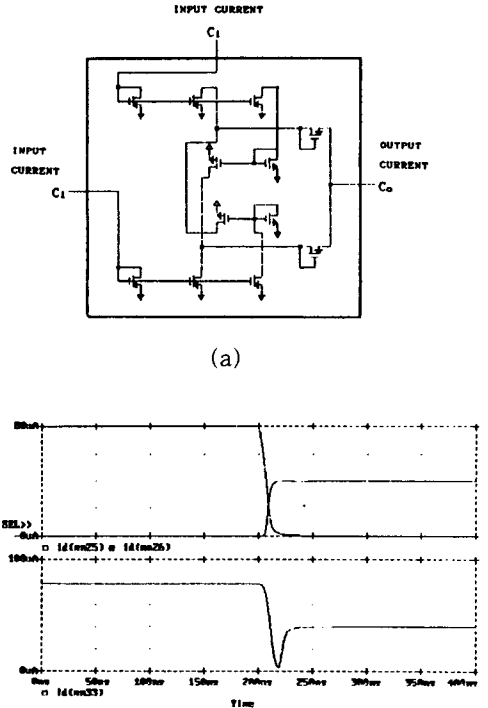


그림 7. XOR 회로의 CMOS 實現과 PSPICE 시뮬레이션 結果

Fig. 7. CMOS implementation and PSPICE simulation results of the XOR circuit.

(a) CMOS circuit, (b) input current, (c) output current.

표 2. 最近에 發表되었던 多值 PLA들의 主要 特性

Table 2. Main characteristics of MVL PLAs announced recently.

區分	Tirumalai & Butler ^[8]	Kuo & Fang ^[9]	Sasao ^[11]	Kerkhoff & Butler ^[10]	Pelayo & Ortega ^[5]	This paper
演算子	AND/OR/MAX /SUM/TSUM	MIN/MAX	MIN/MAX	MIN/TSUM	NOR/TSUM	MIN/XOR
積平面 크기	$nk(2^r-1)$	$k*(nr+r-2)$	$k(nr+r-2)$	kn	$nr+m$	$nr+m$
使用 技術	CCD	-	Bipolar	P2CCD	MOS	MOS
리터럴/變數	2^r	r	r	Programmable	r	r
註釋	k*=正規表現 函數의 主項總數, m=出力線, n=變數數 r=radix.					

本 시뮬레이션에서는 論理레벨 0,1,2 및 3에 대한 入力 電流值를 각각 $0\mu A$, $20\mu A$, $40\mu A$, $80\mu A$ 로 사용하였으며, 이때 각 論理레벨의 문턱值는 $10\mu A$, $30\mu A$, $60\mu A$ 및 $80\mu A$ 以上으로 하였다.^[5] Dynamin CMOS PLA의 클럭 遷移 동안에 測定된 最大遲延 時間은 $10nS$ 이다. 채널의 사이즈는 LG 回路과 電流發生回路에서는 部分的 可變으로 하였으며, 其他 回路에서는 L과 W를 $6.0\mu m$ 로

하였다. 즉, 그림 6에서 MIN平面과 XOR平面 사이의 電流發生用 PMOS 素子는 채널의 W/L를 $4.5\mu m/6.0\mu m$, $9.0\mu m/6.0\mu m$ 및 $13.5\mu m/6.0\mu m$ 로 할 때 각각 $20\mu A$, $40\mu A$, $80\mu A$ 의 電流를 發生한다. 電壓 V_{DD} 와 V_{ref} 는 각각 $5V$ 와 $2V$ 로 하였다. 앞서 발표되었던 PLA 構造에 대한 主要 特性을 本 方法과 比較하면 表 2와 같다.^[5]

VI. 結 論

本 論文에서는 ESOLP型 函數로 變換된 多值論理 函數에 대하여 人爲的으로 큐브(또는 主項)을 插入하여 큐브-사슬을 生成하는 方法으로 主項의 數를 줄이는 函數 簡略化 方法을 提示하였다. 즉, 插入된 偽 큐브(또는 偽 主項)에 의해 生成된 큐브-사슬은 多數의 큐브를 包含하며, 以前의 큐브 特性을 保全하면서도 以前 보다 더 큰 큐브가 된다. 따라서, 큐브의 그룹핑으로 多數의 작은 큐브들로 보다 적은 數의 큰 큐브를 形成시킴으로써 큐브의 數는 줄어들 수 있었고, 큐브의 配列 構造에 따라서는 큐브 그룹핑으로 리터럴의 數도 줄어들 수 可能性이 있었다. 多值論理 函數의 PLA 實現 時 主項 數의 減少는 積項線 數의 減少를 의미하며, 리터럴의 簡略化는 MIN 平面에서 連結 노드의 減少와 관계된다. 따라서, 전체 H/W의 크기, 回路의 複雜度 및 故障 發生率을 줄이기 위해서는 主項 數와 리터럴 數의 縮小가 必然的이며, 이의 해결을 위한 試圖로서의 本 方法과 他 方法^[2,3,4]은 XOR 演算이 요구되는 각종 算術 演算 回路과 테스트가 容易한 回路의 設計에 利用될 수 있을 것으로 기대된다.

끝으로, ESOLP型 多值論理函數의 回路 實現을 위하여 電壓-電流모드 方式의 MIN/XOR PLA를 提案하였으며, 任意 選定한 ESOLP型 函數를 4值 能動-CMOS PLA로 回路 實現하고 PSPICE로 시뮬레이션을 實行한 結果가 提示된 理論을 만족시킴을 알 수 있다.

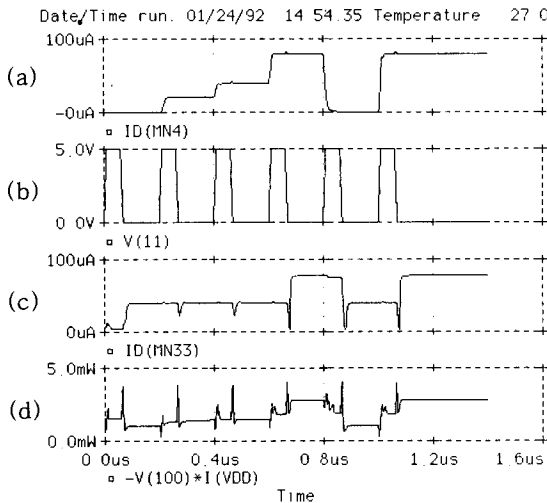


그림 8. 4值 MIN/XOR 能動-CMOS PLA로 實現한 (12)의 PSPICE 시뮬레이션 結果

- (a) 入力 電流, (b) 클럭 信號
- (c) 出力 電流 (d) 消費 電力

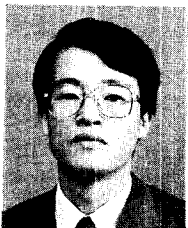
Fig. 8. PSPICE-simulation results of (12) implemented in four-valued MIN/XOR dynamic-CMOS PLA.

- (a) input current, (b) clock signal,
- (c) output current, (d) power consumption,

參 考 文 獻

- [1] Tsutomu Sasao, "On the optimal design of multiple-valued PLA's," in Proc. 16th Int. Symp. Multiple-Valued Logic, IEEE Computer Society, pp. 214-222, 1986.
- [2] M. Perkowski, M. Helliwell, and Pan Wu, "Minimization of multiple-valued input multi-output mixed-radix exclusive sums of products for incompletely specified boolean functions," in Proc. 19th Int. Symp. Multiple-Valued Logic, IEEE Computer Society, pp. 256-263, 1989.
- [3] Tsutomu Sasao, "A transformation of multiple-valued input two-valued output functions and its application to simplification of exclusive-OR sum-of-products expressions," in Proc. 21th Int. Symp. Multiple-Valued Logic, IEEE Computer Society, pp. 270-279, 1991.
- [4] Tsutomu Sasao, "EXMIN: A simplification algorithm for exclusive-OR-sum-of-products expressions for multiple-valued input two-valued output functions," in Proc. 20th Int. Symp. Multiple-Valued Logic, IEEE Computer Society, pp. 128-135, 1990.
- [5] F. Pelayo, A. prito, A. Lloris, and J. Ortega, "CMOS current-mode multivalued PLA's," *IEEE Trans. on Circuits and Systems*, vol. 38, pp. 434-441, Apr. 1991.
- [6] M. Sasaki, T. Inoue, Y. Shirai, and F. Ueno, "Fuzzy multiple-input maximum and minimum circuits in current mode and their analyses using bounded-difference equations," *IEEE Trans. on Computers*, vol. 39, pp. 768-774, June 1990.
- [7] J. C. Musio and T. C. Wesselkamper, *MULTIPLE-VALUED SWITCHING THEORY*, Bristol and Boston: Adam Hilger Ltd., 1986.
- [8] P. Tirumalai and J. T. Butler, "On the realization of multiple-valued logic functions using CCD PLA's," in Proc. 14th Int. Symp. Multiple-Valued Logic, IEEE Computer Society, pp. 33-42, 1984.
- [9] H. Kuo and K. Fang, "The multiple-valued programmable logic array and its application in modular design," in Proc. 15th Int. Multiple-Valued Logic, IEEE Computer Society, pp. 10-18, 1985.
- [10] H. G. Kerkhoff and J. T. Butler, "Design of a high-radix programmable logic array using profiled peristaltic charge-coupled devices," in Proc. 16th Int. Symp. Multiple-Valued Logic, IEEE Computer Society, pp. 128-136, 1986.
- [11] Dongyoung Park and Heungsoo Kim, "A constructing theory of multiple-valued logic functions based on the exclusive-OR minimization technique and its implementation," Proceedings of the 1992 Harbin International Conference on Electronic and Computers (HICEC '92), Harbin, China, pp. II 24-28, August 13-16, 1992.

著 者 紹 介



朴 東 泳 (正會員)

1957年生. 1980年 2月 인하대학교 전자공학과(공학사). 1985年 8月 동대학 대학원 전자공학과 전자통신학 전공(공학석사). 1987年~현재 동대학 대학원 전자공학과 정보공학 전공(박사과정). 1990年~1991年 8月 부천전문대학 전자과(전임강사). 1991年 8月~현재 국립 원주전문대학 사무자동화과(전임강사). 주관심분야는 회로 및 시스템 설계, 다치논리 회로 설계, 퍼지논리 등임.

金 興 壽 (正會員) 第 28 卷 B編 第 4號 參照

현재 인하대학교 전자공학과 교수