

ASIC Package

李吉鎭

亞南産業(株) 半導體 營業部

I. 서론

세계 IC market의 약 20% 가까이 점유하는 세계 ASIC(特定用途 IC) 市場은 몇년간 지속된 경기침체 및 90년의 silicon cycle의 bottom期에도 불구하고 매년 20% 이상 고도성장을 거듭해 왔다. ASIC은 computer, 通信, 計測, AV, OA, 家電, game 機器 등 모든 분야에 이용되고 있어 수요가 크며 향후 큰 성장이 기대된다.

또한 기술 개발도 급속하게 이루어져 미세패턴의 design rule도 1.2-1.0 μ m에서 0.8 μ m로 이행되어 이미 submicron 時代에 접어들었으며 집적도에 있어서도 30萬-40萬 gate가 등장하는 등, ASIC은 급속도로 고집적화, 고속화가 이루어지는 반면, 축소화도 못지않게 추구하고 있다. 설계의 자유도가 높고 대규모 회로로 one chip화가 가능한 기술적 특성과 함께 短 TAT(turn around time)의 market 요구에 대처할 수 있는 packaging 기술이 요구되고 있다. 다음은 ASIC 제품에 대한 package 동향과 packaging 기술 및 material에 대해 논한다.

II. ASIC Device의 Package

ASIC 제품은 사용되는 기기, 즉 application에 따라 집적도와 기능에서 차이가 많은데, package 기술 또한 ASIC을 수용하는 기기와 연관이 많다. 즉, 상기 서론에서 언급했듯이 ASIC은 여러 분야에서 사용되는데 각 분야의 추세는 digital化, 고속化, 고기능化, 소형化로 급속히 진행되고 있다. 따라서 package trend도 이러한 특성을 수용할 수 있도록 설계 조립되어야 한다.

1. 고집적화에 따른 多 Pin化에 對應

종전의 IC package는 외부 환경으로부터 半導體 소자를 보호하고 사용과 취급이 용이하며 소자의 기본적인 기능을 만족하는 선에서 조립되었으나 요즘은 소자의 다양한 특성과 기능 및 용량을 어떻게 보다 더 효율적으로 수행할 수 있는 package를 만들 수 있는가에 집중되어 있다. 기기의 고기능, 다기능化에 chip은 고집적化로 이어지며 package는 多 pin化가 될 수 밖에 없다. 이러한 多 pin化로 발전하면서 package size도 점점 커지는 추세에 있지만 한편에서는 기기의 축소화 추세에 따라 board mounting 효율을 높이기 위해 package를 축소화 한다. 즉 fine lead pitch와 경박단소화를 요구한다. 다음 그림1은 일반적인 IC package trend이다.

고집적화를 실현하기 위해서는 보다 더 미세패턴으로 chip이 설계되어야 하고 I/O pin 수는 증가한다. 제한적인 chip 면적에 전기적으로 연결한 chip의 bond pad는 작아져야 하며 간격도 좁아져야 함에 따라 이를 조립 실장할 package도 역시 많은 제약을 받게 되어, 이러한 ASIC 제품의 특성을 수용할 수 있는 신규 package가 계속 개발되고 있다. 현재 가장 많이 이용되는 package type은 QFP(quad flat package)와 PGA(pin grid array) 및 TCP(tape carrier package)이다. 이들 모두 chip의 고집적화에 따른 多 pin化, 즉 package의 고밀도화가 유리한 type이지만 각기 약간의 특성이 있어 그 용도에 따라 packaging된다.

PGA는 多 pin化, 고속화, 저열저항화 방향으로 활용되나 제반 cost가 높아 고신뢰성을 필요로 하는 제품에 사용된다. TCP는 多 pin化, 소형화, 특히 박형화에 절대 유리하나 아직 주변 기술이 확보되지 않아 신뢰성 측면과 cost면에서 보완해야 할 사항이 많다. 이러한 사항이 보완되면 TCP는 향후 ASIC 제품을 수용하게

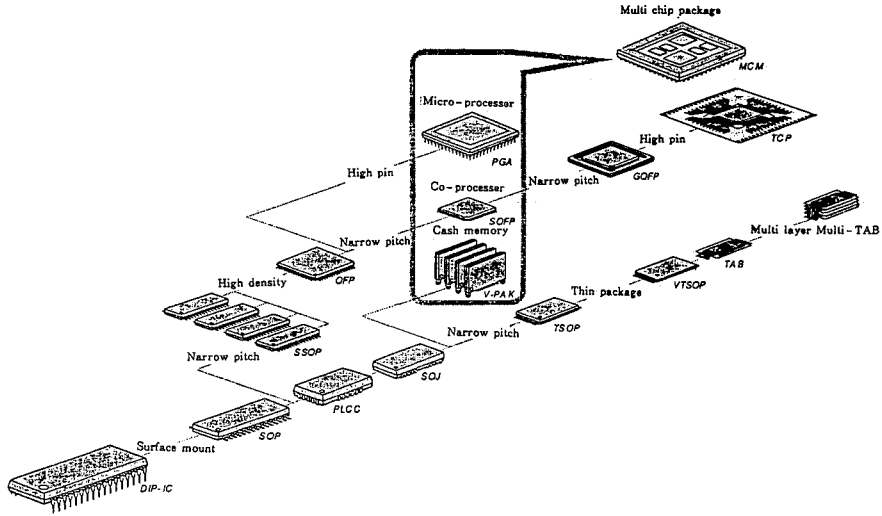


그림 1. IC package의 roadmap

될 중심 package가 될 것이다. QFP는 다른 package에 비하여 低價格으로 공급할 수 있어 현재 가장 폭넓게, 다양하게 활용되고 있다.

2. Fine Pitch化와 박형화(薄型化)

器機들의 portable화, 多機能化, 縮小化 및 輕量化됨에 따라 board 활용도를 높이기 위해 package 縮小化가 必要하게 되고 따라서 boarding 기술 또한 거의 stamping tool의 한계점까지 수용할 수 있을 정도로 발전하고 있다. 다음 그림 4와 그림 5는 package 종류별 boarding 효율을 나타낸 그래프이며 동일한 memory 제품을 실장한 package들의 board 점유비를 나타낸 것이다. 물론 ASIC 제품과는 다소 차이가 있으리라 보지만 package別 비교치에 있어서는 대동소이하리라 본다.

Board 효율을 높이기 위해서 thru-hole package type이 SMD(surface mount device)로 이동되고 있으며 여기에 package가 차지하는 공간을 더욱 줄이기 위해 축소화가 요구되는 반면 다핀화가 공존하여 이러한 요구사항을 수용할 수 있는 고도의 패키징 기술 개발에 各社마다 혈안이 되어 있다.

Package가 shrink 되면서 lead pitch는 '80年度 중반까지 2.54mm(100 MIL)가 주종이던 것이 '90년까지 1/4로 줄어 0.65mm(25 MIL)로, 현재는 더욱 급속도로 개발되어 0.3mm까지 선보이고 있다.(그림6 참조)

다음 그림 7과 그림 8은 ASIC 제품이 주로 packaging 되고 있는 QFP의 lead pitch와 pin count를 나타낸 것이다.

	QFP	PGA	TCP
低價格化	◎		
多PIN化		◎	○
小型 薄型化	○	○	◎
高速化		○	
低熱抵抗化		○	

그림 2. 各 package의 특성비교

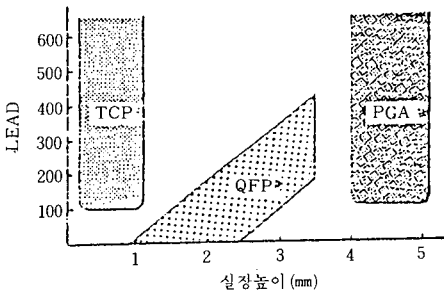


그림 3. Package의 고밀도화

3. High Performance Package

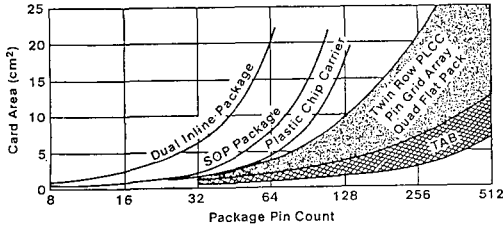
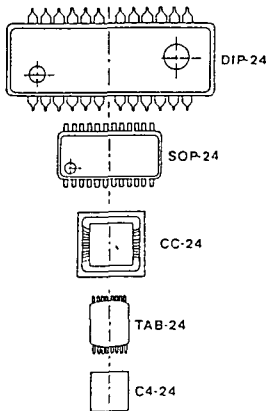


그림 4. Pin count vs printed circuit boards trends



package space(16K CMOS SRAM)

	DIP-24	SOP-24	CC-24	TAB-24	C4-24
mm × mm	31.0 × 15.24	15.4 × 10.24	11.16 × 11.18	5.65 × 8.87	5.65 × 6.57
mm ²	472.44	157.70	124.99	50.12	37.12
Ratio	12.73	4.25	3.37	1.35	1

- C4 : Controlled Collapse Chip Connection의 略字로서 flip chip과 같다.
- PDIP 24LD의 board 점유 면적은 C4의 12.73배를 차지한다.

그림 5. Space efficiency by LSI package type

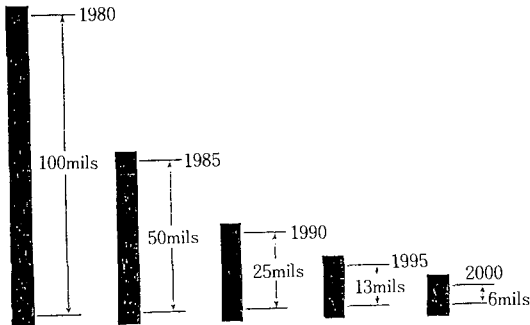


그림 6. 연도별 lead pitch 추이

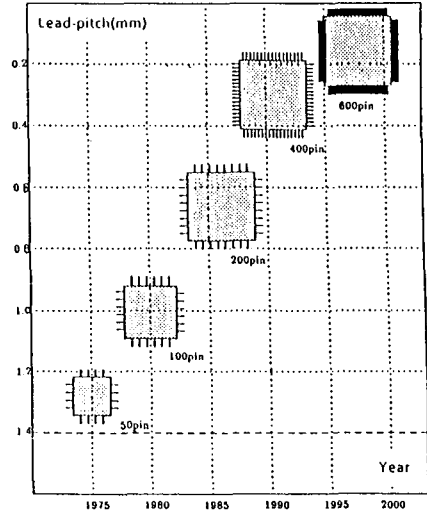


그림 7. 연도별 평균 QFP lead 수 및 pitch 추이

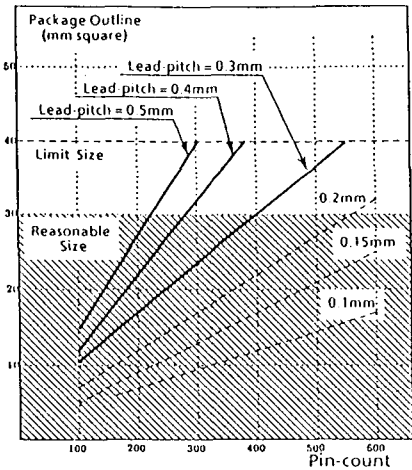


그림 8. QFP의 lead pitch 흐름

Chip이 고집적화 됨에 따라, 기존 패키지에 실장하기 위해서는 몇 가지 해결할 문제점이 있다. 즉 40,000-50,000 gate가 넘는 집적도를 가진다면 package내 전기적, 열적인 문제등이 대두됨과 동시에 time delay를 줄여 chip의 제기능을 발휘하도록 해야 한다.

일반적으로는 기존 QFP나 PGA 등에 heat sink를 package 내부에 장착하거나 외부에 heat spreader를 부착하여 package내 발생하는 열문제를 해결하고 있다.

PGA의 경우 heat sink를 package 내에 삽입하거나

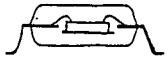
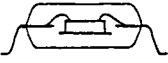


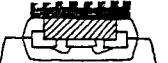
STANDARD QFP		- ALLOY 42
COPPER QFP		- COPPER
COPPER QFP W/ HEAT SPREADER		- COPPER - AL. HEAT SPREADER
HIGH PERFORMANCE QFP W/ HEAT SLUG		- MULTI LAYER COPPER LEAD FRAME
HIGH PERFORMANCE QFP W/ HEAT SLUG/ FIN (INV.)		- MULTI LAYER Cu L/F - Cu HEAT SLUG - AL HEAT FIN

그림 9. 열방출을 위한 QFP 구조

알루미늄 heat fin을 부착하여 열을 발산시키고 있으며, QFP는 열전도율이 좋고 강도가 높은 copper alloy계의 lead frame을 사용한다. 보다 열발산을 높이기 위해 알루미늄판(heat spreader)이나 heat slug를 넣고 mold 하는 package도 유행하고 있다.

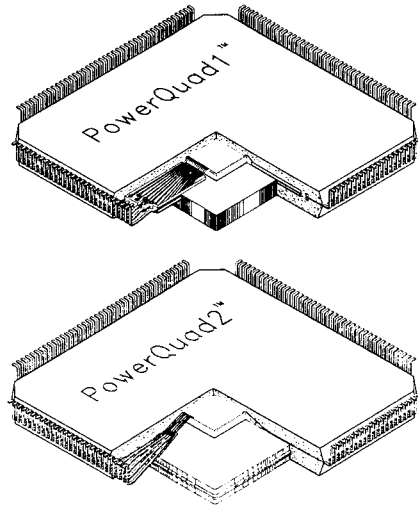
한편, 상기와 같은 방법보다는 근본적으로 다른 package 내부설계나 material을 사용하여 전기적 열적인 문제를 해결하는 방안으로 high performance package가 개발되었다. 표현대로 패키지에서의 chip의 기능 loss를 최대한 줄여 높은 수행 능력을 발휘한다.

일반 QFP type의 lead frame에 power pad와 ground pad를 분리하여 다층으로 만들어 noise등을 최소화하여 chip의 기능을 강화한 multi-layer package가 있으며, lead frame pad를 multi-layer PCB로 대체한 metal+PCB의 lead frame을 이용한 package도 있다. 이러한 metal+PCB의 lead frame은 고집적 ASIC chip의 조립에 있어 fine pitch화에 유리하며 package 내부의 time delay면에서 큰 merit가 있다.

다음 그림 10은 亞南産業(株)에서 開發한 high performance package의 구조이다.

특히 다기능을 추구하는 ASIC 제품은 2개 이상의 chip을 한 package에 실장할 수 있는 MCM(multi chip module)으로 활용된다.

MCM은 다양하게 조립되는데 기존 lead frame pad에 폴리이미드 기판을 붙여 2개 이상의 chip을 실장하는 방법, hybrid형의 방법, MLC(multi layer ceramic)을 이용하는 방법, MLC+thin film 방법, wafer scale



Low Cost, high speed 및 high power package로서 ANAM이 개발한 것이며 국제 특허로 등록되어 있다.

그림 10. High performance package

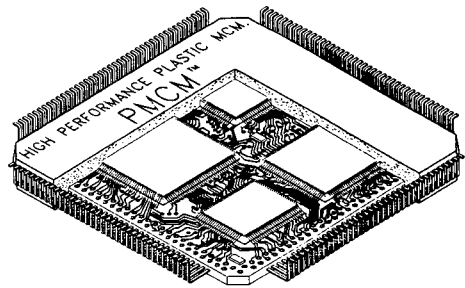


그림 11. ANAM이 개발하여 특허 등록된 PMCM

integration 방법, SOS(silicone over silicone) 등이 있다. 이런 type의 공통적인 특성은 common interconnection을 활용한다는 점에서 package 축소화에 유리하며, 5-25 ULSI에서 mega type까지 실장 할 수 있는 동시에 상기에서 언급한대로 high performance를 갖는다.

4. 향후 Package의 동향

앞에서 언급했듯이 향후 ASIC package의 외형은 계속 얇고 축소화 경향으로 가겠지만 기능면이나 축적도에 있어서는 역으로 계속 증가할 것이다. 따라서 이러한 요구를 수용하기 위해서는 기존 package의 한계를 벗어나는 package 기술이 개발되어야 하며 또한 새로운 packaging 개념이 도입되어야 할 것이다.

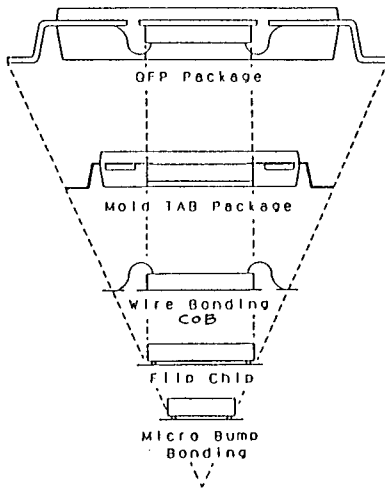


그림 12. QFP의 변천과정 예측

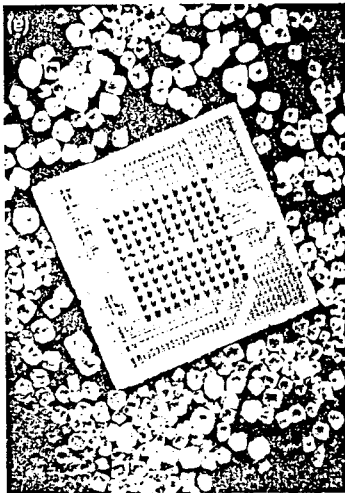
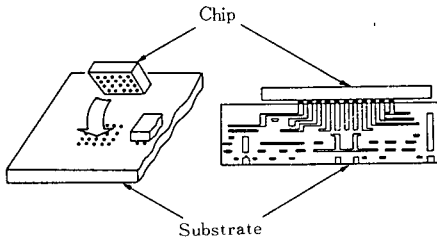


그림 13. Flip chip 개념도 및 적용된 logic chip

새로운 package 기술에는 high performance와 품질 및 원가 개념면 중에서 어느 하나라도 market에 만족을 주지 못한다면 패키지 life cycle은 짧아질 수 밖에

없으며, 곧 이를 보완한 신규 기술에 도전 받게 된다. 다음 그림 12는 ASIC package의 향후 방향이라고도 볼 수 있는데 최종적으로 chip을 board에 직접 붙이는 형태가 되리라 본다. 즉 plastic 수지로 chip을 감싸서 보호하던 개념에서 board위에 chip을 직접붙여 chip과 board를 전기적으로 연결(wire bonding)하는 COB와 같은 기술이 좀더 발전하여 flip chip이나 micro bump bonding 방법으로 wiring없이 바로 board에 chip을 붙이는 방법으로 추진되리라 보는데 이러한 방법은 극히 일부에서 적용하지만 아직까지 신뢰성에 문제점이 많아 실용화 되기에는 거리감이 있다. 그러나 축적도를 높이고 cost와 board 효율적인 면에서 큰 merit가 있어 이러한 bare chip 기술 또한 향후 크게 활용되리라 본다.

5. ASIC 제품의 제조 공정상 문제점

ASIC package의 多 pin化和 경박화에 따른 조립상의 문제점은 크게 2가지로 사용되는 material 부문과 제조 공정 기술로 볼 수 있다.

多 pin化에 있어 조립상 선결 과제는 우선 외형상의 body size와 outer lead의 pitch인데 현재까지 시판되는 최대 package size는 40평방 mm이다. 1000 pin package를 만들려면 0.15mm pitch가 되어야 하는데 현재로서는 TCP만이 설계가 가능한 입장이지만 실제 실용 단계까지는 거리가 있다. QFP에서는 0.3mm outer lead pitch가 개발되었지만 lead coplanarity 문제와 inner lead의 좁은 간격으로 wire bonding의 어려움으로 시장에 안정하게 공급하기에는 시기상조다. 현재 0.4mm까지는 안정한 공급이 가능하여 40 SQ mm body에 376 pin까지 시판되고 있다. 0.3mm pitch는 '92-'93년 사이에는 어느정도 문제가 해결이 되어 mass run이 가능하리라 본다. 선결과제는 trimming과 forming 기술인데 특히 trimming에 있어 미세 간격을 cut할 punch 수명의 연장과 강도를 향상시켜야 한다. Forming에서는 금형 강도와 coplanarity 문제가 해결되어야 한다. Package의 多 pin化, large body 및 박형화에 따라 fine pad pitch와 fine inner lead에 대응하기 위해서 wire bond도 해결할 사항이 많다. 다음 그림 14는 wire 길이, inner lead pitch 및 pad pitch 관계를 나타낸 것이다.

현 기술 수준으로는 wire 길이는 4.5mm, inner lead pitch는 0.22mm, pad pitch는 0.114mm가 mass run의 초소치이다. 조립에 사용하는 material은 lead frame과 mold 수지로 대변할 수 있는데 lead frame은 多 pin化, 경박화에 따른 좀더 강한 강도가 필요하며 두께에서도 현 0.15mm에서 0.1mm로 개발 추진중이다. 열팽창 계

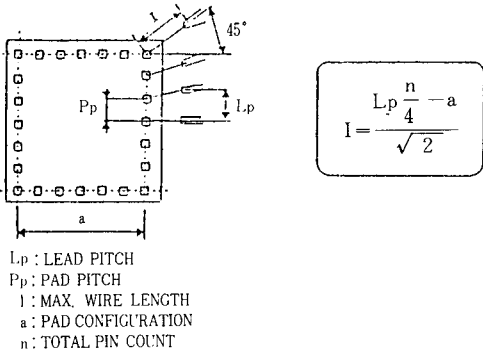


그림 14. Package pitch, lead와 wire 길이 관계

수는 mold 수지와 silicone chip과의 조화가 필요하며 열전율도 향상 되어야 한다. 또한 mold 수지와 lead frame의 metal과의 접착성 및 wire bond 그리고 mold 이후 공정을 고려한 설계도 밀바탕이 되어야 한다. Mold 소지는 품질 개선면에서 괄목할만한 개발을 거듭하여 ceramic package를 plastic 제품으로 이동시키는데 가장 큰 영향을 주었지만 제품의 신뢰성에 직결되는 관계로 package의 대형화와 박형화 추세에 아직도 개선점이 많아 각사마다 많은 투자가 이뤄지고 있다. 향후 수지는 super low stress와 방습 효과가 커야하며 열저항, high T_g 등이 요구되며 metal과의 접착력도 강화되어야 할 사항이다.

III. 결 론

ASIC 제품은 현재 QFP(BQFP), PGA, TCP로 주로 실장되고 있으며 일부 제품은 PDIP, PLCC로도 활용되고 있다. 고집적도 일수록 多 pin package가 될 수 밖에 없으며, board 효율을 높이기 위해서는 package를

shrink시켜 나갈 것이다.

ASIC 제품을 실장하는데 당분간 QFP가 주된 역할을 하리라보는데 market demand에 따라 보다 싸고 고기능을 갖춘 형태로 발전할 것이다. 그러나 이러한 요구 사항을 하나의 package로서 모두 수용 하기에는 한계가 있어 앞으로 제품 특성에 맞는 형태로 발전하리라 본다.

1) Higher density(고집적도와 고밀도화)

ASIC 제품이 고집적도를 추구함에 따라 wire bond 기술이 tab이나 bare chip 기술로 이동되고, 고밀도의 board 효율을 높이기 위해 SMT 기술이 주도할 것이다.

- Wire bond→Fine pitch W/B→TAB→Bare chip 개념
- Thru-hole→SMT→Area array SMT

2) Speed와 multi-function(다기능과 속도)


하나의 패키지로 다기능을 수용하기 위해서는 module package가 도입되고 따라서 pin수도 늘어난다.

- Single chip→2-5 chip MCM→6-10 chip MCM
- 200 pin→300 pin→500 pin

3) High performance

패키지의 전기적 열적 문제의 해소와 low cost를 지향하는 새로운 기술이 소개된다.

- Ceramic→Plastic/copper
- Single layer→Multi layer→Multi layer/thin film
- Heat spreader→Heat sink

향후 제품의 package 방향은 위와 같은 roadmap을 형성하리라 보고 있다. 특히 ASIC의 특성상 maker spec인 점을 감안한다면 우리나라로 하루 빨리 packaging 기술개발에 보다 많은 투자가 이루어져 외국 기술을 모방하거나 빌려 사용하는 것으로 부터 탈피하여 제품을 판매한다는 관념에서 기술을 수출한다는 인식이 필요하다. 

筆者紹介



李吉鎮
1956年 3月 10日生
1983年 2月 인하대학교 졸업

1984年 3月 ~ 1989年 3月 아남산업 입사, Military IC Package Process Engineer
1989年 4月 ~ 현재 아남산업(주) 반도체 영업부 Marketing과장

주관심분야 : IC Package 기술 및 New Package의 Assembly, IC Market 분석