

U-Interface Digital IC 설계

林信一, 李倅雨, 李康煥, 李裕景
韓國電子通信研究所

본 논문은 ISDN U-interface 회로 중에서 digital 부분의 설계에 대하여 기술하였다. 이 회로는 MMS43 code와 echo cancellation 방식을 사용하여 구현되었다. 회로 구성상 interface 부분과 DSP 부분으로 나누어 설계하였으며 gate-array ASIC을 이용하여 chip을 제작하였다. 공정은 $1\mu\text{m}$ CMOS 기술을 사용하였다.

I. 서 론

기존 전화망을 통하여 ISDN 통신을 하기 위해서는 4-2 wire conversion을 필요로 한다. 일반적으로 이 conversion은 hybrid 회로를 이용하는데 다양한 선로 길이로 인하여 impedance mismatching이 발생한다. 이 때문에 송신신호중 일부가 수신경로를 따라 feedback 된다. 이 신호를 echo라 하며 크기가 far-end로부터 수신된 신호와 비교하여 매우 크기 때문에 제거하지 않고는 정상적인 통신을 할 수가 없다. 그래서 echo canceler가 필요하며 chip 회로중 가장 중요한 기능을 하는 block이다.^[1]

교환기로 부터 가입자간 거리는 수 Km까지 분포하며 대부분의 가입자에게 전송이 가능하기 위해서는 전송거리가 긴 code를 사용해야 한다. 이런 측면에서 볼 때 Ternary code가 효율적이다. 또한 이 code는 신호에 직류성분이 포함되지 않으며 noise에 강하고 회로 구현이 간단하다는 장점도 갖고 있다. 수신신호의 phase는 별도로 신호를 보내지 않고 data내에 phase 성분까지 포함시켜서 보낸 다음 수신 data로 부터 phase를 검출해 낸다. DPLL 회로가 이러한 기능을 수행하는

데 본 chip에서는 Barker code를 사용하여 frame과 phase의 동기를 맞추고 있다.

회로 설계는 transparent한 data가 통과하는 path에 대해서만 행하고 protocol 관련 부분은 제외시켰다.

II. System Interface 회로

이 회로는 LT나 NT내의 다른 chip들과 interface하는 부분이다. 본 chip에서는 유럽 여러 국가에서 많이 사용하고 있는 IOM interface 구조로 설계하였다. Interface 회로를 포함한 chip의 전체 blockdiagram을 그림1에서 보여주고 있다.

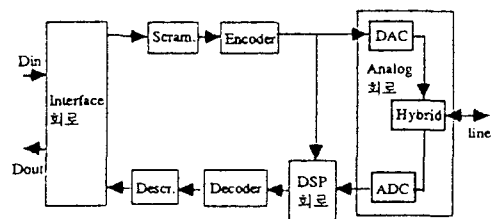


그림 1. UDIC blockdiagram

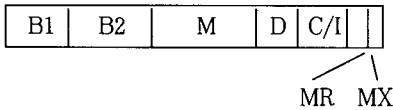
IOM interface로 부터 256Kb/s로 들어오는 data는 transparent data와 maintenance/control data로 분리된다. 그래서 transparent한 2B+D channel은 160Kb/s로 rate conversion되어 U-interface frame으로 재구성되고 maintenance/control data는 유지보수 기능과 activation/deactivation 기능들을 수행하기 위하여 chip내부에서 사용된다. U-interface frame으로 이루어

진 transparent data는 pseudo-random bit pattern이 나올 수 있도록 scrambling된다. Pseudo-random 특성은 echo canceller의 계수가 효율적으로 수렴하기 위해서 반드시 필요하며 frame동기를 위한 Barker code는 포함하지 않는다. 또한 echo canceller가 수렴하는데 나쁜 영향을 주는 송신신호와 수신신호간 어떤 correlation도 허용하지 않기 위하여 LT와 NT mode의 polynomial을 다르게 한다. Scrambler의 polynomial은 다음과 같다.

$$LT \text{ mode} : 1 + Z^{-5} + Z^{-23} \quad (1)$$

$$NT \text{ mode} : 1 + Z^{-18} + Z^{-23} \quad (2)$$

IOM interface와 U-interface의 frame format은 그림2, 그림3과 같다. Scrambling된 data는 MMS43 line coding을 하게 된다. 이 code는 직류성분이 없고 전송 속도가 3/4으로 감소되기 때문에 전송거리가 길어진다. 이 회로의 출력신호는 ternary신호를 표현하기 위하여 2bit를 사용한다. 앞의 bit는 sign을, 뒤 bit는 magnitude를 나타내며 2bit의 값에 따라 analog회로에서 대응하는 analog 신호로 변환된다.



Data rate : 256Kb/s
Frame freq. : 8KHz

그림 2. IOM frame 구조

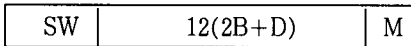


그림 3. U-interface frame 구조

III. DSP 회로

원하는 수신 data를 정확하게 검출하기 위해서는 signal에 포함되어 있는 여러가지 불필요한 noise를 제거해야 한다. 이러한 기능을 하는 것이 DSP회로^[2]이며 그림4에서 blockdiagram을 보여주고 있다. Over-sampling ADC를 거쳐 1bit 수신신호는 baud-rate로 down

-sampling하기 위하여 decimation filter^[3]를 통과하게 된다. 이 LPF의 전달함수는 다음과 같이 표현된다.

$$H(Z) = \frac{1-2Z^{-64}+2Z^{-192}-Z^{-256}}{(1-Z^{-1})^3} \quad (3)$$

Decimation filter의 출력이 baud-rate로 sampling될 때 sampling phase는 DPLL로 부터 공급받는다. 그 다음 echo 및 ISI는 긴 tail성분을 포함하고 있어 많은 tap을 필요로 하기 때문에 tap 수를 줄이기 위해 식(4)와 같은 HPF^[4]를 사용하여 어느 주파수이상의 tail 성분을 제거한다.

$$H(Z) = \frac{1-Z^{-1}}{1-0.75Z^{-1}} \quad (4)$$

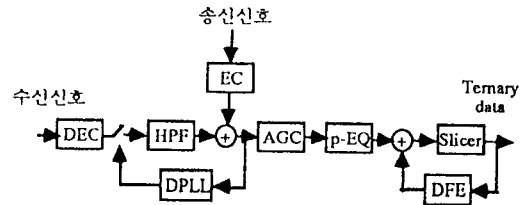


그림 4. DSP blockdiagram

수신경로를 따라서 유입되는 신호들은 송신신호중 일부가 hybrid 회로의 impedance 부정합으로 인하여 케환되는 echo와 전송 line을 따라서 감쇄되어 나타나는 수신신호, 그리고 전송되면서 유입된 각종 noise 성분들로 이루어 진다. 이중 echo는 신호크기가 원하는 수신신호보다 매우 크며 adaptive FIR filter를 사용하여 제거할 수 있다. Echo canceller의 계수를 update할때 correction정보를 초기에는 residual 신호로 부터 얻고 남은 echo 성분이 수신신호보다 작아지게 되면 residual 신호에서 수신신호를 제거한 순수 residual echo 성분으로 부터 구한다. Echo canceller의 tap수는 48개, resolution은 20bit로 설계되어 있다.

Echo가 제거된 신호는 digital processing하기에는 크기가 작기 때문에 designer가 정한 level까지 신호를 증폭시킨다. AGC 계수의 update는 식(5)와 같이 이루어진다.

$$G_{K+1} = G_K + \Delta r(k) \text{ err}(k) \quad (5)$$

증폭된 신호는 정확한 data 검출을 위해 equalizer를 이용하여 신호간 간섭신호를 제거한다. 간섭신호는 pre-cursor 성분과 post-cursor 성분으로 구성되어 있는데 pre-cursor 성분은 선형 FIR filter를 이용하여 slicer 앞에서 제거하고 post-cursor 성분은 slicer를 거친후의 data를 이용하여 비선형 FIR filter로 제거한다. 그런데 DFE는 입력 data가 정확하지 않아서 계수가 수렴하는데 매우 어려움이 따르기 때문에 frame word position에서는 직접 Barker code를 입력으로 사용하여 수렴속도를 증가시킨다. Pre-EQ^[5]는 16bit로 된 3tap으로 구성되어 있고, DFE는 12bit에 32tap으로 구성되어 있다.

Decimation filter의 출력을 baud-rate로 sampling할 때 128phase중 하나를 선택하는데 이 timing 정보는 그림5와 같은 DPLL로 부터 구한다. 이러한 timing recovery의 알고리즘은 다음과 같다. 식(6)처럼 Barker code와 수신신호를 convolution하여 1 frame내에서 최고값을 나타내는 symbol이 frame position이다.

$$ph(k) = \sum_{i=10}^{10} r(k-i) BC(i) \quad (6)$$

이러한 방법으로 frame synchronization한 다음 phase synchronization은 식(7)과 같이 1 symbol전의 convolution값과 1 symbol후의 convolution값의 차를 구하여 이 값이 positive냐 negative냐에 따라서 phase를 advance, 또는 retard시켜 update해 나간다.

$$diff(k) = ph(k+1) - ph(k-1) \quad (7)$$

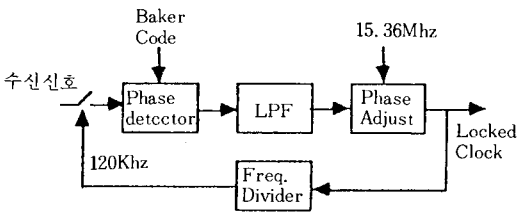


그림 5. DPLL 회로

IV. Echo Cancellation Algorithm

Echo 신호는 송신신호에 의해 hybrid 회로의 impedance 부정합으로 인하여 수신측에 나타나는 noise이

다. 이러한 상황을 설명하기 위하여 그림6을 도시하였다. 이 그림에서 송신신호 $x(n)$ 가 통과하여 echo가 되는 경로의 전달함수를 $h(n)$ 이라 하고 echo를 $e(n)$ 이라 하면 echo는

$$e(n) = h(n) * a(n) = \sum_{i=0}^{N-1} h(i)a(n-i) \quad (8)$$

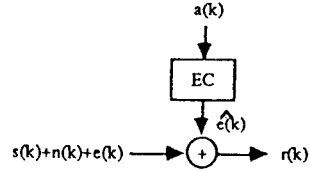


그림 6. 수신 신호 구성도

수신신호로 부터 echo가 제거된 다음 residual신호는

$$r(k) = s(k) + n(k) + e(k) - \hat{e}(k) \quad (9)$$

$$a_k = \begin{bmatrix} a(k) \\ a(k-1) \\ \vdots \\ a(k-N+1) \end{bmatrix} \quad (10)$$

$$b_k = \begin{bmatrix} b(k) \\ b(k-1) \\ \vdots \\ b(k-M+1) \end{bmatrix} \quad (11)$$

$$g = \begin{bmatrix} g(0) \\ g(1) \\ \vdots \\ g(N-1) \end{bmatrix} \quad (12)$$

$$C_k = \begin{bmatrix} c_0(k) \\ c_1(k) \\ \vdots \\ c_{(N-1)}(k) \end{bmatrix} \quad (13)$$

$$h = \begin{bmatrix} h(0) \\ h(1) \\ \vdots \\ h(M-1) \end{bmatrix} \quad (14)$$

$$\begin{aligned} \text{그래서, } s(k) &= b_k^T h(15) \\ e(k) &= a_k^T g \end{aligned} \quad (16)$$

$$\hat{e}(k) = a_k^T c_k \quad (17)$$

위 식을 식(9)에 대입하면

$$\begin{aligned} r(k) &= s(k) + n(k) + e(k) - \hat{e}(k) \\ &= a_k^T (g - c_k) + b_k^T h + n(k) \end{aligned} \quad (18)$$

계수를 update하는데 LMS algorithm을 사용한다.

$$p(k) = E\{r(k)^2\} \quad (19)$$

$$\nabla p(k) = \begin{pmatrix} \frac{rp(k)}{rc0(k)} \\ \frac{rp(k)}{rc1(k)} \\ \vdots \\ \frac{rp(k)}{rc(N-1)(k)} \end{pmatrix} \quad (20)$$

$p(k)$ 가 최소값을 가질때 계수가 convergence되며 이때 식(20)과 같은 각 계수에 대한 $p(k)$ 의 gradient들의 절댓값이 최소값을 갖는다.

$$\begin{aligned} \nabla p(k) &= \nabla E\{[a_k^T (g - c_k) + b_k^T h + n(k)]^2\} \\ &= -2E\{r(k)a_k\} \end{aligned} \quad (21)$$

계수의 update는 다음과 같이 표현된다.

$$\begin{aligned} c_{k+1} &= c_k - a \nabla p(k) \\ &= c_k + 2aE\{r(k)a_k\} \end{aligned} \quad (22)$$

Update시 sign algorithm을 사용하면

$$\begin{aligned} c_{k+1} &= c_k + 2a \text{sign}[r(k)]a_k \\ &= c_k + K \text{sign}[r(k)]a_k \end{aligned} \quad (23)$$

그래서 echo 추정신호는

$$e(k) = \sum_{i=0}^{N-1} c(i) a(k-i) \quad (24)$$

V. 회로 구현

회로는 gate array library를 이용한 semi-custom 방식으로 설계하였다. System interface부분은 data path에 대해 block별로 설계하였고 protocol 관련 부분은 구현되지 않았다. 그리고 DSP회로는 ROM sequencer로 전체회로를 control할 수 있게 하였고 block간 data 전송은 bus를 통하여 주고 받을 수 있게 하였다. Decimation filter와 echo canceller 및 DFE등은 전용회로를 설계하여 동작하도록 하였으며 16×16 bit multiplier가 pre-EQ와 AGC 연산을 수행하도록 하였다. 나머지 HPF와 slicer, DPLL의 signal convolution등은 ALU와 memory 및 주변회로로 구성된 main processor를 두어 이 회로에서 모든 동작이 수행될 수 있도록 하였다. DSP 회로의 동작속도는 7.68MHz이며 1 symbol 주기당 64동작이 수행된다.

사용된 gate수는 약 60,000개이며 12×12 mm의 die size를 갖고 있다. Chip의 반도체 공정은 $1\mu\text{m}$ CMOS gate array 기술을 사용하여 제작하였다. 설계한 chip 사진을 그림7에서 보여주고 있다.

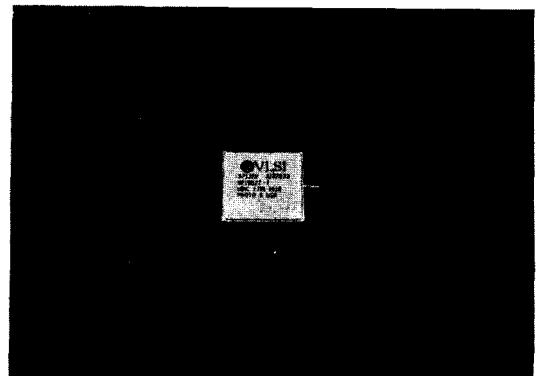



그림 7. Chip 사진

VI. 결 론

U- interface의 물리적 계층을 담당하는 chip을 설계,

제작하였다. Code는 MMS43 code를 사용하였으며 gate-array ASIC vendor를 이용하여 제작하였다. 제작된 chip은 시험중에 있으며, 앞으로 protocol 관련 회로도 추가하여 완전한 기능을 수행할 수 있는 chip을 제작할 예정이다.

參考文獻

- [1] Kalman Szechenyi, Franz Zapf, and Danny Sallaerts, "Integrated full-digital U-interface circuit for ISDN subscriber loops", *IEEE Trans., J. on Selected Areas in Comm.s*, vol. SAC-4, no.8, Nov. 1986.
- [2] Rudolf Koch, Reinhard Niggebaum, Dieter Vogel, "2B1Q Transceiver for the ISDN Subscriber Loop," *ISSCC '89, Session 17*, p.260, 1989.
- [3] A. Huber, E. De Man, E. Schiller and W. Ulbrich, "FIR Lowpass Filter for Signal Decimation with 15 MHz Clock Frequency", *ICASSP '86*, p.1533, 1986.
- [4] R. Niggebaum, D. Vogel, H. Schenk, "ISDN Echo Cancellation Circuit, a Transceiver for the Subscriber Loop," *ISCAS '88*, p.853, 1988.
- [5] Anton Stolzle, Alois Rainer, and Walter Ulbrich, "Parallel-Serial Multiplication using Booth's Algorithm and Horner's Schem," *Proc. ISCAS '85*, p.1389, 1985. 

筆者紹介

林 信 一

1957年 4月 2日生

1980年 2月 서강대학교 전자공학과 졸업

1983年 2月 서강대학교 대학원 전자공학과 졸업

1990年 9月~현재 서강대학교 대학원 전자공학과 박사과정

1982年 3月 ~ 1992年 1月 한국전자통신연구소 선임연구원

1992年 2月 ~ 현재 전자부품종합기술연구소 ASIC개발실 선임연구원

주관심 분야 : VLSI 설계, 회로 및 Architecture 설계, DSP 설계



李倅雨

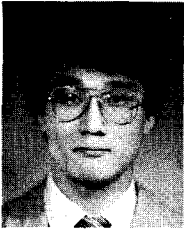
1960年 7月 18日生

1985年 2月 광운대학교 전자공학과 졸업

1987年 2月 서강대학교 대학원 전자공학과 졸업

1987年 2月 ~ 현재 한국전자통신연구소 선임연구원

주관심 분야 : Digital 통신, Digital 회로 설계, DSP 응용



李康煥

1964年 10月 6日生

1987年 2月 한양대학교 전자공학과 졸업

1989年 9月 중앙대학교 대학원 전자공학과 졸업

1989年 8月 ~ 현재 한국전자통신연구소 영상통신연구실 근무

주관심 분야 : VLSI 설계, 신호처리, CAD



李裕景

1954年 11月 7日生

1978年 2月 한국항공대학교 전자공학과 졸업

1980年 2月 연세대학교 대학원 전자공학과 졸업

1980年 9月 ~ 1984年 3月 공군 제2사관학교 전자공학과 교관

1984年 4月 ~ 현재 한국전자통신연구소 ISDN시스템연구실 실장

1990年 12月 전기통신기술사

주관심 분야 : Telecommunication, 통신시스템 설계, 데이터 통신