

Mixed Signal System을 위한 Analog 회로 설계

金 太 根

現代電子産業(株) 半導體研究所

I. 서 론

집적회로(integrated circuit)의 개념이 도입된 이래 아날로그 신호처리 회로의 집적회로화를 위한 노력이 경주되어 왔으나 실제 성과는 그 이후에 나타난 디지털 신호처리 기술의 발전 속도에 비추어 볼때 상당히 뒤떨어져 있다고 할 수 있다. 사실 개별 소자를 사용한 아날로그 회로의 설계 기술은 오랜 기간을 통하여 많은 노우-하우를 축적해 왔으나 이를 집적회로로 구현하기 위한 제조 및 공정 기술이 충분히 밀착됨 되어 주지 못해왔다.

반면, 디지털 신호처리 기술은 아날로그 회로에 비해 제조 공정상의 제약이 훨씬 덜하므로 집적회로의 실현 과정을 통하여 많은 응용분야에 걸쳐 아날로그 신호처리 기술의 영역을 대체해 가고 있다. 특히 MOS 공정기술의 출현과 이의 미세화를 배경으로 디지털 신호처리 기술은 반도체 집적회로 설계 기술의 근간을 이루고 있다. 그러나 기본적으로 시간 공간적으로 아날로그인 외부세계와 디지털 신호처리 회로와의 연계를 위해서는 아날로그 신호처리 회로의 존재는 필연적이며 특히 최근 정보통신의 여러분야에서 시스템-온-칩(system-on-chip)화 경향에 따라 아날로그와 디지털 신호처리 회로를 동일 칩 상에 구현하는 소위 혼성 신호 집적회로(mixed signal integrated circuit)의 필요성이 대두되고 있다. 또한 디지털 신호처리 기술은 융통성, 정확성 등 많은 장점을 가지고 있음에도 불구하고 실제 구현을 위해 비용이 많이 들고 실시간 신호처리를 위해서는 많은 제약이 따르며 샘플링 및 양자화(quantization) 과정에 따른 aliasing, 양자화 잡음, warping 등 제반 문제점들로 인해 고주파 대역에서의 응용에 한계가 있다.

한편, 70년대 후반부터 각광을 받기 시작한 SC (switched-capacitor) 설계 기술은 discrete-time 신호처리 기술의 범주에 속하나 본질적으로 아날로그 신호처리 기술이며 샘플링 기법을 도입하여 신호처리의 정확도를 높이고 있다. 그러나, 이 기술 역시 샘플드-데이터 시스템이 갖는 고주파 대역에서의 응용 한계 때문에 일부 예외를 제외하고는 주로 오디오 밴드 이하로 사용 영역이 제한되어 왔다.

그림 1⁽¹⁾은 현재의 각 설계 및 공정기술로 실현 가능한 신호 주파수 대역을 보여준다. 혼성 신호처리가 가능한 주파수 대역은 100KHz-10MHz이며 10MHz 이상의 주파수 대역에서는 아날로그 신호처리 기술중에서도 continuous-time 신호처리 기술의 사용이 불가피함을 나타내고 있다. 이와같이 continuous-time 아날로그 신호처리 기술, SC 회로 설계기술 및 위 기술들과 디지털 신호처리 기술이 혼합된 혼성 신호처리 기술은 동작 주파수, 특성 및 규격의 정밀도 등 각 응용 회로의 요구 조건에 따라 그 응용 범위를 달리하고 있다. 최근들어, MOS 공정 및 설계 기술의 발달과 더불어 SC 회로 또는 디지털 신호처리 기술의 동작 주파수 범위가 점차적으로 높아가고 있는 한편 continuous-time 아날로그 신호처리 기술의 정확도를 높이려는 노력도 진전되고 있다.

본고에서는 아날로그 및 혼성 신호처리 집적회로 구현에 따른 기술적인 문제점을 구체적으로 살펴보고 기본적인 아날로그 설계 기술에 대해 고찰한다. 또한 아날로그 및 혼성 신호처리 기술의 응용 분야에 대해 종합적으로 기술하기로 한다.

II. 아날로그 및 혼성 신호 집적회로 구현의 기술적 문제점

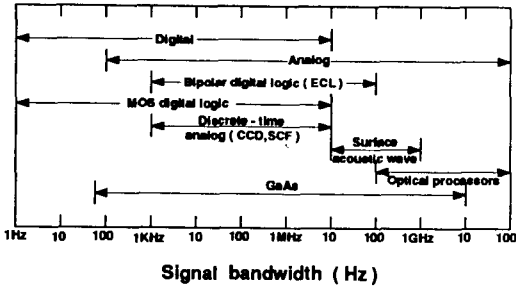


그림 1. 현재 기술로 실현 가능한 신호 대역폭

서두에서 언급한 바와 같이 아날로그 집적회로 구현을 제한하는 요소는 주로 공정 기술상의 문제점에 기인한다. 표 1에 공정 기술상 주요 문제점을 열거한다.

표 1. 아날로그 집적회로 구현을 제한하는 공정 기술상 주요 문제점

- | |
|--|
| <ol style="list-style-type: none"> 1. 각 공정간 소자 변수 목표치의 변화 2. 통계적 소자 변수의 산만한 분포 3. 큰 온도 계수 4. 기생 저항 및 캐패시터 성분 5. 수동 소자값의 matching 6. 능동 소자값의 matching |
|--|

이하 표 1 각항의 문제점의 심각성에 대한 이해를 돕기 위해 각항의 문제점들을 일반적인 MOS 공정의 예에서 정량적으로 살펴본다. 대체적으로 각 공정간 소자 변수의 변화는 상당히 크다. 저항값은 최대 $\pm 50\%$ 까지 변화하고, MOS 트랜지스터의 임계 전압은 $\pm 100\text{mV}$, 옥사이드 캐패시턴스는 $\pm 10\%$ 정도의 변화를 보인다. 또한 트랜지스터 트랜스컨덕턴스 변수 $K_p(K_p=Cox)$ 의 수십 퍼센트 변화는 보통이다.

소자 변수치의 통계적 분포에 따른 변화는 1항에서 지적한 각 공정간 소자 변수값의 변화 정도에 비해 덜하나 여전히 심각하다. 이러한 변화는 한 웨이퍼 내에서 각 지역마다 물리적 특성의 차이(local difference) 또는 각 웨이퍼간의 특성 차이(global difference)에 기인한다. 임계 전압의 변화(또는 표준편차)는 1mV 에서 20mV 정도이고 K_p 는 $0.5\% \sim 5\%$ 까지 변화한다.^[2]

소자 변수의 온도계수 또한 큰 문제점으로 작용한다.

예를들어 poly 저항의 온도계수는 0.1% 에 이르고 있다.

Poly/poly 캐패시터의 전극과 substrate간의 기생 캐패시턴스는 본래 캐패시턴스값의 $1\% \sim 30\%$ 에 이르고 poly string, contact과 트랜지스터의 드레인, 소스등과 관련해 구조적으로 존재하는 기생 저항값은 수십 ohm에 이른다. 레이아웃시 interconnection에 의한 기생 저항 및 캐패시턴스값은 종종 회로 특성에 대단히 큰 영향을 미친다. 한편, 저항 string과 관련된 기생 캐패시턴스값은 보통 분산되어 있으며 전압 의존성을 보이고 있다.

레이아웃에 상당한 주의를 기울일 경우 캐패시터의 matching은 $\pm 0.1\%$ 범위내에서 제어할 수 있으며 저항값의 matching은 $\pm 2\%$ 정도를 얻을 수 있다. 그러나 기생 소자값의 정확한 matching은 좀 더 어렵다.

능동 소자의 matching은 일반적으로 수동 소자의 matching에 비해 정확도가 떨어진다. 예를들면, MOS 트랜지스터의 능동 저항값은 $0.6 \sim 6\%$ 정도의 변화를 보인다.

표 1에 열거한 공정 기술상의 문제점은 실제 응용회로의 동작조건, 요구되는 규격의 정밀도 등에 따라 각항의 문제점의 심각성은 달라질 수 있으나 일반적으로 공정상의 제반 문제점들을 극복하고 아날로그 회로 동작의 정확도를 높이기 위한 노력이 특히 설계 측면에서 많이 시도되고 있다.

공정에 따른 회로 특성의 변화를 보상 해주기 위해서는 공정후에 레이저 트리밍등의 방법으로 소자값을 조절하는 방안^[3]과 소자값을 전압 또는 전류로 조절할 수 있도록 소위 tunable 구조로 설계하는 방안이 제안되고 있으나 전자의 방안은 레이저 트리밍을 위한 비용이 많이 드는 단점이 있어 널리 쓰이지 않고 있다. 후자의 경우 최근 대부분의 continuous-time 신호처리 회로의 실현을 위한 방안으로 트랜지스터 또는 OTA(operational transconductance amplifier)를 사용하여 전압/전류 조절이 가능한 능동 저항을 구현한다든가 바이폴라 공정등에서 제공 가능한 접합 캐패시터(junction capacitor)의 전압 조절 특성을 이용하여 회로의 주요 특성을 가름하는 설계 변수를 공정 진행후에 조정(post fabrication tuning) 가능하도록 하려는 연구가 진행되고 있다.^[4,5,6] 그런데, 능동 저항 및 접합 캐패시터의 소자값은 수동 소자에 비해 선형성이 훨씬 떨어지므로 통신등 큰 dynamic 영역이 요구되는 분야에 응용하기 위해서는 능동 소자의 선형 영역의 증대가 중요하며 이의 해결이 continuous-time 아날로그 회로 설계분야의 주요 과제가 되어 있다.

기존의 디지털 공정을 사용하여 혼성 신호 회로를 단일 칩위에 구성할 경우 위에 언급한 외에도 몇가지 문제점을 직면하게 된다. 첫째, 동작 전원전압 문제를 들 수 있다. 대부분의 디지털 회로는 5V를 동작 전원전압으로 사용하고 있으며 최근의 동향은 scaled CMOS 공정등에서 소자의 dimension에 비해 전계(electric field)가 너무 크게 걸리게 되어 발생하는 hot carrier effect 등을 방지하기 위해 전원전압을 3V정도까지 낮추려고 노력하고 있다. 뿐만 아니라 전지로 구동하는 많은 시스템등에서는 전력소모를 줄이기 위해서도 전원전압을 낮추려 한다. 그런데, 아날로그 회로 부분에서 필요한 dynamic 영역을 확보하기 위해서는 디지털 회로에 비해 훨씬 높은 전원전압(예, 10V)이 요구되는 경우가 보통이며 이 경우 특별한 수단이 강구되지 않으면 hot carrier effect에 의한 트랜지스터의 트랜스컨덕턴스 감소, 임계전압 불안정등의 문제를 피할 수 없다. 이에 대한 방안으로 아날로그 회로 부분만 옥사이드 두께를 두 겹겹하여 전계를 떨어뜨리는 방법이 제안되고 있으나^[7] 과외의 mask step이 추가되는 등 비용 증가와 함께 공정상의 불편함이 따른다. 둘째, 디지털 회로에서 클럭을 사용하면서 발생하는 잡음이라든가 큰 신호의 급작스러운 변화에 따른 스파이크등이 전원, substrate, 또는 디지털 회로와 아날로그 회로의 연결부분을 통하여 아날로그 회로 부분에 전파됨으로써 나타나는 아날로그 회로의 잡음특성 저하 문제가 있다. 이를 극복하기 위해서는 아날로그와 디지털 전원을 별도로 사용한다든가, 전원필터를 사용한다든가, 아날로그 블럭의 PSRR(power supply rejection ratio)을 높히도록 구조를 설계하는 외에 아날로그 회로의 주요 노드를 디지털 라인으로부터 격리하거나 shield 시키는 방법등이 있으며 특히 레이아웃시 전원 및 클럭 라인의 처리에 특별한 주의가 요한다. 셋째, 일반 디지털 공정은 아날로그 회로 특히 SC회로에서 요구되는 정밀한 캐패시터를 제공하지 못한다. 물론 디지털 공정에서도 MOS 캐패시터, metal/poly 캐패시터를 사용할 수 있으나, MOS 캐패시터는 기생 접합 캐패시터(parasitic junction capacitor) 때문에 정밀도가 감소하고, metal/poly 캐패시터는 재료가 다른 두 전극의 전압특성, 온도특성이 다르므로 전압 및 온도 변화에 따른 편차가 심하다. 두개의 metal 층을 제공하는 디지털 공정의 경우 metal/metal 캐패시터도 사용 가능하나 두 metal 층간의 옥사이드 두께가 두꺼워 레이아웃시 작은 캐패시턴스값을 위해서도 비교적 넓은 실리콘 영역을 차지하므로 바람직하지 못하다. 가장 바람직한 방법은 게이트 poly외에 또하나

의 poly층을 사용하여 poly/poly 캐패시터를 사용할 수 있도록 하는 것이나 mask 수 및 공정 step의 증가로 인한 추가 비용 부담을 감수해야 한다.

III. 기본 아날로그 회로 설계기술에 대한 고찰

1. 증폭기 및 비교기

Op 앰프 및 OTA는 대부분의 아날로그 회로에서 증폭기, 필터등을 구현하기 위한 기본 블럭으로 사용된다. 최초의 op 앰프는 아날로그 컴퓨터의 수식연산등을 위해 사용되었으며 "operational"이란 용어는 이에서 기인한다. 그러나 op 앰프의 전압이득등을 정확하게 조절하기는 상당히 어려우므로 오늘날의 거의 모든 응용회로에서는 op 앰프를 오픈 루프 이득 및 대역폭이 무한대인 이상적인 기능 블럭으로 취급하고 제한 구조에 국한하여 사용하고 있다. 따라서 증폭기의 이득이나 필터의 시정수등은 op 앰프의 입출력 소자 또는 제한 소자 등 외부 소자의 값에 의해 결정된다. 그렇지만 실제 op 앰프의 오픈 루프 이득, 대역폭을 비롯한 다른 특성들의 비 이상성은 응용 회로의 성능에 적지않은 영향을 주게 된다. 큰 op 앰프 이득을 얻기 위해서 일반적으로 그림 2(a)와 같이 두단의 전압 이득 블럭을 갖는 구조를 사용하여 왔다. 이 구조는 첫째단의 출력과 둘째단의 출력에 각각 높은 임피던스를 갖는 노드가 존재하여 이에 따른 두개의 높은 임피던스의 pole이 너무 가까우므로 제한 구조로 동작시 회로 동작이 불안정하게 될 가능성이 크다. 캐패시터 C_n 는 두개의 pole의 위치를 벌려주는 Miller 보상 캐패시터의 역할을 한다. 그러나, 불행하게도 이 보상 캐패시터를 사용함으로써 op 앰프의 대역폭은 감소하게 된다. 실제 op 앰프 설계시 이득과 대역폭의 특성에는 trade-off가 있으며 이득과 대역폭의 곱인 GB 변수는 op 앰프의 성능을 나타내는 주요 변수가 된다. 그림 2(a)의 op 앰프의 GB는 식(1)과 같이 표현된다.^[8]

$$GB = g_{m1}/C_n \quad (1)$$

여기에서 g_{m1} 은 첫째단의 트랜스컨덕턴스 이득이다. 또한 op 앰프의 안정성에 영향을 미치는 nondominant pole의 위치는 식(2)와 같이

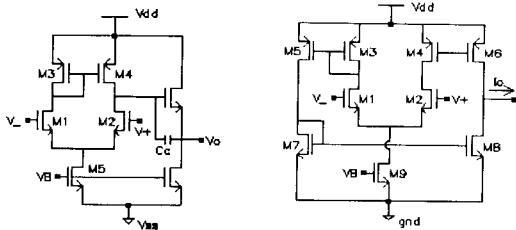
$$\omega_{nd} = g_{m2}/C_L \quad (2)$$

이 되며 여기에서 g_{m2} 는 둘째단의 트랜스컨덕턴스 이
 득, C_L 은 출력 노드 캐패시턴스의 총합이다. 안정성 유
 지를 위해 적절한 위상 여유도인 60° 이상을 얻기 위해
 서는 $\omega_{nd} \geq 2\text{GB}$ 가 요구된다. 이러한 ω_{nd} 에 의한 제약때
 문에 이 구조를 사용하여 현재의 기술로 실현할 수 있
 는 최대 GB 값은 10MHz를 넘기 어려우며 응용회로의
 주파수는 안정성등을 감안할때 0.01~0.1GB로 제한되
 므로 이 구조의 op 앰프를 MHz대의 응용 주파수가 요
 구되는 회로에 적용하기는 상당히 어렵다고 할 수 있
 다.

한편 그림 2(b)는 OTA의 전형적인 구조이며 트랜스
 컨덕턴스 단과 전류 mirror(또는 전류 이득) 단으로 구
 성된다. 이 구조는 내부에 높은 임피던스 노드가 존재
 하지 않으므로 트랜스컨덕턴스 대역폭은 그림 2(a)의
 op 앰프 대역폭에 비해 훨씬 높게 된다. 이 구조를 op
 앰프(즉 전압 이득 앰프)로서 사용하기 위해서는 부하
 캐패시터 C_L 을 출력단에 연결하여 필요한 위상 보상을
 하여주며 전압이득은 $A_v = g_{m1} a_m R_o$ 로 표시된다. 단 a_m
 과 R_o 는 각각 전류 mirror의 이득과 출력 저항값이다.
 이 구조의 nondominant pole은 식 (3)과 같이 전류
 mirror의 입력 저항 R_m 과 입력 캐패시턴스 C_m 에 의해
 결정된다.

$$\omega_{nd} = 1/R_m C_m \quad (3)$$

전류 mirror의 비교적 작은 저항값과 캐패시턴스는 식
 (3)의 ω_{nd} 를 상당히 높은 주파수 ($>100\text{MHz}$)대로 밀
 어낼 수 있으며 결과적으로 이 구조를 사용할 경우 안
 정성에 큰 문제없이 MHz대의 응용 주파수를 얻을 수
 있다.



(a) Op 앰프 (b) OTA

그림 2.

그림 2(b)의 구조를 순수하게 트랜스컨덕턴스 앰프
 로 사용할 경우 식 (3)의 pole이 유일한 dominant
 pole이 되며 이론적으로 nondominant pole은 존재하지
 않는다. 앞에서 언급한 바와같이 적절한 위상 여유도를
 위해 op 앰프의 GB가 ω_{nd} 의 반 이하가 되어야 한다는
 사실을 염두에 두면 OTA를 트랜스컨덕턴스 앰프로 사
 용할 경우 op 앰프보다 최소 두배 이상 높은 응용 주파
 수를 얻을 수 있음을 알 수 있다. 또한 OTA는 트랜스
 컨덕턴스 이득 g_m 을 조절 가능하도록 설계하므로 (예
 들들면 그림 2(b)에서 M9의 전류를 조절함) 오픈 루프
 구조로 사용되어질 수 있으며 응용회로의 전압 이득
 또는 시정수를 외부 소자값에만 의존하지 않고 직접 조
 절이 가능하다. 반면, OTA의 g_m 을 직접 소자값으로 사
 용할 경우 g_m 의 선형성 확보가 새로운 문제로 대두되며
 g_m 의 선형영역을 늘리기 위한 설계 기법이 많이 연구되
 고 있다.^[9,10]

그밖에 op 앰프 또는 OTA의 비이상적인 특성으로는
 입력 오프셋 전압, 전원 잡음의 영향, common mode
 입력에 의한 영향 및 1/f 잡음 등을 들 수 있다. 1/f
 잡음을 제외한 앞의 세 경우 쌍을 이루는 트랜지스터간
 특히 입력 트랜지스터간의 mismatch가 비이상적 특성
 을 보이는 주 원인이 된다. II장에서 언급한 바와같이
 능동 소자의 matching은 공정 및 레이아웃 의존성이
 강하다. 일반적인 구조에서 입력 오프셋 전압은 수 mV
 에 이르며 응용 회로에 따라서는 이의 영향이 심각할
 수 있다. 입력 오프셋을 보정해 주는 방법으로 chopper
 stabilization 방법^[11]등이 있다.

전원잡음 및 common mode 입력에 의한 영향을 나
 타내는 수치로 각각 PSRR(power supply rejection
 ratio) 및 CMRR(common mode rejection ratio)를 측
 정하며 이 값들이 클수록 영향이 적다고 할 수 있다.
 PSRR 및 CMRR을 개선하기 위해서 fully differential
 구조를 사용하기도 하나 회로가 커지는 단점이 있다.

1/f 잡음은 저 주파수대에서 주파수에 반비례하게 나
 타나는 잡음의 형태를 보이는데 MOS 트랜지스터의 경
 우 심하게 나타나며 특히 NMOS에서 PMOS보다 크게
 나타난다. 또한 1/f 잡음은 게이트 면적에 반비례하는
 특성도 보이고 있다. 따라서 1/f 잡음은 입력 트랜지스
 터로 PMOS를 사용하고 게이트의 폭을 넓히거나 아예
 래터럴 바이폴라 트랜지스터를 입력에 사용하여 줄일
 수 있다.

비교기는 기본적으로 두개의 입력간의 작은 전압 차
 이를 판정하여 디지털 출력을 내보내주는 기능 블록으
 로 앞절에서 언급한 op 앰프를 오픈 루프 mode로 사용

하여 그 목적을 달성할 수 있다. 단 이 경우 위상 보상 캐패시터는 필요없게 된다. 일반적으로 비교기에서 요구되는 특성으로는 입력 sensitivity 즉 얼마나 작은 전압 차이를 감지할 수 있는냐 하는 것과, 비교 속도이다. 입력 sensitivity에 가장 큰 영향을 미치는 요소는 입력 오프셋이며 op 앰프에서와 같이 오프셋 보정 방법이 사용될 수 있다. 비교 속도는 회로 구조에 상당한 영향을 받는데 op 앰프의 구조로는 비교 속도에 제한이 많으며 그림 3과 같이 regenerative 케환 구조를 사용한 래치드 비교기^[12]를 사용하여 속도를 개선시킬 수 있다.

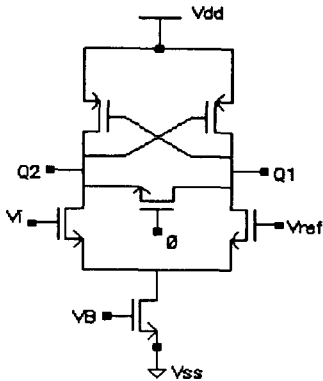


그림 3. 래치드 비교기

2. 필터

모노리틱(monolithic) 필터를 구현하는 방법으로는 op 앰프를 기본으로 하는 필터와 OTA를 기본으로 하는 필터로 구분할 수 있으며 op 앰프를 기본으로 하는 필터는 신호처리 방법에 따라 샘플드-데이터 방식인 SC 필터^[13,14]와 continuous-time 필터로 나눈다. 사실 op 앰프를 사용하는 필터의 기본 기술은 종래 개별 소자를 사용하던 시기부터 개발된 능동 RC 필터의 설계 기술을 그대로 따르고 있다. 그러나, 모노리틱 저항과 캐패시터의 부정확성 때문에 이를 극복하기 위한 방편으로 SC 필터에서와 같이 캐패시터비와 샘플링 클럭의 주기를 사용하여 필요한 시정수를 정확히 구현한다든지 MOSFET-C 필터^[4]에서와 같이 MOSFET를 전압 조절 가능한 저항으로 사용하여 공정등에 따른 오차 보정이 가능한 continuous-time 필터를 실현하고 있다. 한편 OTA의 조절 가능한 트랜스컨덕턴스 특성을 이용하여 gm-C 형태의 continuous-time 필터를 구현하려는 연구도 활발하게 진행되고 있다.^[15,16] 그림 4는 능동 필터 구성의 기본 블럭인 적분기를 각 방식으로 구현한

예이다. 다음에 위에 언급한 각각의 필터 구현 방식의 장단점을 간략하게 살펴 보기로 한다.

그림 4(b)의 SC 적분기의 시정수는 $\tau=TC_2/C_1$ 으로 샘플링 클럭의 주기에 비례하고 적분 캐패시터스와 입력 캐패시터스의 비로 결정된다. 그런데 대부분의 공정에서 캐패시터스의 비는 캐패시터스 절대값의 상당한 변화에도 불구하고 비교적 작은 오차 ($\pm 0.05\%$ 이내)를 가지므로 큰 어려움없이 SC 필터의 시정수를 정확하게 확보할 수 있다. 그렇지만 anti-aliasing 프리-필터가 필요하다든지, op 앰프의 settling time에 따른 제약 및 고속 스위칭 시의 잡음 문제등으로 인해 오디오 밴드 이상의 고주파 영역에서의 응용에는 제한이 있다.

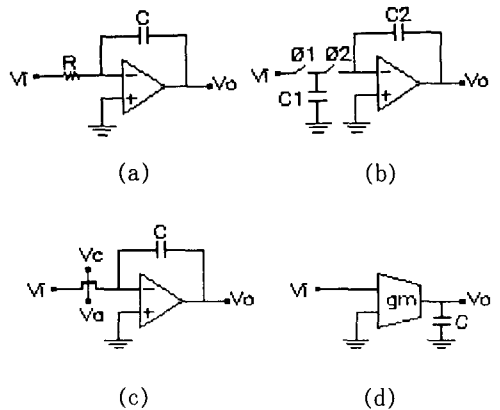


그림 4. 아날로그 적분기

MOSFET-C 필터는 MOSFET를 선형 영역에서 동작하게 하며 게이트 전압으로 MOSFET의 저항값을 조절하도록 한다는 아이디어에서 출발하였다. 그런데 MOSFET의 선형 영역은 상당히 좁으므로 이를 증대시키기 위한 방법으로 cross coupled fully balanced 구조^[9]등을 제안하고 있다. 그러나 이 구조의 약점은 op 앰프의 제한된 GB 및 MOSFET의 기생 캐패시터스등으로 인해 고주파대에서의 응용에 제약이 많고 특히 fully balanced op 앰프를 사용하는 관계로 op 앰프의 두개의 입출력간의 경로의 균형유지에 상당한 어려움이 따른다.

OTA를 이용한 gm-C 필터는 OTA의 gm값을 전압 또는 전류로 조절하므로써 MOSFET-C 필터와 마찬가지로 소위 tunable 필터를 구현한다. 이 구조는 증폭기 자체의 gm값을 이용하므로 MOSFET-C에서와 같이 op 앰프의 GB에 의한 제약등이 없으며 앞절에서 보인 바와같이 OTA의 gm은 op 앰프의 GB에 비해 훨씬 큰 대

역폭을 가지므로 고주파 필터의 실현에 유용하다.

한편 MOSFET-C나 g_m -C 필터와 같은 continuous-time tunable 필터의 실제 시스템에의 적용을 위해서는 적절한 tuning 알고리즘 또는 tuning 회로가 수반되어야 한다.

그밖에, 최근들어 MOS 트랜지스터의 메모리 특성을 이용하여 전류원과 스위치를 함께 사용한 샘플드-데이터 방식의 SI(switched current)기술^[16]이 새로이 소개되고 있으며 이 기술을 이용한 필터가 발표되었다.^[17] 이 기술의 가장 큰 장점은 캐패시터를 사용하지 않으므로 기존의 디지털 공정을 그대로 사용할 수 있어 혼성 신호처리 회로의 구현에 적합하다는 점이다.

3. 데이터 변환기

혼성 신호처리 시스템에서 A/D 변환기와 D/A 변환기야말로 필수불가결한 기능 블록이라 할 수 있다. 데이터 변환기를 구현하는 방식은 필요한 분해능, 즉 비트수 및 변환 속도에 따라 여러가지가 있으나 기본적으로 오프셋 에러, 이득 에러, differential nonlinearity, integral nonlinearity, monotonicity 등의 정특성과 최대 샘플링율, slew rate, settling time, glitch energy 등 동특성을 만족하도록 설계되어 진다.

A/D 변환기의 가장 고전적인 형태로 serial 방식을 들 수 있다. 이 방식의 원리는 ramp 발생기를 사용하여 매 클럭마다 기준 전압을 증가시키며 이 값이 아나로그 입력값보다 크게 되는 순간 그때까지의 클럭 수를 세어 디지털 값으로 변환시키는 것이다. 이 방식은 구현 방법이 간단하나 변환 속도가 매우 느린 흠이 있다.

Successive approximation 방식의 A/D 변환기는 중간 정도의 분해능 (6~10 비트), 수십 KHz 정도의 변환 속도가 요구되는 경우 가장 많이 사용되고 있다. 이 방식의 특징은 A/D 변환기 내부에 D/A 변환기를 포함하는 것으로 이 D/A 변환기는 저항 디바이더, 캐패시터 디바이더 또는 이들을 합한 형태를 취하고 있다. 그림 5는 successive approximation 방식 A/D 변환기의 블록도이다. 여기에서 SAR(successive approximation register)과 D/A 변환기는 MSB로부터 시작하여 차례로 다음 비트에 해당하는 기준 값을 발생하며 이 값은 아나로그 입력과 비교되어 그 결과가 다시 SAR에 등록되는 동시에 해당되는 비트의 값이 정해진다. 이 방식이 성공하기 위해서는 저항 및 캐패시터의 matching이 대단히 중요하나 최근에는 self-calibration 방법을 이용하여 matching 에러를 극복하므로써 분해능을 높일 수 있는 방식이 보고되고 있다.^[18]

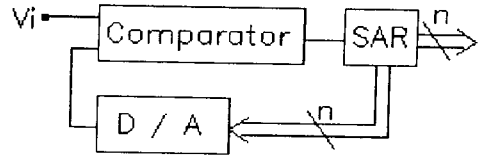


그림 5. Successive approximation A/D 변환기

고속 A/D 변환기의 실현 방법으로는 flash 방식과 two-step flash (또는 sub-ranging) 방식이 있다. Flash 방식에서는 N-비트의 분해능을 위해 2^N-1 개의 비교기를 사용하므로써 N-비트의 값을 동시에 구할 수 있다. 즉 2^N-1 개의 비교기에 각각 2^N-1 가지의 기준 값이 연결되어 아나로그 입력과 비교되므로 변환 속도는 거의 비교기의 속도에 의해 결정되어 현재의 A/D 변환기 방식 중 가장 빠른 변환 속도를 가질 수 있다. 그러나, 이 방식은 비트 수를 늘릴 때마다 필요한 비교기의 수가 기하급수적으로 늘어나므로 실리콘 면적등을 고려할 때 실질적으로 구현할 수 있는 분해능에 한계가 있다.

Flash 방식의 변환 속도를 조금 양보하고 대신 분해능을 높이기 위한 방법이 two-step flash 방식이다. 이 방식은 일단 아나로그 입력을 S/H(sample and hold) 회로에 저장한 후 처음 M개의 MSB를 먼저 flash 방식으로 A/D 변환한다. 다음 M-비트의 A/D 변환기 출력 값은 다시 D/A 변환을 한 후 원래의 S/H 출력과의 차이를 N-비트 flash 방식의 A/D 변환을 함으로써 결과적으로 M+N-비트의 분해능을 얻는다. 이때 필요한 비교기수는 $(2^M-1)+(2^N-1)$ 개가 되어, flash 방식으로 구현할 경우 필요한 비교기수 $2^{M+N}-1$ 보다 훨씬 작게 된다. 역으로 말하면 같은 수의 비교기를 사용하여 flash 방식에 비해 더높은 분해능을 얻을 수 있다고 할 수 있다.

중간 정도의 분해능과 변환 속도를 갖는 D/A 변환기는 앞서 successive approximation 방식 A/D 변환기에서 내부 블록으로 사용하고 있는 저항 디바이더 또는 캐패시터 디바이더 방식이 있으며 이러한 방식에서는 각 소자의 matching이 중요하다는 점은 기 언급한 바와 같다. 그래픽 시스템등에서 요구되는 MHz 영역의 D/A 변환을 위해서는 전류 스위칭 방식을 많이 사용한다. 이 방식은 보통 2^N-1 개의 전류원과 스위치를 사용하며 디지털 코드에 따라 원하는 수만큼의 전류원을 출력에 연결하여 출력에 연결된 외부저항 (보통 coaxial

cable의 특성 저항) 양단에 아나로그 전압을 나타내 준다. 따라서 변환 속도는 스위칭 속도와 필요한 전류원에 스위치를 연결해 주는 디코더의 속도에 의해서만 결정되므로 대단히 빠르다. 단, 이때 각 전류원을 켜고 끄는 속도가 동일하지 못할 경우 glitch가 발생하므로 이에 대한 설계상 주의가 필요하다.

최근에 가장 각광을 받고있는 데이터 변환기 기술로서 시그마-델타 변조방식을 이용한 오버샘플드 데이터 변환기^{19,20)}를 들 수 있다. 이 방식의 기본 아이디어는 Nyquist rate 보다 훨씬 높게 신호를 샘플링 하므로써 신호 진폭의 분해능을 시간의 분해능으로 바꾸어 주어 아나로그 회로부에서는 1-비트 A/D 변환만 수행하도록 하고 나머지는 디지털 회로에 맡긴다는 것이다. 그림 6에 전형적인 시그마-델타 A/D 변환기의 블록도를 보인다. 그림 6에서 적분기는 보통 SC 적분기를 사용하며 이때 샘플링 클럭의 주파수 f_s 는 Nyquist 주파수의 100배 이상 큰 주파수를 사용한다. 적분기의 출력은 비교기를 사용하여 1-비트 A/D 변환되며 그 출력은 1-비트 D/A 변환기를 통하여 입력에서 빼어지게 된다. 이때 비교기의 출력은 펄스 밀도 변조된 신호가 되며 이 신호는 다시 디지털 decimation 필터를 통과하여 펄스 코드 변조된 신호로 바뀌게 된다. 이 과정에서 1-비트 A/D 변환을 함으로써 생긴 양자화 잡음 또한 디지털 필터를 통하여 제거된다. 이 방식 역시 두단 이상의 적분기를 사용할 경우 안정성에 문제가 있는 등 실질적 문제들을 내포하고 있으나 현재까지는 가장 높은 분해능(14~20비트)을 얻을 수 있는 방식으로 밝혀져 있다. 한편 위 A/D 변환기의 아나로그와 디지털 블록의 순서를 바꾸므로써, 즉 디지털 시그마-델타 변조기와 아나로그 필터를 사용하면 오버샘플드 D/A 변환기의 구성이 가능하다.

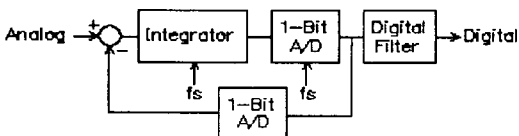


그림 6. 오버샘플드 시그마-델타 A/D 변환기

IV. 혼성 신호 집적회로의 응용

서론에서 언급한 바와 같이 공정기술과 디지털 신호 처리 기술의 발달로 점점 더 많은 기능 블록이 한 칩 위에 구현 가능하게 되었고 필연적으로 아나로그 기능 블록 또한 디지털 블록과 함께 집적시켜 시스템-온-칩화를 실현하려는 노력이 경주되고 있다. 이러한 경향은 오늘날 통신, consumer 및 의용기기등 여러 분야에서 데이터 변환기, 필터, 증폭기 등이 혼성 신호 시스템의 입출력부에서 외부 인터페이스 및 필요한 전, 후 신호처리를 하고 주요 신호처리는 디지털 신호처리부에서 담당하는 형태로 나타나고 있다.

혼성 신호 칩이 가장 많이 이용되고 있는 분야중 하나로 통신 부문을 들 수 있으며 일례로, 그림 7은 현대역 ISDN(integrated service digital network) U-interface 칩의 블록도이다. ISDN U-인터페이스 chip은 가입자와 교환기 사이에서 각종 음성, 비디오 및 데이터를 기존의 전화망을 통해서 전송하는데 필요한 scrambling, descrambling, coding등 신호처리 및 라인과의 인터페이스를 하여주며 송신부와 수신부로 나눌 수 있다. 수신부에서 하이브리드로 되어있는 커플링 회로를 통해 들어온 아나로그 신호는 시그마-델타 변조기와 decimation 필터로 구성된 A/D 변환기를 거친후 DSP 블록에서 AGC(automatic gain control), equalization, echo cancellation등을 행하고 시스템 인터페이스를 통해 descramble된 데이터를 내보낸다. 송신부에서는 scramble된 신호를 2B1Q 또는 4B3T로 encoding한 후 D/A 변환기, 저주파 대역 송신 필터 및 line driver를 거쳐 커플링 회로로 출력된다. 여기에서 저주파 대역 필터는 보통 SC 필터로 구현하여 line driver는 커플링 회로를 거쳐 135 ohm의 부하저항 양단에 $\pm 2.5V$ 의 크기의 펄스를 내보낼 수 있는 버퍼 증폭기가 필요하다.

그의 휴대용 전화기를 비롯한 이동 통신기기에서 음성신호의 A/D 및 D/A 변환, compression/expansion,

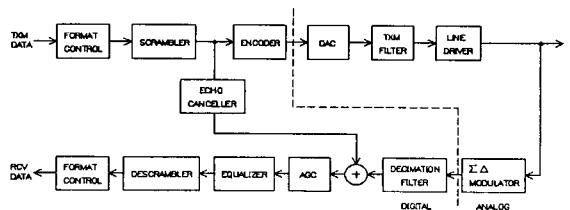


그림 7. ISDN U-interface chip의 블록도

DTMF 신호 발생 및 검출 등의 아나로그 기능과 데이터 송수신, encoding/decoding, 에러 수정, signaling tone 발생등을 하는 DSP 기능이 혼재된 칩들이 사용된다.

Consumer 분야는 CDP(compact disc player)등 디지털 오디오에서 18~20비트의 고 분해능 A/D 및 D/A 변환기가 사용되며 이들은 주로 시그마-델타 기술을 이용하여 구현한다. 또한, 전류 스위치 방식등으로 구현되는 비디오 주파수대의 D/A 변환기는 HDTV(high definition television)등의 수상기를 위해 필수적이다.

의용기기 분야의 보청기, 심장박동기와 같이 전지로 구동되는 기기에서는 저 소비전력 요구를 만족시키기 위해 MOS 트랜지스터를 subthreshold 영역에서 동작시킨 아나로그 회로와 함께 디지털 콘트롤 블럭을 사용하는 예를 볼 수 있다.

V. 결 론

아나로그 신호처리 회로는 공정, 소자 및 설계 제 분야에 걸쳐 수많은 장애로 인하여 집적회로의 발전이 지연되었다. 그러나 공정기술의 발달과 더불어 SC 회로 기술, 시그마-델타 기술등 설계 분야의 창조적 아이디어의 출현은 공정, 소자상의 많은 문제점을 극복하고 모노리틱 아나로그 집적회로의 실현을 가능하게 하였다. 뿐만 아니라 VLSI의 집적도가 증가함에 따라 종래 board상에서나 실현 가능하였던 시스템을 하나의 칩위에 집적화하려는 시도가 행하여지면서 아나로그와 디지털 혼성 신호 집적회로의 출현이 필수 불가결하게 되어 가고 있다.

본고에서는 아나로그 및 혼성 신호 집적회로 실현의 장애가 되는 요소들을 살펴보고 이러한 장애요소를 극복하며 발전해온 주요 아나로그 설계 기술에 대하여 고찰하였다. 그리고, 마지막 장에서는 혼성 신호 집적회로의 응용 예에 대해 기술하였다.

오늘날 통신, consumer, 의용기기 및 자동차등 여러 분야에서 혼성 신호 집적회로의 필요성은 증대되고 있으며 이러한 응용 부문으로 부터의 동기 부여는 향후 아나로그 및 혼성 신호처리 기술의 발전에 걸인차 역할을 할 것이다.

參 考 文 獻

- [1] P.E. Allen and D. Holber, *Analog Circuit Design*, Holt, Rinehart, and Winston, New York, New York, p.16, 1987.
- [2] E.A. Vittoz, "The design of high-performance analog circuits on digital CMOS chips," *IEEE J. Solid-State Circuits*, vol. SC-20, pp.656-665, June 1985.
- [3] Y. Amemiya, T. Ono, and K. Kato, "Electrical trimming of heavily doped polycrystalline silicon resistors," *IEEE Trans. Electron Devices*, vol. ED-26, pp.1738-1742, 1979.
- [4] Y. Tsvividis, M. Banu, and J. Khoury, "Continuous-time MOSFET-C filters in VLSI," *IEEE J. Solid-State Circuits*, vol. SC-21, pp.15-30, Feb. 1986.
- [5] H. Khorramabadi and P.R. Gray, "High-frequency CMOS continuous-time filter," *IEEE J. Solid-State Circuits*, vol. SC-19, pp.939-948, Dec. 1984.
- [6] C.F. Chiou and R. Schaumann, "Design and performance of a fully integrated bipolar 10.7-MHz analog bandpass filter," *IEEE J. Solid-State Circuits*, vol. SC-21, pp.6-14, Feb. 1986.
- [7] J. Trontelj, L. Trontelj, S. Ozbolt, T. Pletersek, V. Kunc, "1.2 micron, high speed, high density CMOS analog library," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp.24.2.1-24.2.6, May 1988.
- [8] P. Gray and R. Meyer, "MOS operational amplifier design-A tutorial overview," *IEEE J. Solid-State Circuits*, vol. SC-17, pp.969-982, Dec. 1982.
- [9] A. Nedungadi and T. Viswanathan, "Design of linear CMOS transconductance elements," *IEEE Trans. Circuits Syst.*, vol. CAS-31, pp.891-894, Oct. 1984.
- [10] E. Seevinck and R. Wassenaar, "A versatile CMOS linear transconductor/square-law function circuit," *IEEE J. Solid-State Circuits*, vol. SC-22, pp.367-377, June 1987.
- [11] R. Poujois, B. Baylac, D. Barbier and J.M. Ihel, "Low-level MOS transistor amplifier using storage techniques," in *ISSCC Dig. Tech. Papers*, pp. 152,153,216,217, Feb. 1992.
- [12] B.J. McCarrol, C.G. Sodini, H.-S. Lee, "A high speed CMOS comparator for use in an ADC,"

- IEEE J. Solid-State Circuits*, vol. SC-23, pp.159-165, Feb. 1988.
- [13] B.S. Song and P.R. Gray, "Switched-capacitor high-Q bandpass filter for IF applications," *IEEE J. Solid-State Circuits*, vol. SC-21, pp.924-940, Dec. 1986.
- [14] M.S. Tawfik and P. Senn, "A 3.6MHz cut off frequency CMOS elliptic low-pass switched-capacitor ladder filter for video communications," *IEEE J. Solid-State Circuits*, vol. SC-22, pp.378-384, June 1987.
- [15] C.S. Park and R. Schaumann, "High-frequency fully-tuned CMOS transconductance-C filter," in *Proc. IEEE Int. Symp. Circuits and Systems*, pp. 2161-2164, May 1988.
- [16] J.B. Hughes, N.C. Bird, and I.C. Macbeth, "Switched-currents - A new technique for sampled-data signal processing," in *Proc. IEEE Int. Symp. Circuits and Systems*, pp.1584-1587 May 1989.
- [17] T.S. Fiez and D.J. Allstot, "A CMOS switch-current filter technique," in *ISSCC Dig. Tech. Papers*, pp.206,207,297, Feb. 1990.
- [18] H.-S. Lee, D.A. Hodges, and P.R. Gray, "A self-calibrating 15 bit CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-19, pp.813-819, Dec. 1984.
- [19] M. Hauser, R. Brodersen, "Circuit and technology considerations for MOS delta-sigma A/D converters," in *Proc. IEEE Int. Symp. Circuits and Systems*, pp.250-253, 1986.
- [20] B. Boser, B. Wooley, "The design of sigma-delta modulation analog-to-digital converters," *IEEE J. Solid-State Circuits*, vol. SC-22, pp.1298-1308, Dec. 1988. 🌐

筆者紹介



金太根

1955年 12月 9日生

1979年 2月 서울대학교 전자공학과 (학사)

1981年 8月 서울대학교 대학원 전자과 (석사)

1988年 12月 TEXAS A & M대 전기과 (박사)

1989年 3月~현재 현대전자산업(주) 반도체 연구소 근무 (수석 연구원)

주관심 분야 : VLSI 설계, 통신시스템, Device Physics