

Standard Cell

文 重 根

現代電子産業(株) ASIC Design Center

I. 서 론

최근 집적회로 기술과 computer 기술의 결합으로 VLSI 설계기술은 수십만 gate 이상까지 집적이 가능하게 되었고 workstation의 보급으로 집적회로의 자동설계(design automation) 기술은 절정에 이르고 있다. 이제는 자동설계 기술을 이용하여 customer가 필요한 반도체 집적회로를 직접 설계하는 방식, 즉 ASIC(application specific IC)은 미래에 가장 성장이 큰 분야로 주목되고 있으며 또한 최근에는 짧은 제품 life cycle로 인하여 빠른 제품 기획 및 개발이 요구되고 있으며 제품의 경쟁력 우위 확보를 위해서는 제품의 차별화, 고기능 저가격화를 추구해야 하는 system maker로서는 system 설계 단계부터 ASIC을 고려하지 않을 수 없게 되었다.

이러한 ASIC 개발 방식에는 '80년도 중반에는 주로 반주문형 설계 방식인 gate array와 standard cell방식(또는 cell based IC 방식), 그리고 full custom 방식을 뜻했으나, 근래에 PLD 및 FPGA 방식을 포함하여 광범위하게 특정한 용도에 맞추어 설계하는 방식 전체를 의미하고 있다.

System maker로서는 system performance, 개발 기간, 개발 비용, 생산 volume, 설계 난이도 및 자유도, I/O pin 수, 재설계 기간 및 비용, package 및 test 용이도 등을 여러 각도로 고려하여 이들 여러 ASIC 개발 방식 중 자신의 용도에 최적인 방식을 선정할 필요가 있다.

일반적으로 낮은 생산 volume이면서 빠른 개발 기간, 저개발 비용, 빠른 설계 수정을 필요로 하고 design complexity가 비교적 낮은 응용 분야에서는 gate array

방식을 택하고 있고, 반면에 비교적 빠른 개발 기간을 필요로 하면서 동시에 high performance, high design complexity, 높은 생산 volume, 낮은 생산 비용을 요하는 응용 분야에서는 standard cell 방식을 선호하고 있다.

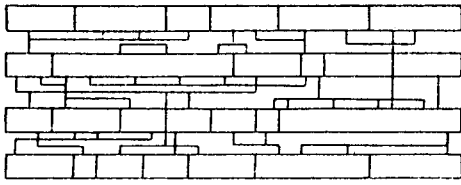
그리고 제품 life cycle이 짧고 집적도가 낮은 응용 분야는 customer가 직접 간단한 개발 장치를 사용하여 손쉽게, 단시간에 논리회로를 custom화할 수 있으면서 위험도가 낮은 PLD나 FPGA 방식을 택하고 있다. 본 본문에서는 standard cell의 특징, standard cell을 이용한 ASIC 개발 과정, customer interface 방식 등에 관하여 논하고자 한다.

II. Standard Cell의 특징

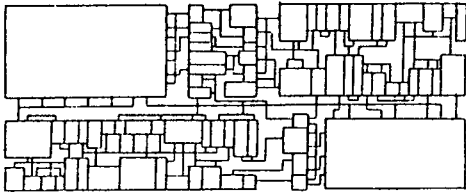
1. 구조적 특징

Standard cell은 layout 수법에 따라 poly cell 방식과 building block 방식으로 크게 나누어 지는데 poly cell 방식이란 cell의 높이를 일정하게 하고 폭을 cell에 따라서 가변적으로 layout하는 방식(그림 1-a)이며, building block 방식은 cell의 높이, 폭 모두 임의로 layout하여 이들을 조합하는 layout 방식이다.(그림 1-b)

Poly cell 방식은 gate array의 layout과 비슷해 보이지만 배선 channel의 track 수가 배선 갯수에 따라 유동적으로 변화하여 gate array와 같은 불필요한 track이나 지연이 발생하지 않는다. 과거 layout software가 그다지 발전하지 못했던 시기에는 이 방법이 일반적이었으나 현재 layout software의 급격한 개량, 발전으로 building block(최근에는 CPU core, DSP core 등 고집적 기능도 building block library화 되고 있음) 방식이 보편화 되어 있는 standard cell 방식이다.(Cell based



(a) Poly cell 방식의 standard cell



(b) Building block 방식의 standard cell

그림 1. Poly cell 방식과 building block 방식의 비교

IC 방법이라고도 함)

Standard cell과 gate array의 가장 큰 차이점은 logic element의 구조에 있다고 볼 수 있다. 즉 standard cell의 logic element는 개개의 transistor로부터 필요한 logic이 이미 구성되어 있는 반면 gate array의 logic element는 array cells(base array)에 이미 포함되어 있는 transistor를 연결하므로써 logic element가 구성된다.

2. ASIC 개발시 Standard Cell과 Gate Array의 장단점

1) Standard cell methodology의 장점

- 짧은 설계 기간 : 이미 기능, 특성 등이 검증되어 있는 풍부한 cell library를 보유하고 있고 모든 설계 과정이 software적으로 수행될 경우 gate array와 동일 수준의 설계 기간이 걸린다.

- 저 생산 비용 : standard cell 방식은 동일한 gate 수에 대해 gate array 방식에 비해 작은 chip 면적을 제공한다. 즉 gate array 방식은 channel routing^[1,2]의 제한 때문에 미사용되는 array cell들이 발생되어 보통 base array chip area의 5~30% 정도를 낭비하게 되는 반면 standard cell 방식은 필요한 macro cell만을 사용하여 chip을 설계하므로 작은 chip 면적을 제공한다. (또한 standard cell의 macro cell은 일반적으로 full custom cell처럼 compact하게 설계되고 layout되기 때문에 gate array macro cell에 비하여 chip area가 작다.)

그러므로 제품 생산시 동일 wafer size에서 더 많은 net die (chip 수)를 얻을 수 있어 생산 비용을 절감할 수 있다.

- 성능 증가 : standard cell은 full custom 방식처럼 compact하게 설계되고 layout되기 때문에 interconnect capacitance가 크게 감소되어 gate array에 비해 speed가 향상된다.

- 고기능화 가능 : standard cell 방식은 gate array에서 곤란한(최근에는 일부 가능함) RAM, ROM, PLA, MCU, MPU, DSP, analog 등의 building block cell을 탑재하여 고기능, 고집적 ASIC 설계가 가능하다.

2) Standard cell methodology의 단점

- 긴 개발 기간 : full custom 방식과 마찬가지로 full mask sets(8~12 masks)를 사용하여 전체 제조 공정을 거쳐야 prototype sample을 얻을 수 있으므로 개발 기간이 오래 걸린다.

- 고 개발 비용 : 개발시 full mask sets(8~12 masks)가 필요하므로 gate array에 비해 개발 비용이 비교적 높다.

3) Gate array methodology의 장점

- 저 개발 비용 : 개발시 customer에 의한 customized mask set(2~4 masks)만이 필요하므로 개발 비용이 낮다.

- 짧은 개발 기간 : 마지막 제조 공정 이전 단계까지 공정 완료된 base array에 customized mask를 사용하여 마지막 제조 공정을 진행하므로써 빠른 기간내에 prototype sample을 얻을 수 있다.

- 짧은 설계 기간 : standard cell과 동일.

4) Gate array methodology의 단점

- Chip area의 낭비 발생 : channel routing의 제한때문에 미사용되는 array cell들이 발생되어 보통 base array chip area의 5~30% 정도를 낭비하게 된다.

- 설계 자유도의 부족 : analog cell, MCU, MPU, RAM, ROM 등 기능 탑재가 어렵다.

III. Standard Cell을 이용한 ASIC 개발 과정

기본적으로 gate array를 이용한 ASIC 개발 과정과 큰 차이가 없다고 볼 수 있으나 앞서도 언급했듯이 customer가 standard cell을 이용하여 ASIC을 개발하고자 하였을 때 미리 고려하여야 할 사항은 우선 개발 기간과 개발 비용의 문제일 것이다.

Characteristics	Gate Array	Standard Cell	Full Custom
Design Time	Short	Short	Long
Development Time	Short	Long	Long
Chip Area	Large	Intermediate	Small
Development Cost	Low	Intermediate	High
Production Cost	High	Intermediate	Low
Versatility	Low	Intermediate	High
TAT for Minor Redesign	Short	Intermediate	Long

그림 2. Design methodology의 비교

Standard cell은 모든 mask level을 사용하여 처음부터 마지막의 제조공정 과정을 거쳐야 하기 때문에 설계 기간 측면에서는 gate array와 대등하다 하더라도 어떤 방법을 동원하여도 gate array와 같이 단기간에 ASIC 제품을 출하하기는 어렵다.

또한 mask 개발 비용에 있어서도 gate array가 2~4 mask set인 반면 standard cell에서는 8~12 mask set가 필요한 것이 보통이며 standard cell ASIC은 개발 때마다 chip size가 다르기 때문에 새로운 probe card 제작비도 필요하게 되어 일반적으로 NRE(non recursive engineering) cost가 gate array에 비해 높다. 이 때문에 customer는 최저 사용량이 비교적 크고 낮은 생산 비용을 요하면서 동시에 high performance, high design complexity가 필요한 경우 standard cell을 이용하여 ASIC화 하는 것이 바람직하다.^[3,4]

1. 개발 절차

1) System 설계 및 논리 설계

ASIC 사용자 즉 customer가 제작하려는 system에 대한 동작 및 사양을 결정하고 그 사양에 맞게 기능 block 및 논리 설계(회로 설계 및 timing 설계)를 하는 단계를 말한다. 이 단계에서 ASIC화 할 부분을 결정하게 된다. 최근에는 high level behavioral simulation, logic synthesis 과정을 통해 logic을 자동 생성할 수 있는 단계까지 발전하였다.

2) 논리 simulation 및 검증

기본적인 논리도가 완성되면 논리도를 입력하여 설계 rule을 check하고 timing을 검증하는 단계이다. 먼저 ASIC으로 해야 할 회로를 I/O buffer를 포함한 block의 접속 정보로 나타내고 fanout이나 cell 수 등의 설계 rule을 check한 다음 기대하는 동작을 나타내는 test pattern 정보를 사용하여 논리를 검증한다. 이 단계에서

반도체 소자 자체의 delay time과 배선에 의한 delay time을 포함한 simulation이나 test pattern의 검출율 check(test coverage) 등에 의해서 설계에 대한 정밀도를 높인다.

3) 자동 cell 배치 및 배선 (layout)

Simulation을 완료하여 설계된 회로에 이상이 없는 것이 검증되면 APR(automatic placement & routing) software를 이용하여 자동으로 chip layout을 하는 단계이다. 이 때 simulation 검증된 netlist를 입력으로 받아들이며 미리 준비된 physical cell library를 이용하여 cell 배치, 배선 등이 자동으로 이루어진다.

4) 최종 검증 simulation(post layout simulation)

APR이 완료된 후 layout data에서 metal 및 poly 배선 길이, contact 등에 의한 capacitance를 추출하고, 이를 이용하여 논리 및 timing, layout 상태를 최종 검증하는 단계이다.

5) Mask 제작 및 제조

Post simulation에 이상이 없을 경우 mask 제작, fabrication, packaging, test 과정을 거치는 단계이다. Sample test는 test pattern 기술 언어인 TDL(test description language)에서 tester의 test program으로 변환된 program에 의해 이루어진다.

6) 평가 및 양산

Prototype sample이 system 사양을 만족하는지 평가하는 단계이며, 만족하는 것이 확인되면 양산을 개시한다.

2. 설계상의 주의점

특히 standard cell에서는 gate array와 같이 배선 공정만으로 ASIC을 제작하지 않고 전 mask level을 사용하여 제작하므로 sample 출하 후의 회로 변경은 많은 노력과 시간이 걸린다. 이 때문에 논리 설계 단계에서 충분히 설계상의 bug를 찾아내지 않으면 안된다.

많은 customer가 「회로도 및 timing diagram을 maker에 넘기면 나머지 일은 sample 완성을 기다릴 뿐」이라고 생각하는 경우가 많다. 그러나 customer로부터 받은 회로도 및 timing에 의해 simulation을 실행한 결과 error 발생시 error를 해소하지 않으면 다음 단계로 넘어갈 수 없다. 이 error의 원인을 추적하고 수정하는 데 있어서 ASIC maker 측에서도 기술적으로 가능하지만 system 설계, 논리 설계를 직접 행한 customer가 error의 원인을 추적하고 수정하는 것이 훨씬 빠르고 정확하다. 즉 ASIC(gate array, standard cell)은 customer와 maker가 공동으로 개발하는 것이므로 양자사이의 적절한 역할 분담이 존재한다. Simulation 단계에 있어서 maker 측으로부터 협력이나 조언은 받지만 「회로 확정」까지의 추진 단계는 customer에게 있다고 볼 수 있다.

3. Customer Interface 방식

Customer가 ASIC을 개발하고자 할 때(gate array와 standard cell 동일) ASIC maker와의 interface 형식을 말하는데 일반적으로 그림 3에 나타나듯이 아래 4가지 종류로 구분된다.^[5,6]

1) 사양서(specification) interface

이 방법은 customer가 자신의 system에 사용하고자 하는 ASIC의 사양서(specification)만을 작성하여 ASIC maker에 전달하고 ASIC 개발을 ASIC maker에서 전담 수행하는 방식이다. 이 방식은 customer측이 ASIC 설계 경험이 없거나 설계 난이도가 높은 경우 이용되는데 interface 성격상 fullcustom 방식에 해당된다고 볼 수 있다. 이 경우는 ASIC maker 측에서 customer의 system 특성을 충분히 이해할 정도의 system 전문지식을 필요로 하고 설계 및 sample 출하 기간은 오랜 기간이 소요된다.

2) 회로도 interface

논리설계(회로 설계 및 timing설계)까지를 customer가 수행하고 simulation 이후를 ASIC maker에서 수행하는 방식인데 이 interface는 다음 2가지로 나눌 수 있다.

-SSI, MSI 회로도 interface(74LS, CMOS4000 회로도)

-ASIC maker의 library로 변환된 회로도 interface (ASIC maker에서 제공하는 설계 manual과 cell library 활용)

그리고 위의 어느 경우에도 interface시에는 회로도(circuit schematic), timing diagram, I/O description,

test vector 등을 필요로 한다. 이 회로도 interface는 ASIC이 시장에 도입된 초기부터 현재까지 널리 채용되어 온 일반적인 방식이므로 user의 기술 부담이 가벼워도 될 것으로 생각되지만 실제로는 simulation 완료까지 여러번의 error가 발생하게 되어 그 때 customer와 maker간에 data의 왕복, 회로의 수정 등으로 장시간을 소비하는 경우가 많다.

3) Data interface

Data interface는 최근 급속히 보급되고 있는 EWS(engineering workstation)에 의해 customer가 data를 입력한 후 그 data에 의해 maker와 interface하고 그 이후의 simulation부터는 ASIC maker가 수행하는 방식이다.

-ASIC maker 제공 program에 의한 data interface
-각종 EWS, CAD tool을 사용한 data interface

첫번째의 경우 ASIC maker가 customer용 설계 tool을 제공하여 customer가 회로도 및 test pattern을 입력하고, 등록된 data는 자동적으로 ASIC maker의 simulator용 netlist로 변환되어 이 data로 ASIC maker와 interface하고 simulation부터 ASIC maker에서 진행되는 방식이다.

두번째 경우는 customer가 popular한 EWS 및 CAD tool을 보유하고 있는 경우 ASIC maker에서 design kit(cell library 및 interface program)를 제공하여 customer가 회로도 및 test pattern을 입력하고 ASIC maker simulator용 netlist로 변환하여 이 data로 interface하고 simulation부터 ASIC maker에서 진행되는 방식이다.

4) CAD interface

ASIC maker에서 EWS 및 CAD tool을 보유하고 있는 customer에게 design kit를 제공하고

-Customer가 논리 설계에서 simulation 검증까지 완료하고 그 다음 layout부터 ASIC maker가 진행하는 interface 방식

-Customer가 논리 설계에서 layout까지 완료하고 layout data(또는 mask data)로 ASIC maker와 interface하는 방식

이 방식은 customer의 손으로 자유로이 simulation이 실행되기 때문에 단기 개발에 특히 유리하다.

4. ASIC Design Center(또는 customer support center)의 역할

위에서 언급하였듯이 ASIC을 개발하기 위해서는 customer와 ASIC maker 사이에 밀접하고 원활한 in-

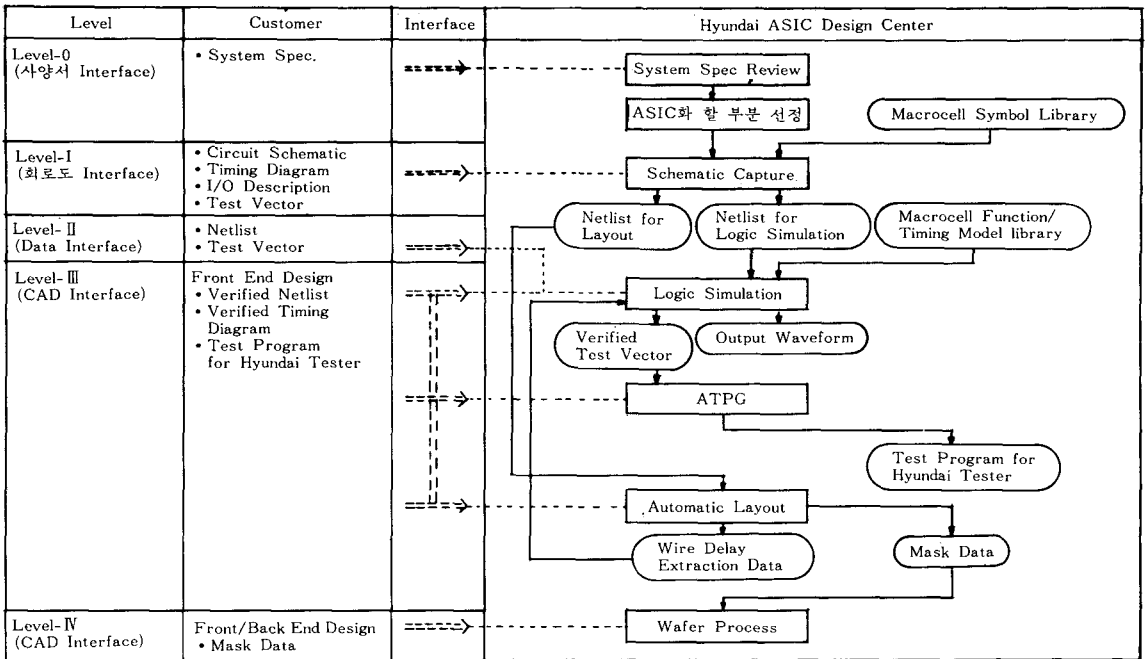


그림 3. Customer interface flow (Reference : A User's Guide to Hyundai ASIC Design System)

terface가 이루어져야만 한다.

System 설계자가 자신의 EWS 및 CAD tool을 사용하여 직접 ASIC을 설계하는 것이 가능하게 되었다고 하더라도 customer가 전반적인 ASIC의 기술 및 개발 과정을 이해하기란 어렵다. 그러므로 ASIC maker측에서는 customer를 위한 기술 협의, 설계 지원, 설계 교육, 설계 환경을 제공하고, 신속한 interface channel을 유지하기 위해 customer 가까이에 design center를 운영하고 있다.

또한 ASIC maker로서는 customer의 요구에 신속히 대처하기 위한 customer interface channel을 잘 구축하고 customer가 필요로 하는 풍부한 cell library와 완벽한 자동설계 tool을 개발, 보유하는 것이 ASIC business의 관건일 것이다.

IV. 향후 동향

Standard cell의 진행 방향은 보다 많은 범용 부품을 도입, library화하여 더욱 많은 응용에 대처해 나갈 것이며, CPU core, DSP core, high density ROM, RAM, analog block 등을 도입하여 더욱 고집적화, 고기능화하는 방향으로 발전할 것이다.

또 design system의 개량이나 제조 공정의 표준화 등에 의해 개발 기간도 현재의 gate array 수준 가까이 이를 수 있을 것이며 cell compiler의 대중화로 현재 수작업으로 cell을 개발하고 있는 것이 자동화되고 user 정의에 의한 cell 개발도 빠르게 발전할 것이다. 또한 머지 않은 미래에 silicon compiler의 보급으로 ASIC의 system behavior에서 chip layout까지 자동으로 생성될 수 있는 시대가 도래할 것이다.

參 考 文 獻

- [1] Roderic Beresford, "Comparing Gate Array and Standard Cell ICs", VLSI Design, December 1983.
- [2] H.S.Jones, "A Comparison of Standard Cell and Gate Array Implementation in a Common CAD System", RCA ASIC Application Note.
- [3] 미쯔비시전기 기보, "System의 동향과 ASIC의 현황 및 전망", 1991년 2월호.
- [4] 전자기술, "최신 ASIC 설계 특집", 1988년 4월호.
- [5] Nikkei Electronics, "ASIC Design Center 특집", 1992년 1월호.
- [6] A User's Guide to Hyundai ASIC Design System. (㉿)

筆者紹介



文重根

1957年 11月 9日生

1981年 승전대학교 전자공학과(학사)

1983年 연세대학교 대학원 전자공학과(석사)

1983年 ~ 1986年 삼성반도체통신(주) 반도체연구소 MICOM설계팀 주임연구원

1987年 ~ 1991年 현대전자(주) 반도체연구소 설계5실 2팀장

1992年 ~ 현재 현대전자(주) ASIC Design Center 과장