

# Gate Array

吳 鎔 協

(株)옵니테크 附設研究所 디자인센터

## I. 서 론

ASIC의 등장으로 LSI 제조가 소량다품종화(少量多品種化) 경향으로 궤도를 바꾸게 되었다. 또한 이를 적용하고 있는 시스템 역시 타회사의 제품과 비교우위를 차지하기 위한 차별화를 시도하기 시작하게 되었다. 요즘과 같이 시장경쟁이 치열한 시기에 있어서 제품의 차별화, 빠른 신상품기획, 성능대비 가격경쟁에 대한 내구력이 더 한층 요구되고 있기 때문에 시스템 설계단계부터 ASIC을 고려한 설계를 하지 않으면 안되게 되었다. 범용 ASIC(ASSP)을 포함한 표준 LSI를 사용하면 개발에 대한 risk나 비용은 거의 무시할 수 있으나 설계하고자 하는 사양과 거리가 먼 경우가 많고, 만일 사용 가능한 경우에도 경쟁사가 많이 생겨서 상품차별화를 기대할 수 없게 되고 만다. 그래서 ASIC을 필수적으로 사용하려고 하고 있다. 여기에는 또한 어떤 종류의 ASIC으로 할 것인지 선정의 기준이 필요하게 되는데, 특히 개발비와 개발기간, 실패시 rework와 시장상황의 변화에 대한 고려등 여러가지 요인을 체크하여 결정하게 된다. 특히 이의 대상으로 비교적 접근하기 쉬운 gate array를 선택하고 있다. Gate array는 ASIC이 갖는 장점을 골고루 갖추고 있기 때문에 그 성장속도가 빠르고 적용분야도 광범위하게 퍼져있다. 그러나 현재와 같이 수많은 종류의 ASIC 제품들과 메이커들이 난립하고 있는 상황에서는 사용자들이 시스템 사양과 가격, 기간, 성능에 맞는 제품과 메이커를 선택하지 않으면 안된다. 이러한 선정요인을 간략히 요약하면

### (1) ASIC 종류의 선정시 고려 요인

- 시스템 동작 속도와 안정성
- 시스템의 소형화에 따른 고집적화 가능성

- 표준 LSI 대비 단가
- 고품위로 고부가가치 창출
- 시스템의 reversing 제작 방지
- 조립 및 테스트 용이 (trouble shooting 용이)
- 저소비전력
- 개발비용
- 개발기간
- 사용한 cell을 지원하는 ASIC
- 실패시 rework 대책마련 용이 (비용,기간)

일반 시스템 업체와 공히 많이 사용되고 있는 gate array는 비교적 위에 있는 조건들을 만족시키고 있다. 동작속도와 집적도면에서 full custom이나 standard cell 방식과 거의 나란히 하고 있고 극소수의 응용분야를 제외하면 모든 곳에 사용할 수가 있다. 설계 자유도 면에서는 cell based 방법보다 뒤지고 있으나 반제품 상태에서부터 제조를 시작하므로 개발비용도 단순히 4-5장의 mask 제작비용을 조금 상회하는 정도로도 가능하고, 개발기간과 rework기간이 훨씬 짧다. 또한 최근에는 제조라인의 전용화에 따라 2-3주면 sample을 만들어 볼 수 있게 되었다. 칩면적에 있어서도 설계 rule의 미세화와 자동설계툴의 발달로 칩사용율이 향상되어 cell based 방법에 비해 그다지 크지 않은 편이다. PC 주변용 LSI처럼 사용하는 게이트에 비해 pin수가 많은 경우는 똑같은 크기로 실현할 수도 있다. 일단 gate array로 결정된 다음에는 이를 제조하는 메이커를 선정하지 않으면 안된다. 간단한 기능의 제품은 어느 메이커에서 제조해도 대동소이하나, 난이도와 개발 인터페이스에 따라 성능, 성공율, 개발비, 단가, 납기등이 상당폭으로 차이를 보이고 있으므로 주의가 필요하다.

### (2) 메이커 선정시 고려 사항

- 개발의 용이도 수준 (인터페이스, 기술적인 지원

- 체제, 관련 메뉴얼, 메이커의 정책)
- 개발기간 및 개발비 수준
- 다양한 cell library 유무 (특히 megafunction)
- 독점적으로 보유하고 있는 제조기술
- Master slice 종류의 다양성(embedded master 등)
- 제품의 신뢰성에 대한 신용도
- 전용라인 보유 유무
- 개발 실적
- 신뢰성 보증체제
- 불량 발생시 응답속도 및 해결방법
- 대량 양산시 생산 및 납기문제
- 다양한 package type 지원
- 전용 design center 보유

II. 개발동향

Gate array는 금속 배선과정만을 남기고 있는 반제품의 master wafer를 준비해 놓고 있는 상태인데, 그 종류로는 chip 배선효율을 고려한 channel형 master와 소량의 ROM과 RAM셀을 필요시 내장할 수 있게 한 channeless형 (일명 sea of gate) master 그리고 최근에 붐이 일고있는 것으로서 특정용도에서 필요로 하는 megafunction셀 (CPU, A/D, D/A)과 ROM 또는 RAM을 일부분에 고정해 놓고 나머지 부분을 random 로직으로 사용할 수 있는 embeded형 master로 나눈다. Embeded형은 cell based 방식으로 설계한 것과 아주 흡사하므로 그 유용성이 기대되고 있다.

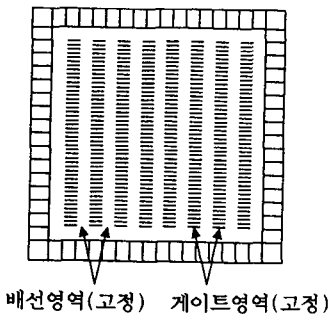
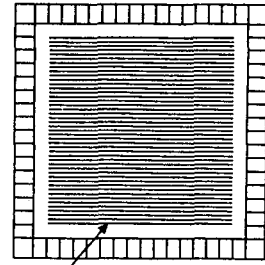


그림 1. Channel형



게이트검용배선영역

그림 2. Channeless형

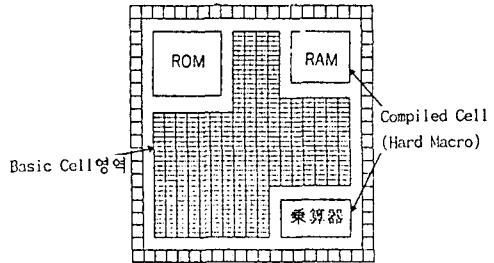


그림 3. Embeded형

또한 배선으로 사용하는 배선방법도 과거 설계 rule 이 2.5 $\mu$ m이상에서 one metal과 one poly형 배선방법 이 사용되어 오다가 4-5년전부터는 설계 rule이 1.0-2.0 $\mu$ m가 되면서 double metal을 사용하게 되었다. 최근에는 고속이면서 고집적을 위해 submicron(1.0 $\mu$ m이하)가 상용화 되었고 triple 금속배선형이 보편화 되게 되었다. 여기에는 EDA 소프트웨어의 발달외에 공정설비의 발달로 이루어 졌다고 볼 수가 있다. ASIC의 대명사인 gate array는 고속화, 고집적을 목표로 끊임없는 발전을 하여 왔는데 공정별로 분류하면 CMOS, BiCMOS, ECL, GaAs로 나뉘고 있다. 이중에도 CMOS가 아직까지는 주류를 이루고 있다. CMOS gate array는 고집적, 저소비전력 그위에 저가격이라는 시장의 요구를 모두 만족시키고 있다. HDTV, 슈퍼컴퓨터용등 일부 특수한 분야의 gate array에서는 ECL과 GaAs방법을 채용하고 있는 상황이긴 하지만 수요면에서는 아직도 미미한 상태라 할 수 있다.

1. 제조공정과 집적도

일부 ASIC 전문 메이커를 제외하고 대다수의 ASIC 메이커들이 사용하는 제조공정은 기존의 표준제품 공정을 그대로 사용하여 gate array를 제조하여 왔고 최근의 고집적 고속용으로 사용하는 submicron은 DRAM이나 SRAM 공정을 조금 변형시켜 사용하고 있다. 제조공정의 발달은 memory의 고집적화의 산물이기 때문에 ASIC 특히 gate array 공정의 발달 과정은 memory 공정을 1-2년 뒤쳐져서 간다고 보면 좋을 것이다. 그림4에 gate array용 공정 발전과정을 나타내고 있다.

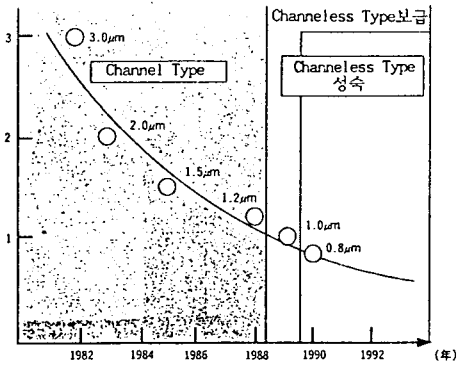


그림 4. Gate array 공정 개발동향

또한 집적도가 커지면서 동시에 동작 주파수가 높아지게 되는데, 이것은 공정의 종류에 따라 큰 차이를 보이고 있기 때문에 사용용도에 따라 선택해야 한다. CMOS, BiCMOS, ECL, GaAs가 현재 사용되고 있으나 ECL은 전력소모로 인한 열발생으로 증가되고 있지 못하며 고속 고출력용인 BiCMOS도 CMOS와 GaAs에게 영역을 빼앗기고 있는 실정이다. 하지만 아직도 GaAs는 보편화 되기까지는 제조단가등 많은 문제점을 안고 있다.

2. Embedded Gate Array

지금까지는 full custom이나 standard cell방식에서만 가능했던 것을 최근에는 embedded gate array라는 방식으로 실현시키고 있다. Chip 내부에 memory cell 외에 analog cell (A/D, D/A), peripheral(82XX series)와 CPU core 등을 미리 설계된 상태로 일정부분에 준비해 두고 나머지 여백을 channelless type의 gate로 구성하는 방법이다. 이렇게 함으로써 단기간에 개발을 할 수 있고 또한 시스템 사양 변경에 민첩하게 대응할 수 있

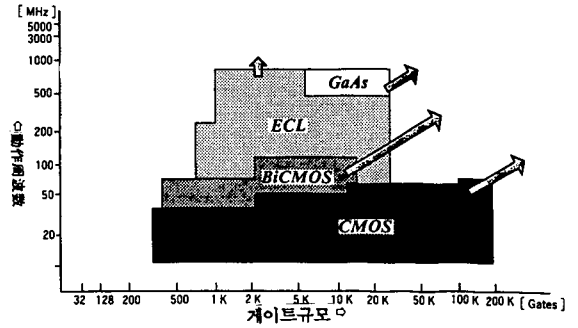


그림 5. Gate array의 집적도와 동작주파수 관계

게 되었다. 그러나 이것은 많은 종류의 master wafer를 보유해야 하는 문제와 실제로 사용이 이루어지지 않는 master wafer도 상당히 존재하게 되는 불이익이 있다. 현재까지는 자주 사용했던 구성에서만 사용하고 있다. (전자수첩, font card, VCR, FA controller등)

3. 저전압형 Gate Array

정보기기의 휴대화에 보조를 맞추어 소비전력을 낮추어야 하는 요구와 LSI의 사용환경 변화로 저전압 동작용 gate array가 속속 등장하기 시작했다. CMOS 특성으로 3V에서 5V까지 폭을 넓히는 것은 공정상으로는 그다지 문제가 되지 않지만 다시 cell들을 최적의 상태로 설계를 하지 않으면 성능의 문제가 있을 수도 있다. 지금까지는 시계나 전락용으로 full custom IC를 이용 저전압설계를 해왔으나 최근에는 제2세대로써 모든 분야를 커버하지 않으면 안되게 되었다. Gate array외에 CPU, 마이콤, SRAM, ROM, DRAM, standard cell에서 실용화 되고 있다. 최근에는 미세가공으로 인한 트랜지스터의 신뢰성 보장의 어려움을 덜기 위한 방법으로 1993년쯤 sample 출하되는 64MRAM이 3.3V 까지 내려가는 것을 JEDEC에서 논의되고 있을 정도이다. 또한 정보기기를 고속화하기 위해 신호의 진폭을 낮게 하여 신호의 상승시간과 하강시간을 짧게 하려는 요구도 강하게 대두되고 있다. 이와 같은 needs로 인해 저전압의 gate array는 민생용과 정보기기용으로 10만 게이트이상의 channelless형 gate array가 등장했다. 여기서 말하는 저전압 IC의 동작전압 범위는 3V에서 5V를 말한다. 그리고 이 저전압 IC는 5V용과 바로 대체가 가능하다. 그러나 아직은 0.8µm-1.0µm가 주종이므로 5V 전원을 전제로 신뢰도를 확보하는데 중점을 두고 있기 때문에 문제시 하지않고 있고, 또 메이커들의

경쟁이 심화되고 있지 않지만  $0.5\mu\text{m}$  이하로 설계시부터 구체화될 모양이다.  $0.5\mu\text{m}$ 로 설계시는 신뢰성을 만족시킬 수 있도록 최적화 설계로 변화시켜야 하고,  $0.3\mu\text{m}$  설계시대를 대비하게 되는데  $0.3\mu\text{m}$  설계시대에 와서 본격적인 경쟁이 시작될 것이다. 이때부터는 3.3V에서 신뢰도를 보장하는 방향으로 전환하게 된다. CMOS 트랜지스터의 산화막 두께를 변화하지 않고서 게이트의 길이  $L_g$ 에 대한  $V_{th}$ 값 의존성을 탈피하는 것이 큰 관건이 된다. 현재까지 이야기되고 있는 해결책은  $L_g$ 와 산화막  $T_{ox}$ 간 철저한 scaling으로 가능할 것이라고 하고 있다.

#### 4. 초고속용 GaAs Gate Array

위성통신기기, 슈퍼컴퓨터, LSI 테스터등에 초고속을 위한 GaAs gate array가 필요하게 되었다. 지금까지 고속용으로 BiCMOS와 ECL이 사용되어 왔으나 실리콘 기판 자체의 제한이 있기 때문에 더 이상 고속화가 어려웠다. 따라서 재료 자체가 실리콘보다 전하이동도가 6배 정도 빠른 GaAs(화합물 반도체)로 하여 고속화시키게 되었다. 그러나 이것도 ECL처럼 고속이면서 소비전력이 크기 때문에 CMOS만큼 고집적화 하는 것은 어렵다. 단지 ECL에 비해 같은 정도의 속도이면서 1/3정도의 저소비형으로 집적도를 키울 수 있다는 잇점이 있다. 현재  $0.6\mu\text{m}$ 로 20K-350Kgate 까지 가능하다고 한다. 기본 cell 방식도 현재 BFL(buffered FET logic)과 DCFL(direct-coupled FET logic)이 사용되고 있는데, HEMT구조도 개발 보급중에 있다.

### III. Gate Array의 개발 과정 및 인터페이스 (설계에서 제조까지)

개발은 설계와 제조로 분류되며 제조는 pattern용 mask(또는 recticle)제작에서 fabrication, assembly, test까지를 말한다. 설계는 ASIC의 성능을 이해하고 특정을 살리기 위해서는 시스템을 습득한 설계자와 ASIC을 숙지한 device 기술자가 공동으로 개발함으로써 빨리 그리고 확실한 설계가 이루어 질 수 있다. 이러한 공동개발을 maker대신 ASIC design center가 하고 있는 것이다.

#### 1. Design Center Business

ASIC 개발 tool의 발달로 ASIC의 설계에 대한 부담이 경감되었고 이 때문에 시스템 설계자가 직접 설계용

CAD를 사용하여 설계하는 것이 가능하게 되었다. 하지만 시스템의 life cycle이 단축되어 user는 신제품 개발에 손이 묶여, ASIC설계를 시스템 설계자가 하는 것은 man power에 한계가 있다. 또 user가 회로설계, test 설계, package, 실장등에 대한 ASIC의 전반적인 것을 이해하고 사용하는 것은 곤란한 일이다. 게다가 고집적화한 chip은 layout을 확실하게 고려한 회로설계가 필요하는 등, device 측면의 세밀한 정보없이는 고성능의 ASIC 설계가 힘들게 된다. 한편 반도체 maker측도 모든 user의 세밀한 사양에 대해 support하는 것은 한계가 있어서 설계 manual등에 의존 시키게 된다. 또한 user가 알고 있는 수준이나 설계원본에 대해 적절한 응답을 해주어야 하나 이 또한 어려운 일이다. 더욱이 ASIC 설계 tool의 발달로 maker 내부에서 행할 필요성이 없어졌다. 이들과 같은 요인에 의해 ASIC design center가 출현하게 되었다.

Design center의 기능으로서는 ASIC 개발에 대한 개발설계 support, 개발환경 제공, consulting 등을 행한다. 이로 인해서 ASIC 설계라하면 당연히 design center를 이용하는 것으로 생각하고 있다. Design center는 이상과 같은 배경에서 등장했지만, 처음에는 TTL등 기존회로로부터 gate array 회로로 변환(turnkey business)하는 정도였다, 기술 level이 향상되어 maker측의 ASIC 기술과 user측의 시스템을 이해하는 partner로서 중요성이 높아지게 되었다. 특히 embed array와 같은 것을 gate array의 layout CAD를 사용한 standard cell type의 ASIC chip을 design center에서 가능하게 되므로서 역할의 중요성이 더한층 높아지게 되었다고 할 수 있다. 여기에서 이들 즉, maker, user와 design center간 원활한 설계를 위한 역할 분담을 보면

#### (1) Design Center

- System 분석
- 회로변환 또는 설계
- Maker와 user간 인터페이스
- 회로입력 및 검증
- Test vector 제작
- Chip 사양 제작 승인등

#### (2) User

- System 사양 결정
- 기능사양 결정
- 회로설계, timing도 제작
- LSI사양서 작성
- Board level 검사

#### (3) Maker

- Lib 제작 및 검증
- Design kit 공급
- 특수 cell 제작, 공급
- IC제조
- Chip 검사

## 2. Gate Array 개발 과정

Gate array 설계에서 제조과정을 말하며, 작업의 흐름은 full custom이나 standard cell과 대동소이하다. 설계의 집적화할 수 있는 기본바탕(master wafer)을 미리 준비해 놓고 있다는 점만 다르다. 기능별 논리소자를 일정하게 정해진 master wafer(또는 slice)크기안에 구성하기 위하여 게이트 수, 입출력 핀 수 등을 고려해야 하고, 집적 불가능한 선형소자들은 제외시켜야 한다. 설계의 핵심은 library 제작이며, 제조공정의 변경시마다 재설계가 필요하다. 한편 제조공정의 흐름에 있어서는 설계의 변경, 제조변경에 필요한 시간 및 비용은 제조 maker의 설비 및 자동화에 크게 의존하게 된다. 또한 공정 변수등에 의한 실제 동작 지연시간, 소비전력등은 제조후가 아니면 100% 보증이 되지 않으므로 설계수정 위험이 도사리게 된다. 따라서 공정변수 설정의 타당성과 경험 데이터에 의한 예측 정도를 높이는 설계가 필요하다. 기본적인 gate array 개발 흐름은, 먼저 시스템 아키텍처를 기준으로 하여 속도, 집적도, 소비전력, package등을 고려하여 master slice를 선택한다. 그 다음에 논리 회로를 설계하고, 이에 대한 논리 검증을 행하게 된다. 실제 배선등을 고려한 timing 체크가 완료되면 layout으로 들어간다. 그 이후로는 반도체공정의 일반흐름과 똑같이 취급할 수 있다.

### 1) 시스템, 기능 설계

제작하는 장치에 대하여 동작, 사양을 결정하는 것을 시스템 설계라 부른다. 그리고 이 시스템 동작의 타당성을 체크하기 위하여 시스템 simulation을 실시하고 있다. 시스템 설계에서 규정된 사양에 의한 기능 block 단위로 내부동작을 정하고 이 기능들을 모아서 시스템을 구성하는 것을 기능 설계라 하고 있다.

### 2) 논리 설계

기능에 맞게 논리회로를 설계하는 단계이다. Symbol library에 의한 도형입력이 일반적인 방법이나 최근에는 logic synthesis로 회로를 자동으로 생성하든가 module compiler로 generation시키고 있는 단계까지 와있다. 여기에서 만들어진 module들(macro cell)은 소프트 macro로 재사용할 수 있다.

### 3) 논리 검증

여기에서 이루어지는 작업은 논리 simulation, 설계 rule 체크, timing 검증이다. 논리 회로의 동작을 부울 대수를 기초로하는 논리연산으로 입력에 가하고 그 결과를 출력으로 나오게한 다음 설계 기대치와 비교하게 된다. Zero delay 뿐만 아니라 소자자체의 지연과 배선으로 인한 지연까지 고려하게 된다. 논리 검증에서 중요한 것은 지연만을 고려한 timing 해석이다. 그러나 gate array등은 기존에 검증된 macro cell이나 function block들이 준비되어 있기 때문에 큰 어려움은 없다.

### 4) 테스트 설계

Chip이 완료 되었을 때 ASIC tester에 의해 테스트를 하게 되면 설계한 테스트 데이터로 부족한 경우나 테스트 데이터가 긴 경우가 발생한다. 회로 설계단계에서 테스트를 간략화하면서 테스트 coverage를 올릴 수 있도록 fault simulation과 테스트 회로를 추가시키는 과정을 말한다. 최근에는 ATPG 소프트웨어의 발달로 자동으로 테스트 coverage를 높일 수 있어서 설계자에게 큰 도움이 되고 있다.

### 5) Layout 설계 (배치 배선)

Layout할 master slice와 physical cell들이 미리 EWS상에 준비되어 있는 상황에서 netlist 정보를 실현시키는 과정이다. Full custom이나 standard cell과 다른점은 일정한 master slice상에서 구현하여야 한다는 점이다. 배치·배선율을 높이기 위한 방법의 일환으로 독특한 배치·배선 방법이 있다. 이것을 channeless master slice라 부르고 있다.

### 6) 최종 검증

Layout이 완료된 상태에서 배선 길이, contact 수, via 수 등에 의한 capacitance 정보를 더하여 실제의 상황과 유사한 검증을 하는 과정이다. 이 과정에서 layout 상태의 검증, AC/DC 검증, 최종 validation을 체크하는 하이라이트라고 볼 수 있다.

### 7) 제조 공정

Recticle 또는 mask 제작에서 packaging까지를 말한다. Metal 배선 과정까지는 완료된 상태에서 행하여 지기 때문에 full custom이나 standard cell(약 4-6주)보다 기간이 짧다(약 2-4주).

## 3. Gate Array 인터페이스

User와 maker간 직접 인터페이스하는 것은 양자에게 큰 loss를 가져오므로 전문설계 용역회사를 이용하는데 이가 곧, design center라고 위에서 언급했다. 이러한 design center를 소속별 분류하면 반도체 maker

계, 상사계, 독립계등이 있다. 이들 design center를 기준으로 인터페이스 level를 분류해 보면 3가지 정도가 있다.(표1 참조)

1) System 사양서에 의한 인터페이스 (level 0)

User측에서 규정한 사양서를 기준으로하여 여기에 맞는 ASIC의 결정, ASIC의 분할, package pin 수의 결정, 소비전력에 대한 견적은 물론 실제의 ASIC부분 회로설계, 논리검증을 행한다. 회로전체를 design center에서 행해지기 때문에 논리합성등 최적의 설계를 하는 것이 가능하다. 경우에 따라서는 sample의 평가, bread board의 설계,제작,평가까지도 할 경우가 있다. 이 level은 user가 바쁘거나 ASIC 설계경험이 없는 경우에 이용되고 있다. Design center로서도 이 level이 최고의 부가가치를 얻을 수 있으나 user 고유의 시스템을 이해하는 기술자 육성이 필요하고 설계기간도 비교적 길기 때문에 어렵게 느끼고 있다. 이의 변형으로서 user와 공동으로 행하는 경우가 있는데 user의 사양을 들으면서 사양을 정하고 중간중간 공동으로 체크하기 때문에 시간과 위험은 경감될 수 있다.

2) TTL 회로도에 의한 인터페이스 (level 1)

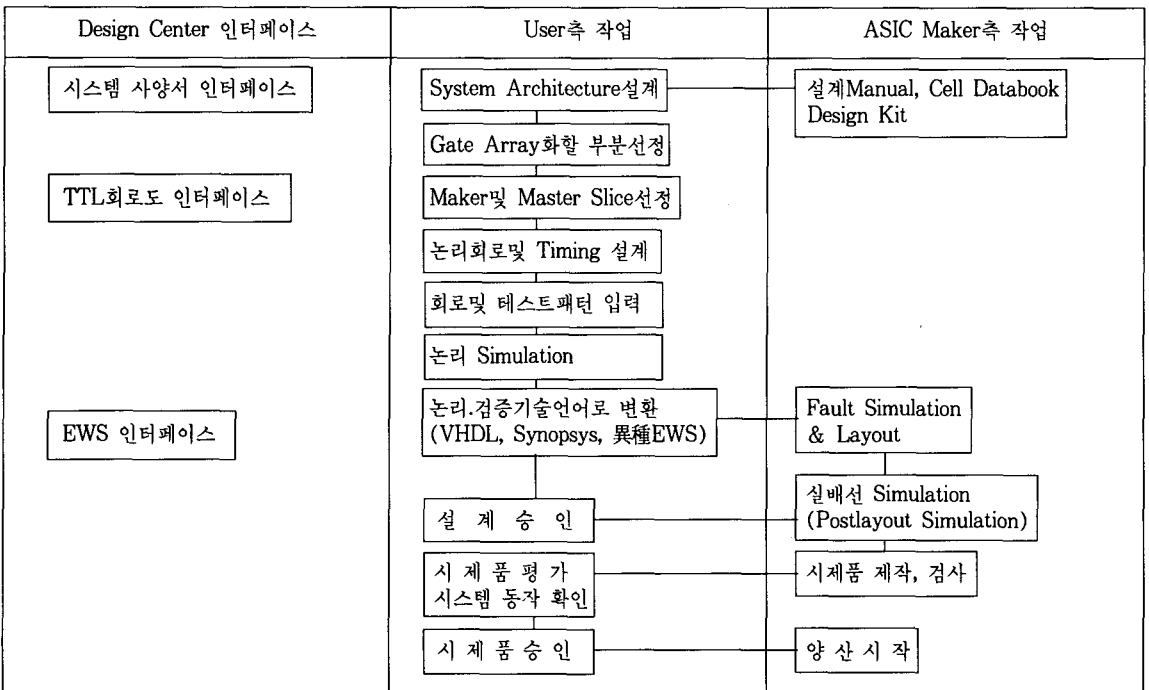
User로부터 TTL 회로도와 timing chart를 제공받고, 이것을 기준으로 design center가 CAD에 등록하여 이후 설계과정을 대행하는 것이다. User는 TTL을 이용한 설계지식만 있으면 되나, design center측으로 볼 때는 다양한 변형들이 있게 된다. Test pattern설계, 고장검출을 높이기 위한 pattern 추가, 회로도의 신빙성 결여에 대한 회로 수정등 ASIC화 하기위한 회로에의 변환 등의 업무가 많기 때문에 개발에 대한 시간 및 개발비용이 상당한 차이를 가져 온다. 현재로는 제일 많이 사용하고 있는 방법이다.

3) EWS에 의한 인터페이스 (level 2)

User가 EWS를 사용하여 회로도, pattern을 등록하고 논리검증까지 행한 data를 design center가 인계받는 경우이다. User와 maker간 EWS가 다르거나 고급언어에 의한 기술방식(HDL 또는 synopsys)등의 등장으로 design center에서 CAD 환경 제공, 설계 consulting, user 설계회로의 검증등의 필요할 경우 인터페이스이다. 간혹 2nd source 제품을 하고자할 때 사용하는 방법이기도 하다.

반도체 maker의 입장에서 볼때 인터페이스는 이외에

표 1. Gate array 인터페이스 level



maker의 design kit를 이용하여 prelayout simulation 까지 완료한 상태의 인터페이스(level 3)와 layout 완료 상태인 mask data로 받는 인터페이스(level 4)로 나누고 있다.

#### IV. 결 론

Gate array의 키포인트라고 하면, user측 입장에서 볼때 빠르고, 개발비를 포함한 가격이 싸고, 시스템 성능이 향상될 수 있어야 하며, 더욱이 first silicon으로 성공할 수 있어야 한다. 반면 maker 측면에서 볼 때 경쟁사들 보다 user에게 어필할 수 있는 장점을 갖고 있지 못하면 business에 큰 어려움이 있다는 점이다. 오늘날과 같이 치열한 경쟁을 하고 있는 상황에서 단순 흥내로는 ASIC이 갖는 고부가가치를 기대하는 것은 어렵다고 본다. Process 기술, 첨단기술이 집약된 core cell, 설계자동화에 의한 완벽한 검증체제가 한데 뭉쳐서 user들에게 service해야 gate array의 시장을 share 할 수 있다고 본다. 과거에는 full custom이나 standard cell이 아니면 불가능했던 ASIC chip도 최근에는 gate array를 이용하여 할 수 있을 정도로 비약적인 발전을 했다. Analog 부분에 대해서도 embeded type의 다양화로 어느정도 커버가 될 경우 gate array의 시장은 다른 범위에까지도 확산되어 신제품기획에서도 용이해 질 것이다. 국내의 ASIC maker와 외국계 design center들의 gate array technology를 보면 process면에서는 많은 차이가 없으나 보유하고 있는 cell library와

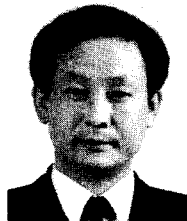
개발 tool면에서 큰차이를 보이고 있다. 지금부터라도 core개발에 힘을 쏟아야 할 것이고, 기존에 개발된 표준제품도 core로서 사용될 수 있도록 재설계 또는 수정 보완하지 않으면 안되리라 본다. 또한 국내의 user들도 gate array가 갖는 잇점을 충분히 살릴 수 있도록 자체 설계하여 신제품 개발을 한다면 지금보다 나은 제품의 질과 경쟁력을 갖출 수 있고, 국내 ASIC maker의 발전도 가져오게 할 수 있다고 본다.

#### 参 考 文 献

- [ 1 ] Toyabe, T. and Asai, S., "Analytical models of threshold voltage and breakdown voltage of short-channel MOSFET's derived from two-dimensional analysis," *IEEE Journal of Solide-State Circuits*, vol.SC-14, pp.375-383, 1979.
- [ 2 ] Nikkei Electronics, "ASIC DESIGN CENTER 특집", 1992.1.6
- [ 3 ] Nikkei Microdevices, "MOS LSI 低電力化에의 시나리오 특집", 1991.4월호
- [ 4 ] Semiconductor World, "ASIC과 설계.개발지원 기기 특집", 1991.2월호
- [ 5 ] SHARP Co. Integrated Circuit Group, "SHARP ASIC for Embeded Engine" 1992.4
- [ 6 ] 小林芳直, "ASIC 논리회로 설계법", CQ출판사, 1989.
- [ 7 ] 彩山尚志, "實用 ASIC 技術" 工業調査會, 1987.



### 筆 者 紹 介



吳 鎔 協

1955年 2月 15日生

1978年 2月 海軍사관학교 전자공학과 (中退)

1984年 2月 중앙대학교 전자공학과 (학사)

1983年 8月 ~ 1991年 9月 삼성전자(반도체부문) ASIC사업부 과장

1988年 12月 ~ 1991年 9月 삼성전자JAPAN Co. (동경) ASIC Design 센터 과장

1991年 11月 ~ 현재 (주)옵니테크 부설연구소 차장