

ULSI Cell Technology

尹瓊洙, 黃昌圭

三星電子(株) 半導體部門研究所

I. 서 론

일찍이 α 선 soft error^[1]나 hot carrier등 신뢰성 문제 때문에 submicron이 한계일 것으로 인식되어 온 DRAM 기술도 입체형 memory cell 구조^[2]나 LDD 등의 신뢰성을 향상시키는 Tr. 구조^[3]에 의해 확실한 진보를 거듭하여 과거 20년에 걸쳐 3년에 4 배의 증가 경향으로 고집적화되어 왔다.^[1] 이미 4M DRAM이 양산 단계에 있고 64M DRAM이 개발되고 있는 것으로 보아 이 경향은 그대로 유지될 것 같다. 종래부터 고집적화는 기본적으로 저전력화/고속화를 위한 회로 및 device 기술과 소자 크기의 미세화를 위한 공정기술에 의해 달성되어 왔다. 256M DRAM 이상의 memory cell도 1개의 Tr.과 1개의 capacitor로 구성될 것으로 예상되므로 공정기술은 전혀 새로운 개념에 기초를 두고 있는 것은 아니라 미세화의 연장으로 볼 수 있다. 그러나 전세대의 기술을 그대로 사용하는 것만으로 미세화가 실현될 수 있는 것은 아니고 새로운 개념의 기술 도입이 필요하게 된다. 4M DRAM에서는 memory cell을 미세화하기 위하여 cell 구조를 입체화 한다거나 SiO₂ 막 보다 유전율이 높은 Si₃N₄막을 capacitor 절연막으로 사용하였다. 차세대 16M DRAM에서는 미세화가공을 위해 g-line 보다는 파장이 짧은 i-line을 사용한 자외선 노광기술, aspect 비가 높은 접속구(contact)의 매입기술 등이 검토되어 왔다. 64M/256M DRAM 이상에서도 보다 더 미세화를 실현하기 위해 photo/etch 기술 및 contact 기술등의 개발이 필요하게 될 것이다. 이에 본 논문에서는 256M DRAM 이후의 ULSI를 향한 memory cell의 기술과 Tr. 기술의 동향을 살펴보고자 한다.

II. Memory Cell 동향

DRAM의 sensing amp. 회로는 다음과 같은 신호 특성을 갖는다.

$$V_{in} = (Q_s - Q_c) / (C_s + C_c)$$

이러한 신호의 충분한 margin을 확보하기 위하여 다음 사항이 필요하다.

- ① Cell용량 (C_s)의 증가
- ② 누설전류와 SER(soft error rate) 감소
- ③ Bit line capacitor (C_c) 감소

즉, sensing margin을 확보하고 대용량 DRAM을 실현하기 위하여 작은 cell 면적내에 충분한 축적 용량(storage capacitor)을 형성할 필요가 있다. 그 때문에 memory cell 구조의 3차원화 - trench형이나 적층형(stack)으로 대표되는 축적 전극(storage node)의 입체화 - 가 시도되고 있다.^[2] Trench형에서는 trench를 깊게 함으로써, 적층형에서는 축적 전극을 높게 함으로써 각각 전극 측면의 면적을 증대시켜 축적 용량을 크게 하는 것이 가능하다. 이를 바탕으로 256M를 상회하는 큰 용량을 갖는 capacitor를 형성하기 위한 ULSI cell에서는 capacitor의 실효 면적을 증대시키는 구조 개량과 함께 capacitor 절연막의 박막화에 초점을 맞추고 있다. 이를 각각으로 나누어 살펴보면 다음과 같다.

1. Capacitor 구조

4M에서부터 256M DRAM으로의 발전은 집적도가 4 배씩 증가되지만 chip 면적의 증가로 집적도가 1.4배로

제한되기 때문에 상대적으로 셀 면적의 1/3 축소가 요구된다. 그림 1에 의하면 256M DRAM급에서는 칩 크기가 300mm², cell 크기가 0.7μm² 정도로 추정되고 있다. Lithography 기술의 발달에 따라 cell 축소의 1/2은 해결될 수 있으나 나머지 부분은 cell 구조의 변경으로 해결해야 하며 동시에 cell 누설 전류, 절대 차단, 공정 수, 고유전체막 적합성, photo 난이도 및 1/2 V_{CC} 전압 구조등의 문제점도 해결해야 한다. DRAM의 경우 cell 특성이 제품의 성능과 공정의 난이도를 결정하는 주요 요인이 되기 때문에 그 선택은 신중해 질 수 밖에 없다. 지금까지 발표되어 ULSI cell에서 이용하고자 하는 구조는 CYLINDER, FIN, TRENCH, STACKED TRENCH 등이^[4-9]등이 있으며 각 cell 구조에 대해 살펴보면 다음과 같다.

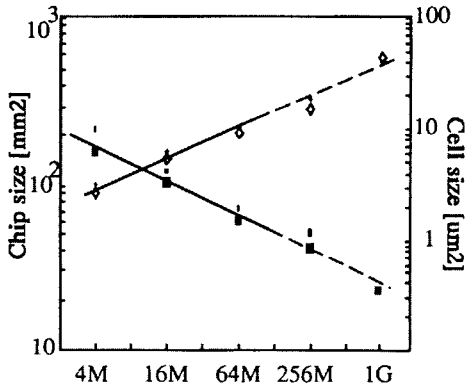


그림 1.

1) HSG 구조

HSG 실리콘은 표면에 반구 형태의 결정 입자를 가진 poly-Si으로써 강압 CVD 온도를 550°C로 저하시킴으로써 형성할 수 있다. 540°C 이하에서는 표면이 평탄한 amorphous 상태로 일부 반구 형태의 입자가 보일 뿐이고, 560°C 이상에서는 표면이 매끄러운 통상의 poly-Si이 된다.^[10] 550°C에서는 표면에 80-100 정도 치밀하게 보이는 커다란 요철이 형성되며 이 상태를 HSG 실리콘이라 부른다. 이러한 HSG 실리콘을 형성하는 방법에는 강압 CVD 방법외에 POCl₃ 처리된 poly-Si를 이용하여 poly grain을 따라 식각함으로써 poly-Si 표면을 반구 형태의 입자로 만드는 방법이 제안되었다.^[11] 그림 2는 이러한 공정으로 형성된 HSG cell 구조의 SEM 사진이다. 표면에 형성된 반구 형태의 입자는 축적 전극의 크기 및 구조가 같을 때 HSG 실리콘

의 표면적을 약 2배 정도로 증가시켜 보다 큰 축적 용량을 얻을 수 있도록 한다. 그러나 위와 같은 공정을 통하여 양질의 HSG를 확보하더라도 256M DRAM급 ULSI cell을 실현하고자 할 경우 그림 3(c)와 같이 약 0.8μm 이상의 고단차에서도 21fF 정도의 축적 용량 밖에 확보할 수 없다는 문제가 제기되고 있다. 즉, 우수한 공정으로 확보된 HSG라도 cell 크기가 0.7μm² 정도인 256M DRAM급 cell에서는 충분한 축적 용량을 확보할 수 없을 뿐더러 고단차에 의한 공정의 어려움과 photo의 난이도 때문에 사용이 불가능하거나 부분적으로 이용될 것으로 예상된다.



그림 2. HSG cell 구조의 SEM 사진

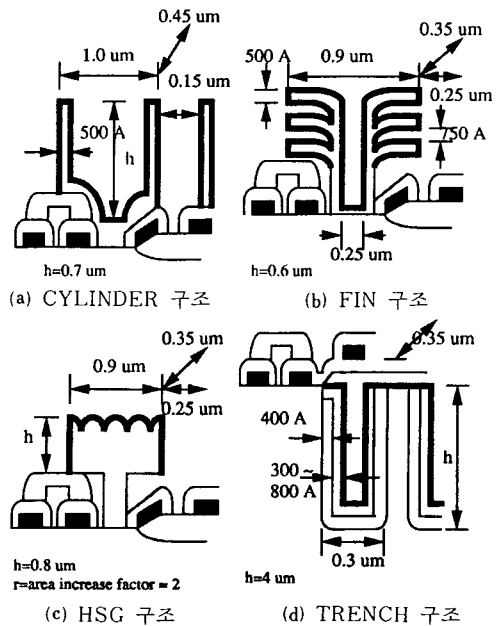


그림 3. Cell 구조

2) 적층형 구조

적층형 cell 구조의 경우 축적 용량을 크게 하면서 제조의 용이성을 확보하는 것은 매우 어렵다. 다시 말하면 적층형은 trench형에 비해 공정이 적고, α -particle에 의한 SER의 영향을 쉽게 받지 않는다는 장점이 있지만 큰 capacitor 용량을 얻기가 어렵고, 또한 capacitor 용량을 크게 하려면 cell 영역과 주변회로 영역의 고저차가 크게 되어 표면단차가 커져 버리는 단점을 갖고 있다. 노광장치의 초점심도(DOF)라는 관점에서 보면 이 문제는 공정상의 커다란 문제가 되며 또한 단차에 의하여 생기는 고 aspect비의 접속구는 metal 배선공정의 곤란함이라던가 신뢰성 확보에 있어서도 심각한 문제가 된다. 지금까지 64M DRAM급 이상에서 사용할 수 있다고 발표된 적층형 구조는 FIN, CYLINDER, DCP(dual cell plate)등이⁽⁴⁻⁶⁾ 있으며 이를 256M DRAM급의 $0.7\mu\text{m}^2$ 크기의 cell 면적에 맞추어 그리면 그림 3(a),(b)와 같다. CYLINDER 구조의 cell에서는 축적 전극의 공정을 어떠한 방법으로 실현하더라도 단차가 $0.7\mu\text{m}$ 이상에서 약 25fF 정도의 축적 용량밖에 확보할 수 없다. 또한 cell과 cell 사이의 간격이 $0.15\mu\text{m}$ 정도이므로 이 사이에 절연막과 plate 전극을 어떻게 형성하느냐가 과제로 제시되고 있으며 500Å의 얇은 cylinder 원통을 형성하는 공정상의 난점도 포함하고 있다. FIN 구조의 cell에서도 $0.6\mu\text{m}$ 단차에 약 25fF 정도의 축적 용량은 확보할 수 있으나 500Å의 얇은 축적 전극을 형성하는 문제와 함께 fin 전극사이(약 750Å)에 절연막과 plate 전극을 만들어야 하는 공정의 어려움도 내포하고 있다. 이상과 같이 적층형에서도 256M DRAM급의 ULSI cell을 실현하는 데는 $0.6\mu\text{m}$ 이상의 고단차 문제, 평탄화 기술 및 선택적 CVD W 기술등의 어려움 때문에 $0.7\mu\text{m}^2$ 정도의 cell 영역 내에서 25fF 이상의 충분한 축적 용량을 확보하는 데는 많은 어려움이 예상된다.

3) Trench 구조

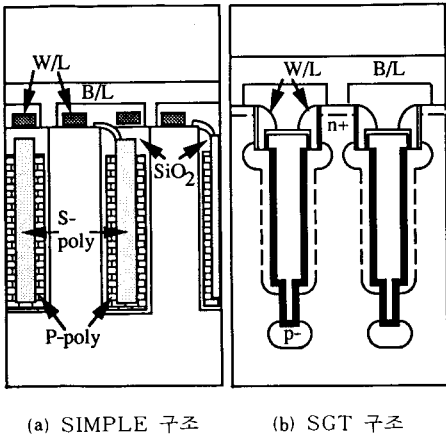
작은 영역에 cell을 형성하는 것은 미세한 lithography 기술 및 식각기술을 점점 더 곤란하게 만들지만, trench형 cell은 capacitor를 실리콘 기판내에 형성시킴으로써 기판 위 단차는 작아서 상층 배선의 가공을 용이하게 한다. 그러나, trench형 cell의 미세화를 고려할 때, 가장 중요한 과제는 memory cell간의 누설 전류의 억제와 trench 측면 doping, trench 바닥 모서리의 응력 문제, trench간의 punch-through(PT) 문제등이다. 이러한 문제를 해결하는 방법으로 trench 내에 산화막 층을 형성하는 구조⁽⁷⁾가 제안되었으나 이 구조에 있

어서도 축적 전극 접속구로부터의 불순물 확산에 의한 축적 전극 접속부와 근접 소자 영역간의 누설 전류의 문제는 여전히 남아 있어 미세화의 방해물이 되고 있다. 이러한 문제를 해결하기 위해 캐패시터를 구성하는 trench를 소자 영역에 대하여 비대칭으로 배치하고 그 축적 전극 접속부를 완전히 소자 영역내에 있게 하는 구조⁽¹²⁾와 stacked trench 구조⁽⁷⁾등이 제안되었다. 그러나 trench형의 cell 구조 역시 그림 3(d)와 같이 $0.3 \times 0.4\mu\text{m}$ 구경에 $4\mu\text{m}$ 길이의 trench에서도 25fF 정도의 축적 용량밖에 확보할 수 없으며 source와 축적 전극과의 연결, trench 세정 및 poly filling 등 공정이 매우 어렵다는 단점이 있어 256M DRAM급의 ULSI cell 형성에는 이러한 문제를 해결할 필요가 있다.

4) 3차원 구조

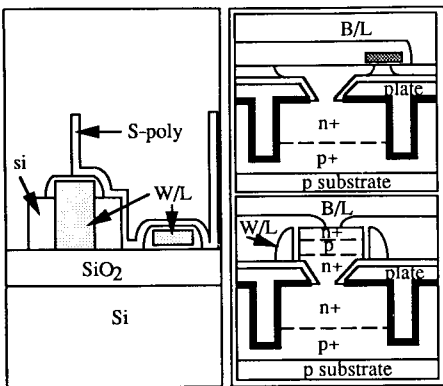
기존의 memory cell 구조는 1 Tr.과 1 capacitor를 같은 평면상에 존재하면서 단지 캐패시터 형태를 적층형이나 trench형으로 변형하였다. 그러나, 단순히 이 방법을 256M급 이상의 ULSI cell에 사용하게 되면 trench형에서는 가늘고 깊은 구멍을 형성할 필요가 생기며 적층형에서는 memory cell부와 주변부에 커다란 단차가 생겨 이것이 photolithography에서의 focus margin 보다도 커지게 되는 문제가 생긴다. 그러므로 이러한 문제를 해결하기 위하여 가능하면 Tr.과 capacitor를 vertical로 구성함으로써 cell 크기를 감소하려는 3차원 구조가 제안되고 있다.⁽⁶⁾ 3 차원 구조는 대부분 그림 4와 같은 종류가 있으며 주로 실리콘 기판을 식각하여 실리콘 기둥을 이용하는 구조와 epi 혹은 SOI 구조를 이용하는 것으로 크게 나눌 수 있다. 실리콘 기둥을 이용한 대표적인 구조는 그림 4(b)로써 실리콘 기둥이 형성될 부분만 남기고 나머지 실리콘 부분을 식각한 구조이다. 이 실리콘 기둥에 vertical 방향의 Tr.을 형성하고 동시에 capacitor를 만들면 cell 면적이 현격히 줄어들 뿐만 아니라 따로 isolation 영역이 필요없어 256M DRAM급에서도 사용할 수 있게 된다. 실리콘 기둥을 이용하면서 isolation 영역에 plate 전극을 형성한 SIMPLE 구조(그림 4(a) 참조)도 이런 범주에 속한다.⁽⁸⁾ SOI나 epi를 이용한 구조는 그림 4(d)와 같다. 실리콘을 식각하고 캐패시터를 형성한 후, 그 위에 SOI 구조를 만들어 Tr.을 형성한다. 이 때 Tr.과 캐패시터의 연결은 epi 영역을 통하여 확보하게 된다. 이러한 SOI 구조는 cell 누설 전류의 감소와 bit line capacitor의 감소 및 SER에 강하다는 장점을 주로 이용하고 있다. SOI 구조의 장점을 부분적으로 이용하여 256M DRAM급 cell로써 제안된 것이 DELTA 구조(그림 4

(c)이다.^[9] Active 영역을 제외한 전 영역을 식각한 후 절화막 spacer를 마스크로 field 산화막을 성장하면 active 영역이 SOI 구조가 되며 여기에 3차원 Tr.을 형성한다. 축적 전극은 실린더 구조와 같지만 field 산화막 위의 word line이 약 $0.5\mu\text{m}$ 정도의 trench 깊이를 갖고 있기 때문에 적층형이 갖는 고단차를 현저히 감소시킬 수 있으며 isolation free 개념으로 cell 영역을 줄일 수 있는 장점이 있다. SOI의 장점을 이용한 구조는 SOT, Tole, SSS 구조등이 제안되었다.^[4,7] 3차원 cell 구조는 소자 특성의 안정적 확보가 선행되어야 할 과제이지만 isolation 영역을 제거함으로써 cell 영역을 현저히 줄이면서 현행 공정을 그대로 사용하여도 30fF 이상의 축적 용량을 확보할 수 있다는 장점때문에 256M DRAM급 이상의 ULSI cell에서 상당히 관심있는 부분이 될 것이다.



(a) SIMPLE 구조

(b) SGT 구조



(c) DELTA 구조

(d) SSS 구조

그림 4. 3차원 cell 구조

2. Capacitor 절연막

Capacitor 절연막의 박막화는 메모리 셀 미세화를 위한 중요한 요소이다. 특히 적층형에서는 Tr.을 형성한 후에 캐패시터를 형성하는 제조 공정이라서 캐패시터 절연막으로써 여러가지 재료의 적용이 용이하며 trench 형에 비해 축적 전극 표면적이 작아짐으로써 축적 전극의 입체화와 함께 캐패시터 절연막의 박막화가 중요한 과제가 된다. 캐패시터 절연막의 막 두께를 SiO_2 막에서의 용량과 등가인 실효 막두께로 규정하면 세대마다 가공 미세화와 똑같이 거의 0.7배로 박막화되어 왔다. 이 경향을 고려하면 256M DRAM급에서는 실효막 두께 3nm가 필요하게 된다. 캐패시터 절연막의 재료로써 1M DRAM까지는 SiO_2 막이 사용되었으나 메모리 셀의 입체화에 수반하여 4M DRAM에서는 SiO_2 와 Si_3N_4 의 복합막이 도입되었다. 이 복합막의 박막화는 지금까지의 평가 결과로써 실효막 두께 5nm가 한계로 알려져 있으나 nitridation 공정을 이용하면 약 4nm 정도까지의 실효막 두께 확보가 가능하다.^[13] 복합막의 실효막 두께 5nm를 이용한 축적 용량은 그림 3의 셀 구조에서 살펴본 바와 같이 축적 전극의 형태가 어떠한 구조를 갖더라도 축적 용량을 25fF 이상 확보할 수 없으나 실효막 두께가 약 3nm 정도가 되면 공정의 어려움은 여전히 존재하지만 축적 용량을 30fF 이상으로 확보할 수 있게 된다. 즉, 고유전체막의 사용으로 축적 용량을 30fF 이상 확보할 수 있다면 상대적으로 이를 실현하기 위한 축적 전극 형성 공정에 margin을 갖을 수 있게 된다. 256M DRAM급에서는 실효막 두께 3nm를 실현하기 위해 고유전율 재료인 Ta_2O_5 및 PLZT를 검토하

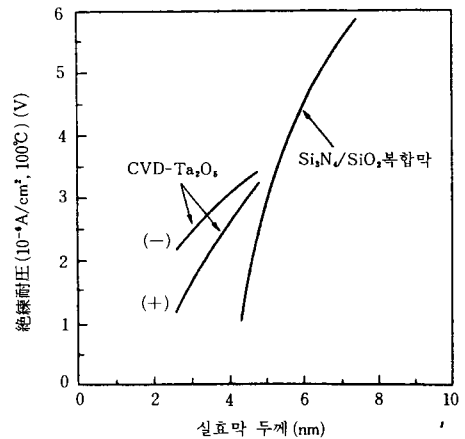
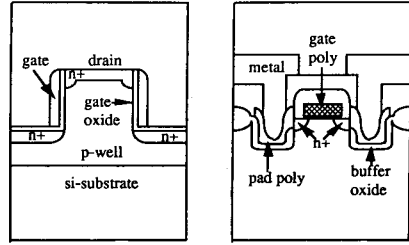


그림 5. 유전체막의 절연 내압 특성

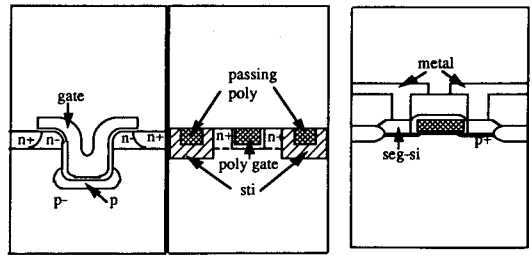
고 있다. Ta_2O_5 는 종래 sputter법으로 형성해 왔으나, 복잡한 구조를 가진 축적 전극상에 형성하기 위해 CVD법을 사용하고 있다. 또한 박막화를 위한 plate 전극으로 poly-Si 대신 W이나 TiN을 사용할 필요가 있다. 이 구조에서의 CVD- Ta_2O_5 의 절연내압과 실효막 두께의 관계를 SiO_2 와 Si_3N_4 의 복합막과 비교하여 그림 5에 나타내었다. 메모리 셀의 전원 전압이 3.3V이하라면 3nm의 실효막 두께가 실현될 수 있을 것이며 특히, 256M DRAM급 ULSI cell의 축적형 구조에서는 Ta_2O_5 /PLZT 등의 고유전체막 적용이 캐패시터 용량의 증대 및 공정의 구조적 한계에 여유를 줄 수 있을 것이다.

III. Memory Transistor 동향

종래에는 hot carrier에 의한 내압 저하가 중대한 문제로써 고내압 구조가 여러가지 고안되었는데 이 때의 설계 시점은 DDD(double diffused drain)와 LDD (lightly doped drain) 구조로 전계를 완화시키는 DE (drain engineering) 방법이였다.^[14] 그러나 $0.3\mu m$ 이후 시대의 LDD 구조에서는 5V의 동작전압으로는 소비 전력 증대에 의한 온도상승으로 접합 누설 전류와 subthreshold 특성 저하 및 hot carrier 내성을 확보할 수 없는 중대한 국면에 직면하게 되었다. 즉, $0.8\mu m$ 급 Tr.까지는 최대 허용 동작 전압(내압)에 아직 여유가 있었기 때문에 전원전압 V_{cc} 는 사용자에게 최적인 5V 그대로 사용하였으나 $0.3\mu m$ 이하의 Tr.에서는 사용이 불가능하게 되었다. 소자 비례 축소법칙을 사용하여 단순히 계산하면 64M DRAM에서는 2.3V, 256M DRAM에서는 1.5V, 1G DRAM에서는 1V 정도의 내압이 될 것으로 예상된다. 그러나 일반적으로 저전압화가 되면 회로의 동작속도가 늦어지거나 신호대 잡음비의 부족 때문에 메모리 동작 그 자체가 불안정해 진다. 따라서 저전압하에서 고속 /안정 동작하는 Tr.의 개발이 대용량 DRAM을 개발할 경우의 열쇠가 될 것이다. Half-submicron에서의 short channel 효과를 방지하면서 저전압화에 적합한 non-planar 구조들이 그림 6과 같이 제안되었다.^[5] 이러한 구조는 소자의 미세화에 따른 공정의 어려움을 Tr.의 구조적 변형으로 해결하고자 하는 노력으로부터 제안되었다. ULSI급 Tr.의 구조적 측면에서 dual poly gate Tr.^[15]이나 metal gate Tr.^[16] 등이 연구되고 있으나 boron penetration 특성 및 metal gate metrial 문제등으로 실제 제조상에는 상당



(a) SGT (surrounding gate transistor) (b) S/D trench Tr.



(c) Concave structure (d) Raised S/D structure

그림 6. Non-planar Tr. 구조

한 문제를 내포하고 있다. 또한 최근에는 작은 stray capacitance로 고속 동작에 유리하며 SER 등에 강한 SOI Tr.에 대한 연구와 함께 CLDD 구조^[18]등도 제안되었다.

MOS Tr. 설계에 관해서는 저전압화와 함께 고속성을 유지하기 위해 채널길이와 함께 문턱치 전압(V_{th})의 scaling이 중요시 된다. 그러나 소자의 scaling에 수반한 저 V_{th} 화는 기판의 저농도화로 punch-through를 유발하기 때문에 short channel 특성을 점차 악화시킨다. 이 문제를 해결하기 위해 지금까지의 DE방법 및 gate engineering(GE) 방법 대신 기판 구조의 최적 설계 방법인 substrate engineering(SE) 방법이 제안되고 있다. 이것은 표면 농도 N_s 와 source/drain 접합 부근의 농도 N_j 를 독립적으로 설정함으로써 N_s 를 감소시켜 저 V_{th} 화 하는 한편 subthreshold 계수의 저하 감소, 이동도의 증가, 전체의 완화 특성등을 얻을 수 있다. 또한 그림 7과 같이 source/drain 근처에 국부적으로 증가된 농도 N_j 가 α -particle에 의한 alpen 효과를 감소시키고^[17], bulk punch-through를 억제함으로써 신뢰도 특성을 향상 시킬 수 있다. 이에 따라 $0.3\mu m$ 이하의 유효 게이트 길이에서 칩의 고속화 및 저전압 동작을 실현하기 위한 고속 동작 및 신뢰성을 갖는 구조에 관한 연구가 필수적이다.

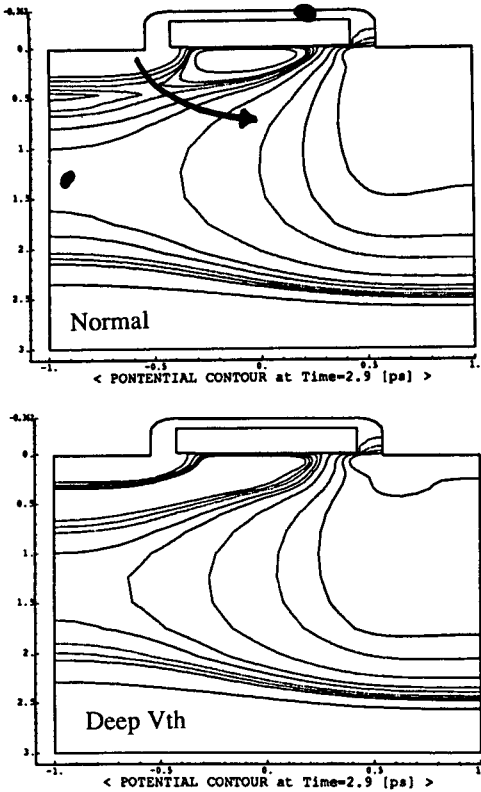


그림 7. ALPEN효과 simulation

IV. 결 론

SER이나 누설 전류 등 신뢰성 문제 때문에 submicron이 한계일 것으로 인식되어 온 DRAM 기술도 적층형이나 trench형의 셀 구조와 신뢰성 향상을 위한 Tr.의 구조적 변형에 의하여 확실한 진보를 거듭하여 고집적화 되어 왔다. 그러나 적층형이나 trench cell 구조의 경우 256M DRAM급의 $0.7\mu\text{m}^2$ cell 영역내에서는 축적 전극의 형태가 어떠한 구조를 갖더라도 축적 용량을 25fF 이상 확보할 수 없으며, 제조의 용이성을 확보하는 것은 더욱 어렵게 되었다. 그러므로 이러한 문제를 해결하기 위하여 3차원 구조가 제안되고 있다. 3차원 셀 구조는 소자 특성의 안정적 확보가 선행되어야 할 과제이지만 isolation 영역을 제거함으로써 셀 영역을 현저히 줄이면서 현행 공정을 그대로 사용하여도 30fF 이상의 축적 용량을 확보할 수 있다는 장점때문에 256M DRAM급 이상의 ULSI cell에서 중요시 될 것이

다. 또한 실효막 두께가 약 3nm 정도가 되면 공정의 어려움은 여전히 존재하지만 축적 용량을 30fF 이상으로 확보할 수 있게 되어, 축적 전극의 형성을 위한 공정의 margin에 여유를 갖게 된다. 256M DRAM급에서는 30fF 이상의 축적 용량을 확보하기 위하여 3차원 구조의 셀 연구와 함께 실효막 두께 3nm를 실현하기 위한 고유전율 재료연구가 검토되고 있다.

MOS Tr. 설계에 관해서는 저전압화와 함께 고속성을 유지하기 위해 채널 길이와 함께 문턱치 전압(V_{th})의 scaling이 중요시 된다. 이에 따라 $0.3\mu\text{m}$ 정도의 유효 게이트 길이와 저 V_{th} 화를 동시에 실현 할 수 있도록 256M DRAM급 ULSI Tr.에서는 dual poly gate Tr.이나 metal gate Tr.와 함께 구조에 관한 연구가 병행, 검토되어야 할 것이다.

參 考 文 獻

- [1] J.E. Chung, M.C. Jeng and C. Hu, "Performance and reliability design issues for deep-submicrometer MOSFET's," *IEEE Trans. on Devices*, vol.38, no.3, Mar. 1991.
- [2] H.Sunami, "Cell Structures for Future DRAM's," *IEDM Tech. Dig.*, 1985.
- [3] T.Hori and K.Kurimoto, "A New Half-micron p-channel MOSFET with LATIPS", *IEDM Tech. Dig.*, 1989.
- [4] N.C.C.Lu, T.V.Rajeevakumar, G.B.Bronner and E.J.Sprogis, "A Buried-trench DRAM Cell Using a Self-aligned Epitaxy Over Trench Technology", *IEDM Tech. Dig.*, 1988.
- [5] H.Takato, K.Sunouchi and F.Masuoka, "High Performance CMOS Surrounding Gate Transistor(SGT) for Ultra High Density LSIs", *IEDM Tech. Dig.*, 1988.
- [6] M.Ohkura, K.Kusukawa and T.Tokuyama, "A Three-Dimensional DRAM Cell of Stacked Switching-transistor in SOI(SSS)", *IEDM Tech. Dig.*, 1985.
- [7] T.Kutota, T.Ishijima and H.Kitajima, "A New Soft-error Immune DRAM Cell with Transistor on a Lateral Epitaxial Silicon Layer (TOLE cell)", *IEDM Tech. Dig.*, 1987.
- [8] T.Ozaki, A.Nitayama and F.Horiguchi, "A Sur-

rounding Isolation-Merged Plate Electrode (SIMPLE) Cell with Checkered Layout for 256Mbit DRAMs and Beyond", IEDM Tech. Dig., 1991.

[9] D.Hisamoto, S.Kimura and E.Takeda, "A New Stacked Cell Structure for Giga-bit DRAMs Using Vertical Ultra-thin SOI(DELTA) MOSFETs", IEDM Tech. Dig., 1991.

[10] S.Kimura, Y.Kawamoto, and K.Itoh, "A New Stacked Capacitor DRAM Cell Characterized by a Storage Capacitor on a Bitline Structure", IEDM Tech. Dig., 1988.

[11] 발표예정

[12] K.Suniuchi et al., "Process Integration for 64M DRAM Using an Asymmetrical Stacked Trench Capacitor(AST) Cell", IEDM Tech. Dig., 1990.


[13] P.J.Wright and K.C.Saraswat, "Thickness limitation of SiO₂ gate dielectrics for MOS ULSI", *IEEE Trans. on Electron Devices*, vol.37, no.8, Aug. 1990.

[14] J.R.Pfiester, J.D.Shott and J.D.Meindl, "Performance limits of CMOS ULSI", *IEEE Trans. on Electron Devices*, vol.32, no.2, Feb. 1985.

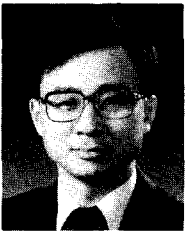
[15] L.C.Parrillo, J.R.Pfiester and C.D.Gunderson, "Disposable polysilicon LDD spacer technology", *IEEE Trans. on Electron Devices*, vol.38, no.1, Jan. 1991.

[16] K.T.Kim, L.G.Kang, T.S.Park, Y.S.Shin, J.K. Park, C.J.Lee, C.G.Hwang, and Y.E.Park, "Tungsten Silicide/Titanium Nitride Compound Gate for Submicron CMOSFET", VLSI Symp., 1990.

[17] E.J.Kakada, D.Hisamoto and T.Yoyabe, "A New Soft-error Phenomenon in VLSIs", Solid State Devices and Materials Conf., Tokyo, Aug. 1987.

[18] L.G.Kang, Y.T.Kang, B.H.Roh, S.P.Kim, Y.W. Ha, K.M.Han and C.G.Hwang, "New Transistor Structure Optimization for 0.25 μ m CMOS Technology", VLSI Symp., 1991. 

筆者紹介



黃昌圭
 1953年 1月 23日生
 1976年 2月 서울대 공대 전기공학과(학사)
 1978年 2月 서울대 공대 전기공학과 대학원(석사)
 1985年 8月 Massachusetts 대전기공학과(박사)
 1978年~1980年 해군 사관학교 교관(전임강사)
 1985年~1986年 Stanford大 전기과 Post Doctor
 1986年~1989年 Stanford大 전기과 Research Assoc.
 1988年~1989年 Intel Cooperation(Consulting Staff)
 1989年~현재 삼성전자 반도체부문 기흥 Memory, R/D Center, TD Group 研究委員

주관심 분야 : CMOS technology for ULSI memories, Device reliability, and technology computer aided design



尹瓚洙
 1963年 3月 2日生
 1986年 2月 중앙대 공대 전자공학과 졸업
 1991年 6月 중앙대 공대 전자공학과 대학원 재학중

1986年~1988年 삼성전자 반도체부문 CAD실 연구원
 1989年~1991年 삼성전자 반도체부문 DVC연구실 연구원
 1992年~현재 삼성전자 반도체부문 TD2 Group 주임 연구원

주관심 분야 : ULSI memory technology 및 process분야 (Process Modeling, Simulation and Integration)