特輯

Test 능력 강화와 대용량 기억소자 설계

劉 泳 甲
忠北大 情報通信工學科 敎授

I. 서 언

반도체 제조공정의 발전이 memory 제품의 시장경쟁력 강화를 위한 주요한 수단이 된지 오래되었다. 시장에서의 생존여부는 제조기술의 개선을 통한 제조원가의 절감, 수율향상, 그리고 신뢰성의 유지가 주요한 관심사가 된 것이다. Memory 제품의 급속한 대용량화와 고속화의 과정에서 테스트 문제는 제조비용 절감에 있어서 가장 큰 장애요인이 되고 있는데, 그 이유는 고집적 memory의 테스트 시간의 증가와 미세화된 패턴과 최소치수에 의하여 발생되는 복잡한 고장유형, 경제성 유지를 위하여 단순한 테스트 방법만을 채택하므로써 야기되는 고장탐지능력 저하등이다. 또한 테스트 장비의 고가화 또한 memory 제품의 생산비용 증가요인이 되고 있다.[1][2][9]

테스트 비용 절감과 테스트 품질유지의 어려운 요구를 동시에 수용하기 위하여, 새로운 테스트 방법과 신뢰성 유지전략이 끊임없이 정립되어 실험되고 있다. 이들의 대부분은 테스트시간 단축을 위하여 재래식의 테스트 패턴을 전제로 하는 대신에 고장탐지능력 향상 측면은 고려하지 않는 경향이 강하다. 이것은 테스트의 보수적인 특성을 반영하는 것으로서, 일반시장에서 통용되는 테스트 패턴의 수용에만 주의를 기울이지만, 정작 그 테스트 패턴이 의미하는 바를 분석하여 고집적 memory 제품에서 발생되는 상황에는 민감하지 못하다는 것이다.

테스트 시간 단축을 위하여 대부분의 고집적 memory 제품설계에 병렬 테스트 기법을 도입하고 있다. 이것은 한 순간에 여러개의 memory 내부 logic, 특히 storage cell들이 테스트되도록 하므로써 테스트에 소요되는 시간을 줄여보고자 하는 노력이다. 고집적화에 따라 memory 제품의 테스트는 storage cell을 테스트에 가장 많은 시간을 소모하게 되는데, 이의 단축을 위하여 여러개의 cell을 병렬 테스트하는 내부 logic을 첨가시키는 것이 유행이 되고 있다. 따라서 memory 내부에 테스트를 쉽게 해주는 설계 방법, 즉 design for testability는 고집적 memory 설계에서 필수 불가결한 요소가 되고 있는 것이다.[5,25,39,124]

고집적 memory의 테스트를 강화하기 위한 균형있는 설계는 테스트 시간 단축에 의한 비용 절감과 테스트 품질유지를 위한 고장 model에서 나온다. 2장에서는 16M bit 또는 그 이상의 memory 제품군에서 발생하는 고장과 결함유형을 먼저 소개한다. 3장에서는 이들을 찾아내는 테스트 패턴의 유도과정을 소개하고, 4장은 테스트 기능을 강화시키는 설계기법을 설명한다. 5장은 현재 테스트 분야에서 직면하고 있는 문제점과 향후의 전망을 기술한다. 끝으로 과거 20년간의 memory test 관련 주요 논문의 목록이 수록되어 있다.

II. Memory의 고장 및 결함 유형

Memory 내부에서의 고장은 저장시킨 정보를 제대로 재현시켜 공급해주는 기능이 원활하게 수행되고 있지 않은 현상이다. 반도체 memory의 전기적 구조물들의 미세화 경향은 복잡한 결함이나 고장을 유발시키는 주요한 요인이 되고 있다. 특히 제조공정상의 결함발생 요인이 테스트에 반영되지 않으면 테스트 결과의 신뢰성에 악영향을 미치게 되는 것이다. 우선 집적도 면에서 가장 높은 dynamic random access memory (DRAM)를 중심으로 고장유형을 검토하여 보고자 한다.[40]

1. 고장유형 분류

고장유형 분류는 테스트 패턴의 중복도출을 방지하기 위하여 필요하다. 비슷한 증상을 보이는 결함이나 고장을 한개의 테스트 패턴으로 모아 검출하게 하므로써 테스트의 효율을 높이는 것이다. 이 분류는 고장이나 결함에 의하여 야기되는 증상을 modeling하고, 이것을 중심으로 분류하게 된다. DRAM에 관련된 failure들은 크게 네가지 유형으로 분류할 수 있다; stuck-at type faults, space dependency, time dependency 그리고 intermittent faults 등이다.[130] Stuck-at type의 고장 · 결함 model은 일반 logic 회로의 신호선이 logic-1이나 logic-0에 고정되어 있는 형태에서 원용된 것으로서, memory내에서 어떤 storage cell의 내용이 "1"이나 "0"에 고정되어 있는 것처럼 보이는 고장의 집합이 된다. 여기에는 물론 cell 자체가 memory write 내역에 무관하게 "1"이나 "0"으로 고정되는 경우가 포함되며, 주변회로 특히 decoder failure도 대표적인 stuck-at 유형의 고장으로 밝혀져 있다. 이것은 decoder에 대한 테스트는 cell에 대한 테스트로 대체해도 그 효과에 손상이 없다는 것을 의미한다.[74]

둘째, memory의 고집적화에 따라 발생빈도가 높아지는 고장유형이 space dependent pattern sensitivity이다. 이것은 인접한 memory circuit element, 예컨데 두개의 storage cell capacitor 등의 간격이 너무 좁아서 전기적인 간섭현상을 일으키는 경우이다. 이런 현상은 storage cell과 bit line, bit line과 bit line간에서 발생되는 것으로 보고되고 있으며, 고집적화가 진행되면서 더욱 심화되고 있다. 이 고장의 테스트는 cell under test (CUT) 주변에 가장 심한 전기적 stress를 줄 수 있는 테스트 패턴을 이용하여 수행된다.

셋째, 테스트 신호의 sequence에 따라 memory의 오동작 발생 여부가 결정되는 time dependent pattern sensitivity는 memory의 저전력화와 고속화가 병행으로 이루어지는 과정에서 심각하게 발생하고 있는 failure 집합이다. 특히 테스트 신호의 timing 차이에 의해서도 오동작이 유발되기도 하는데, 이것 역시 각종 구동회로에 의한 dynamic 회로의 충전특성의 열화 현상과, 누설전류의 존재가 주요한 요인이 된다. 고속회로의 저속동작시의 오동작은 주로 구동회로의 전류누설로 충분한 gate 전압을 공급하지 못하는 이유 때문이다. 이 문제는 DRAM의 word line driver에서 나타나는 심각한 문제로서, 가늘고 긴 word line 구성을 위하여 여러층의 물질을 적층시키는 것이 보통인데, 이 물질들은 word line etching시에 쉽게 제거되지 않고 표면에 미량의 도전성 물질이 남게 된다. 이 물질층은 광학적으로 식별이 곤란하여 최종제품 완성시까지 남아 있게 되는데, 이로 인하여 word line leakage가 발생하거나 word line간 간섭현상이 나타나게 되는 것이다.

네번째 결함유형으로서 재현성이 없는 intermittent fault들이 있다. 이들의 원인은 철저히 규명되지 못한 것이 사실이나, 그중 memory의 package등에 포함되어 있는 방사능 물질에 의한 soft error는 비교적 잘 분석되어져 있다. 특히 soft error 방지를 위한 설계 및 공정방법등이 연구되어 적용되고 있다. 또한 갑작스런 power fluctuation 등에 의하여도 오동작이 발생하게 되며, 이 경향은 memory의 동작전압이 강하되면서 우려할 만한 고장요인이 되고 있다. 이제 이렇게 분류된 네가지 고장유형에 대하여 좀더 자세히 알아보기로 한다.

2. Memory의 고전적 고장모델

Memory 고장의 물리적인 요인을 지적하여 보면, gate oxide의 파괴, short channel effect, transistor channel leakage, line open/short, line to line interference, cell to cell leakage 등을 들 수 있다. Memory의 최소선폭등이 memory의 세대가 바뀔때 마다 물리적인 한계에 가깝게 접근되고 있기 때문에, 물리적인 결함발생과 특성열화 경향은 더욱 심화될 전망이다. 한 chip 내의 모든 물리적인 결함과 특성열화 현상이 항상 memory failure로 나타나는 것은 아니지만, 이들이 memory회로와 관련이 지어지면 memory fault로서 나타나게 되어 정상적인 operation을 방해하게 된다.

집적도가 낮은 memory에서는 이들 결함과 특성열화 현상의 대부분은 앞에서 설명한 stuck-at type 고장으로 model이 가능하다. 이 stuck-at type failure는 complexity가 낮고 비교적 간단한 test pattern으로 쉽게 검출된다. 특히 cell에 있어서, 대부분의 물리적인 고장은 cell이 논리적으로 '0'이나 '1'에 고정된 것으로 봐도, 테스트에서의 검출은 전혀 문제가 없다. 예를 들면 cell의 pass transistor가 short된 경우, cell의 정보는 bit line precharge에 의하여 항상 high voltage로 충전되고 판독되므로, cell이 high voltage에 stuck 된 것처럼 동작하는 것이다. 따라서 stuck-at 1 fault model이 cell pass transistor의 short를 대변하게 되는 것이다. 이 고장 유형의 failure는 cell stuck-at fault, decoder fault, buffer fault, bit/word line crosstalk, transmission line effect 등이 있다.

DRAM의 내부에는 charge sensing, timing 신호 발생을 위한 delay 회로, 입출력을 관장하는 회로등 ana-

log 특성을 갖는 적지않은 회로가 포함되어 있다. 이들 analog 회로에서 특성이 제대로 나오지 않는 경우에 대한 fault modeling의 결과로서, sleeping sickness, sense amp recovery problem 등을 들 수 있다. Sleeping sickness는 저장된 data가 refresh 주기 안에 파괴되는 현상이며, sense amp recovery problem은 반복적인 "1"의 기록후에 "0"기록이 실패하거나 그 반대의 경우이다.

이들 analog 특성변동에 의한 failure는 특별히 고안된 test sequence를 요구하는 바, sense amp recovery problem의 경우, 반복적인 "1" 기록후 "0"의 기록 및 판독 또는 연속적인 "0"의 기록후 "1"의 기록 및 판독을 행하여 수행하는 것이다. 이러한 test sequence를 모든 sense amp에 대하여 수행하여야 하며 반복적인 "1" 기록후 "0" 기록의 회수와 sense amp의 갯수에 따라 test 시간이 결정된다. 여기서 반복적인 기록횟수는 refresh 주기에 비례한다. 대용량 memory에서는 refresh 주기의 연장에 따라 긴 테스트 시간이 요구되기 때문에 이들에 대한 test는 현실적으로 불가능하다.

Pattern sensitivity는 초고집적 memory에 심각하게 대두하는 문제이다. 이것은 한 cell에 저장되어 있는 정보가 주변 cell의 영향을 받아서 파괴되는 현상이다. 인접한 storage cell 간의 누설전류, parasitic capacitance에 의한 간섭현상 등이 pattern sensitivity의 주요 원인이다. 초고집적 memory의 pattern sensitivity로서는 neighborhood interference, layout dependent pattern sensitivity, bit line imbalance 등이 있다.

이 pattern sensitivity를 test 하기 위하여는, CUT에 영향을 미칠 수 있는 neighborhood cell의 범위를 정하는 것이 무엇보다도 중요하다. 효과적인 pattern sensitivity의 test는 CUT에 최대한의 stress를 가할 수 있는 data pattern을 유도하여 neighborhood cell에 저장하는 것이다. 일단 neighborhood cell의 범위가 결정되면, 이 cell들에 pattern을 저장해 가는 순서와, neighborhood cell에 저장되는 각 pattern 마다 maximum stress가 가해질 수 있도록 stimuli sequence를 가하는 순서를 정하게 된다.

3. 초고집적 Memory의 고장모델

최근의 16M bit 급의 초고집적 memory에서 발생하고 있는 주요한 고장이나 결함에 대하여 설명하고자 한다. 먼저 bit line간의 간섭현상은 그림 1에서 보여진 bit line 간의 capacitance가 선간 간격의 축소와 함께 급격하게 증가하는데, 16M bit DRAM의 경우 bit line capacitance의 30%~40%가 bit line간의 capacitance로 이루어지게 된다.[51] 이 현상은 bit line의 재질이 aluminum인 경우 그 두께와 단면구조 때문에 더욱 심각하게 된다. 이것을 방지하기 위하여 polycide bit line을 형성함과 동시에 twisted bit line 구조를 채택하고 있지만, 64Mbit 이상의 초고집적 memory에서는 더욱 심한 bit line간 crosstalk가 나타날 것이다.

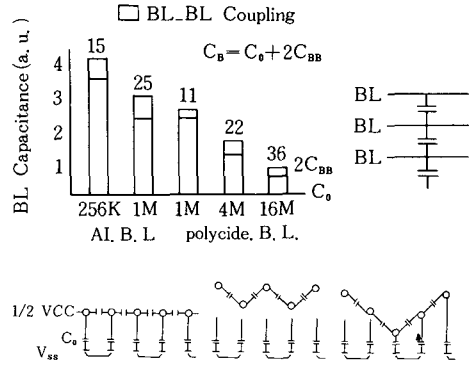


그림 1. Bit line interference

초고집적 memory에서 만나게 되는 또 하나의 중요한 문제는 threshold 전압의 변동이다. 이것은 transistor의 channel 지역의 크기가 급격하게 축소되고, 이에 따라 depletion 지역의 크기도 줄게 된다. 따라서 depletion 지역의 불순물 원자의 절대 숫자가 감소하게 되는데, 이때 이 불순물 원자갯수의 조그만 변동도 threshold 전압을 적지 않게 변동시키는 것이다. 여기서 일본 Toshiba사의 분석결과를 종합해 보면,[119] channel length가 0.1μm가 되면 channel width가 0.1μm인 경우 depletion 지역의 총 불순물 원자 갯수는 396개가 된다. 따라서 전하밀도가 균일하다는 전제하에 계산되는 depletion approximation은 0.1μm 이하의 gate length에서는 더이상 성립하지 않게 된다. 그 결과로 불순물 농도의 국부적인 작은 변동에도 threshold 전압이 급격하게 변동하게 되는 것이다.

초고집적 memory의 주변회로내의 transistor의 size 감소와 이에 따르는 threshold 전압변동 정도, 그리고 고장나게 될 transistor의 갯수가 그림 2에 보여 졌다. 여기서 불순물의 갯수는 depletion 지역내 에서의 갯수이며, 확률 P는 threshold 전압변동이 10%를 초과할 가능성을 보이고 있다. 주변회로 내의 총 transistor의 갯수는 N 으로 표시하였다. 이것을 보면 1Gbit 규모의 memory는 거의 모든 IC에서 threshold 전압 변동의 영향을 받게 된다는 것을 알 수 있다. 이 threshold 전압

의 변동은 그간의 주변회로 특히 decoder와 buffer 등에 관한 고장모델과 그의 test에 관한 이론과 관행을 재검토해야 할 필요성을 제시하고 있다. 또한 memory 내에서 병렬 test를 실시하는 경우 구현하게 될 비교회로의 test에 중대한 영향을 미치게 된다.

Capacity of DRAM(bits)	4M	64M	1G
Gate Lengh/Channel Width	1.0/1.0	0.3/0.3	0.1/0.1
$N_{Impurity}$	3960	1080	396
$P(\Delta V_T/V_T>0.1)$	3×10^{-36}	5×10^{-11}	7×10^{-7}
N_{Tr}	2×10^{4}	5×10^{4}	1×10^{5}

그림 2. 불순물 농도 fluctuation에 의한 threshold 전압 변동 효과

Memory 제품의 동작 속도의 향상과 multi-bit data (×4 또는 ×8) 구조에서는 V_{cc}/GND 상의 voltage bouncing이 심각한 문제가 되고있다.[118,123] 메모리 IC의 오동작을 유발하는 동작환경 특성에는 전원환경 변화, 데이타 입출력선 전기특성 변화, 입출력신호 특성 변화, 온도환경 변화 등이 있다. 동작환경 특성변화에 의한 오동작을 test할 때는 최악의 경우로 test해야만 효과적인 test라고 할 수 있을 것이다. 이 ground bouncing 문제를 분석하기 위하여 그림 3의 V_{cc}/GND line에 기생 인덕턴스가 존재하는 전형적인 CMOS 데이타 출력 버퍼를 사용하였다. 이 모델은 time-varying 레지스터와 인덕터로 구성되어 있다. 이것은 short-channel 트랜지스터의 컨덕턴스는 saturation region에서의 게이트-소오스 전압에 비례하기 때문이다. 출력 트랜지스터 컨덕턴스 상의 GND noise V_n은 Q_2의 gate와 source 전압의 감소만 없다면 GND / V_{cc}뿐만 아니라 noise에 의해서도 Q_2의 입력신호가 영향을 받게되므로 무시해도 좋다. GND 상의 최대 noise 전압 V_n은 다음과 같이 나타낼 수 있다. 여기서 L은 GND line (L_{GND})의 기생 인덕턴스이며, t_r은 스위칭 시간이다. 또한 G_0는 Q_2의 최대 컨덕턴스이다.

$$V_{n\ max} = \frac{1}{1+(t_r/L\cdot G_0)}V_{d\ out}$$

이 식으로 V_{cc}/GND line에서의 noise 전압은 V_{cc} line과 GND line에 존재하는 기생 인덕턴스, 출력전압의 진폭, 출력 트랜지스터의 인덕턴스와 밀접한 관계과 있음

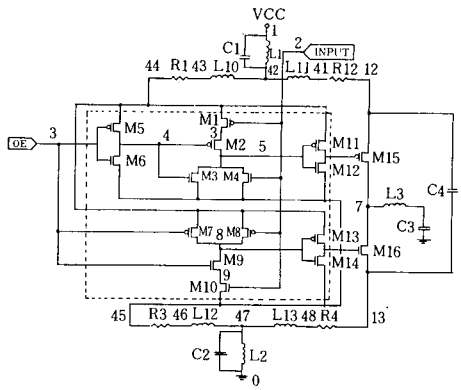


그림 3. Memory 출력회로 model

을 알 수 있다. 특히 GND line에서의 noise는 출력 커패시턴스의 방전이 직접적인 원인이 된다.

그림 4는 이 model에 대한 출력이 high 상태에서 low상태로 변했을 때 데이타 출력 버퍼를 회로 simulator인 SPICE2로 simulate한 결과이다. 이 결과는 ×8 configuration의 memory에서 ground bouncing이 심각하게 나타나는 것을 보이고 있다. 이 결과는 궁극적으로 이와같은 동작환경에 민감한 고장들을 테스트하는 pattern 도출에 이용된다. 이 경우는 1010...의 출력이 효과적이라는 것을 보이고 있다. 결론적으로 최대치 noise 전압을 줄이기 위해서는 되도록 큰 rising time과 falling time, 가능한 낮은 출력전압이 요구된다. 그러나 계속적으로 고속화, 대전력화하는 메모리 기술의 추세에 비추어보면, 메모리 출력회로의 noise 문제는 심각한 문제로 남아 있게된다. 이제 이 failure들을 효과적으로 찾아내기 위한 test 도출의 문제를 다루기로 한다.

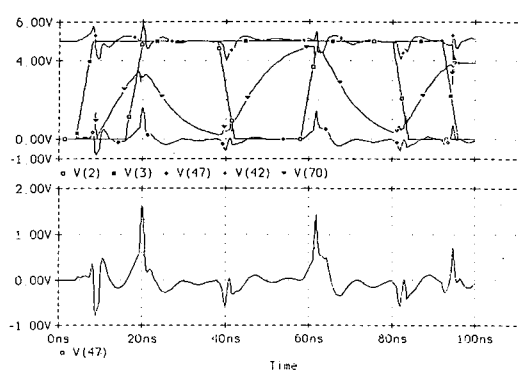


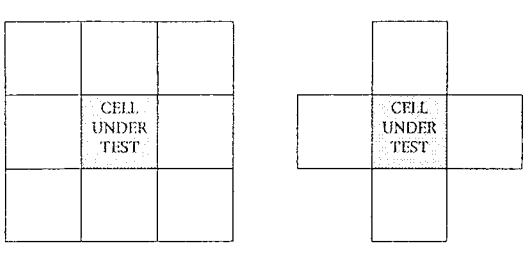
그림 4. Memory 출력회로의 ground bouncing

Ⅲ. Test 도출의 문제

Memory 제품의 구조와 그 제조공정은 제조회사의 독특한 기술적 배경을 반영하고 있기 때문에, 같은 외양과 비슷한 성능의 제품군 안에서도 전혀 다른 제조공정과 실장후의 문제점을 가지게 된다. 특히 내부구조에 있어서 storage array의 구성방법, word line/bit line 그리고 sense amp 등의 설계, redunduncy 기법, timing 회로 등에 있어서 현격한 구조 차이를 보이는 경우가 흔하다. Memory의 고장 양상과의 moldeling과 탐지에 있어서 이와 같은 구조 및 제조 공정상의 차이가 반영되어야 한다. Adaptive failure modeling은 storage array의 구체적인 구조적 특성, 예컨데 folded bit line scheme의 채택여부, twisted bit line 구조의 채택 여부 등을 test pattern 작성에 반영하는 과정을 거치게 된다. 우선 stuck-at type의 고장은 단순한 chekerboard pattern으로 test가 가능하다.[1] 여기에서 중점적으로 다루는 문제는 space dependency와 time dependency 그리고 intermittent fault이다.

1. Neighborhood Scheme

Space dependent pattern sensitivity의 test pattern 도출과정에서, neighborhood scheme 결정은 간단한 model에서 출발하고 있다. 그림 5에 보여진 5 cell 또는 9 cell scheme 등은 CUT의 주변의 4개 또는 8개의 cell을 포함하는 neighborhood scheme으로서, 주로 pattern sensitivity의 기초이론 도출을 위한 도구로서 활용되어 왔다. 그러나 이들이 복잡한 memory 구조를 대변하는 neighborhood scheme으로서 유효하다고 보기에는 현실과 괴리가 너무 크다.



(a) 9-cell (b) 5-cell

그림 5. Basic neighborhood schemes

효과적인 neighborhood scheme은 실질적인 patternsensitivity에 기초를 두어야 하는데, 고집적 memory에서 발생하기 쉬운 failure, 예컨데 bit line interference 등이 충분히 반영되어야 한다. CUT와 인접한 bit line에 연결된 모든 cell을 이웃으로 삼는 neighborhood scheme은 분명히 5 cell이나 9 cell scheme과는 현격하게 높은 복잡도와 정밀성을 동시에 갖게 된다. 보다 발달된 형태의 neighborhood scheme으로는 word line을 공유하는 cell들, bit line을 공유하는 cell들, sense amp를 공유하는 cell들 등이 조사 되었다.

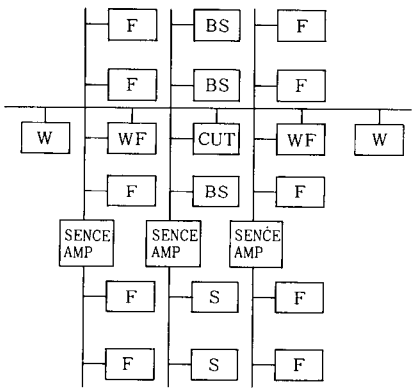
Neighborhood cell의 범위를 결정하는 두가지 요인은 물리적 근접성과 전기적 근접성이다. 물리적 근접성은 다른 cell이나 cell에 대한 access 구조에 물리적인 상호작용이 개재된 경우이다. 대표적인 물리적인 근접성 결정요인으로서는 누설전류가 있다. Storage cell과 cell 사이의 누설전류, cell과 bit line 간의 누설전류, capatitance, cell간에 공유된 회로 요소 등이 있다.

Parasitic capacitance나 resistance에 의하여 나타나는 근접성의 결정짓는 예로서 bit line과 bit line 사이의 capacitance가 있다. 특히 16Mbit급 이상의 DRAM에서처럼 bit line pitch에 비하여 bit line간의 거리가 가까운 경우, bit line간의 noise는 sensing margin에 압박을 주어서 bit line 간섭현상으로 나타난다. 인접한 두 storage cell이 ground 회로의 일부를 공유하는 경우로써 Mitsubishi의 Shinohara가 조사한 layout dependent pattern sensitivity가 있다.[98]

기하학적으로는 멀리 떨어져 있으면서도 전기적으로는 인접한 cell들이 있다. 대표적인 경우가 bit line을 공유하는 cell들이며, word line을 공유하는 cell, sense amp를 공유하는 경우가 이에 해당된다. Bit line을 공유하는 cell간의 간섭은 cell의 pass transitor를 통한 leakage가 주요한 요인이 된다. 주변 cell에 대한 연속적인 low voltage의 기록은 cell under test로부터의 leakage를 한쪽 방향으로 가속시키게 되어 궁극적으로 data를 잃게 하는 것이다.

16Mbit DRAM 이상의 초고집적 memory에 있어서 등장하는 bit line interference의 경우, neighborhood scheme이 전기적인 인접성과 기하학적인 인접성이 동시에 적용된다. 단순한 folded bit line scheme을 쓰는 경우는 twisted bit line scheme을 쓰는 경우보다 간단한 neighborhood scheme을 얻을 수 있다. 단순한 folded bit line scheme을 쓰는 경우에는 한 bit line에 인접한 bit line은 2개인 반면에, twisted bit line scheme을 쓰는 경우에는 인접한 bit line 수는 4개 이상이 된다.

한 cell에 연관된 인접성을 모두 고려하여 neighborhood scheme을 작성하게 된다. 그림 6은 composite neighborhood를 보이고 있다. CUT와 같은 word line을 공유하는 neighborhood cell은 W로 label되어 있고, bit line을 공유하는 cell은 B로, sense amp를 공유하는 cell은 S, 그리고 bit line interference에 의한 인접 bit line의 neighborhood cell은 F로 label되어 있다. 이 neighborhood scheme은 16Mbit 이상의 고집적 memory 구조에 가장 현실적으로 근접하고 있다. 이 scheme을 충분히 이용하기 위하여는, 먼저 test sequence를 효과적으로 작성하여 불필요한 동작을 제거하므로써 test time을 단축시켜야 한다.



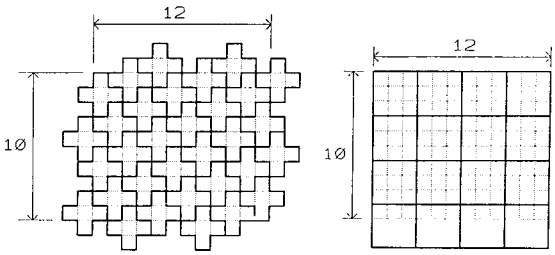
F:Bit line interference affected B:Bit line sharing neighbor
S:Sence amp sharing neighbor W:Word line sharing neighbor

그림 6. Composite neighborhood scheme

2. Pattern Tiling

한 storage array 에서 가능한 한 많은 cell들을 동시에 테스트하기 위하여, 앞절에서 설명한 single cell neighborhood를 여러개 형성하도록 하는 방법을 제시한다. 우선 single cell neighborhood을 한개의 tile로 만들고, 이 tile을 한 storage array 안에 가능한 많이 형성하는 방법이다. 이 tile을 부여하는 과정에서, 연속적인 tile의 배치가 진행되는 동안 모든 cell에 저장될 data간에 논리적인 상충이 없도록 하는것이 중요하다. 그림 7에는 5 cell neighborhood scheme과 9 cell neighborhood scheme에 대한 tiling의 예가 제시 되었다.[34]

Storage array안에 더욱 많은 CUT를 배치하는 방법으로서, neighborhood scheme 으로 결정되는 tile을 겹치는 방법도 제시 되었다. 이때 한개의 cell에 두개의



(a) 5-cell (b) 9-cell

그림 7. Tiling example

tile이 겹쳐지는 부분에서, 같은 cell에 두가지의 다른정보가 저장되도록 요구될 수 있다. 이 neighborhood cell 범위 설정은 비교적 간단하고 손쉬운 방법을 채택하였다. 먼저 CUT에 저장하여야 할 논리값을 선정한다. CUT가 이 논리값을 유지하는데 부정적인 영향을 미치게 될 failure들을 모두 선택하여 이 failure들이 요구하는 data pattern을 중첩시키는 것이다.

이 중첩과정에서 논리적인 모순을 방지하는 것이 필수적인 요소이다. 이 과정에서 neighborhood중의 한 cell에 저장될 data에 상충을 일으키면, 그 중 하나는 중첩을 보류하고, 나머지만 가지고 pattern을 완성한다. 보류된 failure에 대하여 다시 처음부터 중첩을 실시하는데, 이미 pattern에 포함된 failure는 제외한다. 즉 pattern sensitivity에 대한 neighborhood scheme은 여러개가 있게 되며 test pattern 또한 여러개가 있게 된다.

이 중첩과정을 통하여 얻어지는 pattern은 on-chip test circuit를 사용하여 쉽게 발생시킬 수 있어야 한다. 이를 위하여 먼저 test pattern의 형태를 결정하여야 하는데 여기에는 test complexity를 고려하여야 하고, 다음으로 test circuit의 크기와 동작과정을 설정하게 된다. 다음절에서는 sliding diagonal pattern을 선택하여 이를 개조하는 작업을 보이게 되는데 이것은 일반적인 shift register를 이용하여 쉽게 구현할 수 있고 on-chip 화 할 경우 회로의 크기도 작게 만들 수 있기 때문이다.

3. Sliding Diagonal Pattern

대표적인 기존의 algorithm들로서는 checker board pattern 등이 있다. 이들 pattern은 complexity가 O(n)에서 부터 $O(n^2)$ 사이에 들어오며, 64Kbit memory 이전까지는 $O(n^2)$의 complexity를 갖는 test algorithm이 양산 test에 적용되었다. 그러나 256Kbit memory 부터는 $O(n^2)$ 또는 $O(n^{3/2})$의 complexity를 갖는 algorithm은 과도한 test시간 요구때문에 사용되지 아니하고, O

(n)의 complexity를 갖는 비교적 간단한 test algorithm만 사용되고 있다.

이들 기존 test algorithm의 기본적인 맹점은 이들이 반도체 memory가 갖는 failure를 두고 도출된 것이 아니라는 것이다. Galloping 처럼 높은 fault coverage를 갖는 것으로 알려진 algorithm도 실질적인 유효성에서 보면, 물리적인 failure에 맞추어 잘 도출된 O(n)정도의 algorithm의 fault coverage와 큰 차이가 없는 것이다. 그림 8은 기존 test algorithm의 복잡도와 fault coverage를 비교한 것이다. 이들 기존 algorithm들은 pattern sensitivity의 검출가능성은 전체적으로 완벽하지 못한 것을 알 수 있다. 왜냐하면 pattern sensitivity는 neighborhood scheme의 설정이 가장 중요한 요소이기 때문이다.[33]

Algorithms	Complexity	Fault coverage
Checkerboard	O(n)	pattern sensitivity 탐지에 부적합
Marching	O(n)	pattern sensitivity 탐지에 부적합
Galloping	$O(n^2)$	pattern sensitivity 일부 탐지 가능
Sliding diagonal (original)	$O(n^{3/2})$	pattern sensitivity 일부 탐지 가능

그림 8. 주요 test algorithm 비교

초고집적 memory를 충분히 test하기 위하여는, 앞절에서 설명한 효과적인 neighborhood scheme을 바탕으로 test algorithm이 유도되어야 하며, 물리적인 failure mechanism과 memory 구조를 바탕으로 삼아서 memory에 구현된 기능을 test하는 algorithm 개발이 요구된다. Memory의 제조방법상의 차이와 구조의 차이 때문에 모든 memory에 동시에 적용할 수 algorithm은 그 유도과정도 복잡하거니와, 한 memory 종류에서는 필요하나 다른 memory 종류에서는 불필요한 procedure의 개재가 불가피하므로, 그 효율에 문제점이 있다.

테스트 복잡도가 낮으면서 fault type에 맞게 수정하여 쓸수 있는 sliding diagonal pattern을 이용하여, 앞절에서 작성한 neighborhood scheme에 기초로한 새로운 test bit pattern과 test sequence를 작성하고자 한다. 그림 6에 보여진 neighborhood scheme에 가장 근접한 것이 galloping과 sliding diagonal pattern이다. 그러나 galloping은 불필요한 sequence가 너무 많이 개재해 있는 반면, sliding diagonal pattern은 약간의 수정이 가해지면 사용가능하다. 그림 9(a)는 sliding diagonal pattern을 보이고 있다. 이 pattern을 한 storage arrary에 "0"의 background를 가지고, arrary의 대각선상에 놓인 cell under test에 "1"을 저장하였다가, 다시 읽어내는 것이다. 이 대각선의 선택은 그림 9(b)처럼 한칸씩 옮겨가며 반복 수행하여서 모든 cell이 test되도록 하는 것이다. 이 pattern은 비교적 높은 fault coverage를 갖는다. 이 pattern이 cover하는 주요한 failure는 5 cell pattern sensitivity, bit/word line crosstalk, bit line interference, 그리고 decoder failure 등이다.

1	0	0	0	0	0
0	1	0	0	0	0
0	0	1	0	0	0
0	0	0	1	0	0
0	0	0	0	1	0
0	0	0	0	0	1

(a)

0	1	0	0	0	0
0	0	1	0	0	0
0	0	0	1	0	0
0	0	0	0	1	0
0	0	0	0	0	1
1	0	0	0	0	0

(b)

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

(c)

그림 9. Sliding diagonal pattern : (a), (b) sliding operation; (c) modified sliding diagonal pattern

이 sliding diagonal pattern의 computation complexity는 $O(n^{3/2})$이다.[38] 따라서 특별한 built-in test scheme에 의한 시간 단축 방안이 없이는 16Mbit DRAM급

이상의 초고집적 memory의 양산 test에는 적용 불가능하다. 이 pattern이 갖는 높은 fault coverage를 유지하며, 이미 제시한 바와 같은 보다 광범위한 neighborhood scheme을 받아들일 수 있는 diagonal pattern의 수정과, 이것의 complexity를 낮출 수 있는 built-in testing scheme을 강구하여야 한다.

이미 제시한 neighborhood scheme에 맞도록 먼저 sliding diagonal pattern을 개선하는 방안을 기술하고자 한다. 여기에서 제시하는 방안은 먼저 단일 storage cell에 대한 완전한 neighborhood을 tile로 만든 시점에서 출발한다. Tile 부설과 tile 겹침의 과정을 거쳐서 sliding diagonal pattern의 변형이 얻어진다. 이에 의하면 같은 wordline을 공유하는 두 cell도 동시에 CUT가 될 수 없다.또한 bit line interference에 의하여 두 CUT는 서로 인접한 bit line에 연결될 수 없는 것이다. 그림 9 (c)는 이와 같은 상황에서 얻어진 pattern의 작성 예를 보이고 있다. 여기서는 stroage cell의 대각선 방향으로 규칙적인 간격을 두고 CUT가 배열된다.

Test 초기화 과정에서 sliding diagonal pattern의 기록은 두가지 방법으로 수행된다. Pattern이 불규칙하게 되어 있을 경우에는 background pattern을 먼저 쓰고, CUT만을 골라서 다시 test data를 써넣는 방식이다. 이것은 background에 쓰이는 all-'0'나 all-'1'을 동시에 기록하므로써 pattern 기록에 걸리는 시간을 단축시키고자 하는 것이다. 두번째 pattern 초기화 방법은 병렬 기록 방식이다. 이것은 pattern이 규칙적일때 사용하는 것으로서, 한 row의 data pattern을 미리 발생시켜서 한꺼번에 기록하는 방식이다. 첫번째 방식과 비교하여 볼때 이 방식은 CUT만을 골라서 pattern을 써넣는 시간을 절약할 수 있으므로, pattern 기록에 걸리는 시간을 더욱 단축시킬 수 있다.

이 sliding diagonal pattern을 사용하여 memory test를 실시하는 동안 test시간 단축과 built-in test를 도입하는 경우 test 회로를 단순화시키기 위한 sequence 간략화를 실시한다.[127] 이 sequence 간략화는 우선 각 failure에 대한 test sequence를 차례로 concatenate 하여 복합 test sequence를 만들게 된다. 그리고 이 복합 test sequence에서 여러번 중복되는 불필요한 memory operation의 종류를 제거함으로써 테스트시간 단축을 기한다. 또한 memory내에 built-in test circuit를 도입하고자 한다면, 이 test circuit가 제공하는 기능을 최대한 활용하여, 이 복합 test sequence에 대한 간략화 작업을 실시하는 것이다. 이와같은 수정절차의 예는 다음에 설명할 circular shifting에 의한 간략화로서 설명된다.

Ⅳ. 테스트를 강화하는 설계

주어진 memory failure를 분석하여 test pattern이 유도되고 난후에 이것을 효과적으로 test에 적용하는 것이 중요하다. 그러나 고집적 memory의 경우 이 test complexity가 매우 높기 때문에, memory의 설계를 변경하여 test pattern의 적용을 쉽게 해야할 필요가 있다. 여기에는 circuit의 추가에 따른 overhead가 있게 마련이다. 이것은 test 동작을 제어하기 위한 회로와, test data를 저장하는데 드는 비용 그리고 test 결과를 검증하기 위한 회로의 구현에 필요한 것이다. 따라서 test 개선을 위하여 들인 비용과 그 효과 즉 test time 단축과 test 품질의 향상을 종합적으로 고려하여야 한다.

1. Error Correcting Code에 기초한 설계

고집적 memory의 복잡한 고장을 테스트하기 위한 algorithm은 대부분 높은 계산 복잡도를 가지고 있기 때문에, 대용량 memory 의 test에는 부적당하다. 이 문제를 해결하기 위하여, memory 내부에 약간의 회로를 도입함으로써 test를 쉽게 하는 방법들이 많이 제시되어 있다. 이들을 분류하면 크게 세가지로 나눌수 있는데, code-based 방식, 테스트 패턴의 내부발생방식, 그리고 테스트 패턴의 외부 발생 방식이다. 첫째 code-based 방식은 error correcting code (ECC)에 의한 것이다. 그림 10에 보여진 바와 같이 이것은 저장되는 data로부터 error correction을 위한 정보(check bit)를 발생시켜 이것까지도 같이 저장해 두었다가, 판독시에 이 check bit를 이용하여 codeword의 여부를 판별하고, 경우에 따라서는 error를 correction까지 하게 된다. Codeword 형성에 사용되는 data bit들을 저장하는 방법에 따라 ECC-based 방식은 두가지로 분류된다. 첫번째는 data bit들을 여러개의 storage array에 분산하여 저장하는 것이다. 이 방식은 Micron Tech.과 IBM등에서 채택하고 있는 것으로서,[2,12,22] wiring overhead가 높은 반면에 code generation을 통합하여 수행하는 장점이 있다.

두번째 ECC-based 방식은 data bit과 check bit들을 모두 한개의 storage array에 저장하는 것이다. 즉 한 array로 부터의 여러 bit에 대한 ECC를 적용하는 방식으로서, Mitsubishi에서 채택하고 있다.[27] 이 방식은 wiring overhead는 작은 반면에, column decoder logic에서 parity checking이 수행되는 관계로 access time에 적지않게 나쁜 영향을 주게 된다. 특히 page mode

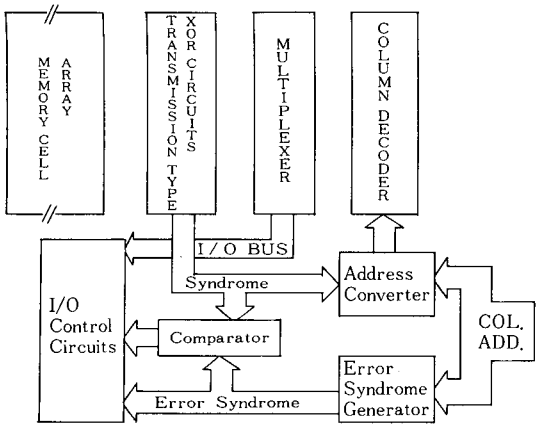


그림 10. ECC-based 설계의 block diagram

에서는 access time 의 연장이 치명적이다. 같은 row에 있는 data를 신속하게 access 할 수 있어야 하는데, 5nsec 정도로 알려진 parity checking 시간은 25 nsec access time에서 무시할 수 없는 크기인 것이다.

ECC-based 방식에 있어서 일본의 Matsushita에서 채택하고 있는 것은 multiple parity checking 방식이 있다.[121] 이것은 4M bit DRAM 내에서 한 row의 data를 다시 2차원으로 배열하여 가로 및 세로 방향의 check를 하는 소위 HV방식이 그것이다. 이것은 과도한 circuit overhead에 의하여 일반 DRAM의 경우 큰 cost 부담을 가져올 것이다. Data bit length가 길어지면 HV parity checking이 hamming code방식보다 면적 overhead면에서 유리하다는 것이 알려져 있다. Boston 대학은 memory data에 대한 광범위한 linear codecheck 방식을 채택하고 있는데, linear equality check, linear inequality check 그리고 Rademacher 변환이다. 이 방법은 손쉬운 verification logic의 구현이 가능하다는 장점이 있으나, 어느 정도까지 failure가 탐지 가능한지 정량화 하기가 지극히 곤란하다는 문제점이 있다.

2. Circular Shifting 에 의한 설계

Test pattern의 내부 shifting은 초기화에 의하여 저장된 pattern을 연속적인 circular shifting을 통해 새로운 test pattern을 생성하는 방법이다. 이 circular shifting 개념은 한 storage array내의 bit pattern shifting에 의하여 연속적인 pattern generation을 하는 방안이다. 이 방법은 sense amp array를 개조하여 한 storage array 전체가 circular shift register가 될 수 있도록 설계하는 것이다.

한 storage cell내의 data pattern에 대한 circular shifting에는 세종류가 있다. 첫째는 data를 row 별로 circular shift 시키는 방식이다. 이것은 한 row의 data를 읽어서, 한 bit 위치를 오른쪽으로 shift시킨 다음 그 row에 다시 쓰는 방식인데, 이때 맨 오른쪽의 data는 버리지 않고 맨 왼쪽 cell에 써질 수 있도록 회로를 설계하는 것이다. 이 방식은 모든 row에 CUT가 존재하는 경우에 유효한 shift 방식이다.

두번째 circular shift방식은 data를 column별로 circular shift 시키는 방식이다. 매 column 마다 buffer가 될 별도의 row를 가지고 있을 때 사용하는 것으로서, 첫번째 row는 읽어서 buffer row에 저장시키고, 두번째 row는 읽어서 첫번째 row에 저장하며, i+1 번째 row의 data를 i번째에 저장시키는 등의 동작을 마지막 row까지 수행한다. 그런 다음, buffer row에 들어 있는 첫번째 row data를 마지막 row에 저장하는 방식이다. 이것은 매 column마다 CUT가 있을 때 유효한 방식이다. 또한 sense amp array는 수정을 하지 않아도 되는 장점이 있다.

세번째 circular shift 방식은 그림 11에 보여진 바와 같이 한개의 storage array 전체를 circular shift register로 변환시키는 방식이다. 먼저 shift를 실시하기 전에 storage array 의 맨 아래쪽 row의 맨 오른쪽 column의 cell의 data를 별도의 register R*에 미리 기억 기억시켜 놓고 시작한다. 첫번째 row를 읽어서 오른쪽으로 한자리 shift시킬때 맨 왼쪽 column에는 R*의 data를 들여오고 맨 오른쪽에서 shift out되는 것은 다시 R* 에 저장하여 놓았다가 그 다음 줄 shift할 때 씀으로써, 한 storage array의 data 전체를 circular shifting 시킬 수 있게 된다.

Circular shifting을 구현하기 위한 memory 구조의 변경은, 첫째 한 storage array 전체가 한개의 circular shift register가 되도록 한다. 이 구조는 모든 cell이 논리적으로 하나의 루프를 형성하도록 하므로써 이 cell들에 저장된 data가 한칸씩 이동하게 되어도 같은 pattern이 유지되도록 하는 것이다. 두번째의 circular shifting을 위한 memory 구조 변경은 한개의 memory chip 내에 parallel test 기능을 구현시키기 위한 것이다. 이 독립적인 storage array에서 각각 별도의 test pattern을 가지고 circular shifting이 동시에 수행되도록 하였다. 세번째의 memory 구조변경은 여러개의 병렬 comparator를 써서 검증에 걸리는 시간과 회로 부담을 줄이는 것이다. 이 병렬 comparator로 비교되는

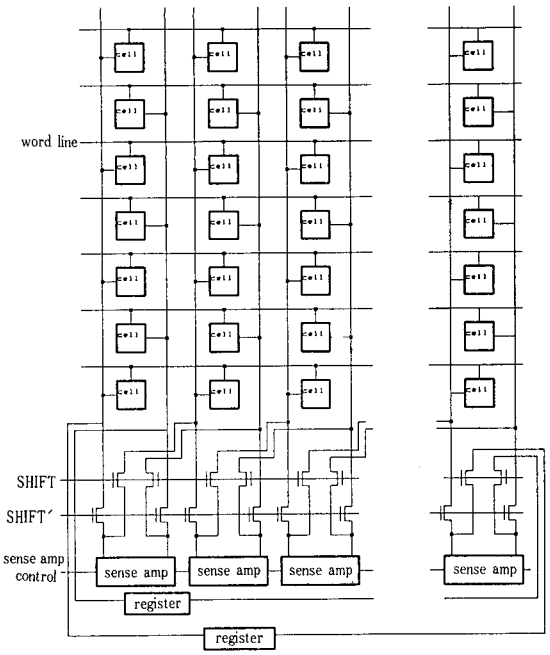


그림 11. Circular shift에 기초한 memory core 설계

두개의 array는 서로 complementary pattern을 사용하도록 하였다. 이것은 common mode failure를 방지하고자 하는 것이다. 따라서 이 parallel test에 사용되는 비교기는 근본적으로 inequality checker로서, 같은 논리입력 값에 대하여는 error signal을 내게 된다.

이 병렬 테스트의 문제점은 모든 storage array가 동시에 activate되므로써 과도한 substrate current가 흐를 수 있다는 것이다. 초고집적 memory의 경우 access time을 단축시키기 위하여 current profile을 조절하는 경우가 있다. 평상시에는 storage array중 일부만 구동시키는데, 정상동작시의 current profile을 가져서, substrate voltage fluctuation을 견딜 수 있지만, test시에는 한꺼번에 많은 array를 동시에 구동시킴에 따라서, 이 증가된 fluctuation을 견디지 못하고 오동작을 유발할 수 있다. 이런 경우에는 오동작이 일어나지 않도록, 동시에 parellel test되는 storage array의 갯수와 chip 내에서의 물리적 위치를 조절하여야 한다. 이 과도전류 문제를 손쉽게 해결하는 방법으로서는 storage array를 여러 그룹으로 나누어 test를 실시하는 것이다. Parallel test되는 같은 그룹의 array들은 서로 인접하지 않도록 하여 substrate에서 전류가 한 지역에서 과도하게 흐르는 것을 방지하여야 한다. 또한 한 그룹의 array가 precharge 하는 동안 다른 그룹은 data restore를 하도록 하여, 시간적으로 엇갈린 시간에 operation을 하도록 하는 것이 좋다.

이와같은 방법에 의하여 test 복잡도가 circular shifting만으로도 $O(n^{1/2})$으로 줄어들게 된다. 또한 memory의 capacity가 늘어나도 storage array의 size를 키우지 않고 그 갯수를 늘려 감으로써 memory test에 걸리는 시간을 일정하게 유지시킬 수 있는 것이다. 따라서 sliding diagonal pattern 처럼 우수한 고장탐지능력을 갖춘, $O(n^{3/2})$의 complexity를 갖는 pattern을 사용하는 경우, test complexity가 O(n)으로 감소하게 되어 대용량 memory에서도 사용 가능하게 된다.

3. Built-In Test 기법

Built-in testing design 방법중 대표적인 것으로 test pattern의 내부발생 방법이다. 내부적인 test 발생방법으로서 ROM-based 방식은 memory내에 별도의 ROM을 내장시켜 놓고, 이 microprogram ROM을 이용하여 pattern을 발생시키는 것이다. 대표적인 예로서 일본 NEC사의 64M bit DRAM[50]으로서, built-in self-test 및 built-in repair 기능을 갖도록 하였다. 여기에는 checkerboard 수준의 O(n) test pattern이 사용되고 있다. 이 chip은 CAS before RAS의 timing sequence로 test mode에 들어가게 되며, 여기서 사용된 ROM은 대략 200 bit정도로 작지만, 그 자체의 test문제도 memory 자체의 test 문제 못지 않게 어려운 문제로 등장하게 되어 실효성에 의문이 남게 된다.

Multi-bit test mode를 써서 병렬 test를 시도한 예로서 Mitsubishi의 1M bit DRAM을 들 수 있다.[78,79] 그림 12에 보여진 바와같이 전체 array를 8로 나누어서 동시에 8개의 subarray를 test 한후에 나오는 8 bit를 비교기를 써서 검증하는 것이다. 여기에 사용된 test pattern은 chip 내부에서 발생시킨 checker board로서 고장탐지 능력에는 문제가 있다. 이 chip은 CAS before RAS로서 test mode에 들어가게 되며, 그 결과는 error flag으로 보고 된다. 여기서 test logic은 random logic으로 구현되어 있고 refresh에 사용되는 row address counter와 column address counter가 연결되어 모든 row를 scanning하게 된다.

한 array내에서 여러 bit를 동시에 test하는 방법으로서 일본 NTT 의 line-mode test가 있다.[39] 여기서는 한 word line에 연결된 모든 cell이 동시에 test되는데, 병렬 기록과 병렬 판독이 word line base로 이루어 진다. 이때 병렬 비교가 미리 예측된 값으로 검증을 하게되

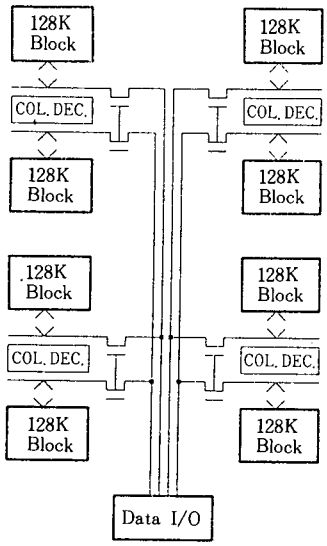


그림 12. Multi-bit test mode의 구조

며, march pattern이 사용되었다. 여기에는 별도의 회로가 decoder와 입출력회로등의 주변회로를 test하게되며 test logic도 미리 test되지만, 이 두 그룹의 검증은 외부에서 행하게 되어 있다. 이것은 일반적으로 multi-bit test 방식보다는 테스트 시간이 짧은 반면에 test logic 자체는 좀더 복잡하다.

위의 line mode test와 multi-bit test를 결합하여 시도한 것이 Mitsubishi사의 새로운 line mode test이다.[62] 여기서는 각 array 마다 multi-purpose register (MPR)와 병렬 비교회로를 도입하여, 외부에서 제공되는 random pattern을 저장하게 된다. 이 MPR에 저장된 pattern은 미리 선택된 row에 병렬로 기록되고난 후에, 다시 읽혀져서 MPR의 내용과 비교 검증된다. 여기서 사용된 pattern은 외부에서 입력시키기 때문에 필요한 상황에 맞출 수 있는 융통성이 있다. 이것은 16M bit DRAM에 적용되었을 때 약 0.5%의 circuit overhead를 요구하고 있으며, test time은 1/1000로 단축되었다.

Memory내에 test 목적의 processor를 내장시킨 방식이 독일의 Siemens에서 시도되었다.[90] 이 processor는 주로 ALU, decoder, RAM과 ROM으로 구성되어 있는데, 이 ROM의 용량은 512×14 bit이고 RAM은 32개의 16bit registed file로 구성되어 있다. 이 방식은 높은 programming capability를 갖추고 있기 때문에 대부분의 test pattern을 상황에 따라 구사할 수 있으며, 특히 built-in self-repair 기능을 효과적으로 수용할 수 있다. Memory의 개발단계의 test에서 생산단계의 test에 이르는 동안 test algorithm의 변화를 쉽게 수용할 수 있고, 입고검사나 field maintenance에 활용할 수 있다. 이 방식은 다른 방식에 비교하여 높은 circuit overhead가 요구되는데 1.3 micron CMOS로 설계된 1M bit DRAM에서 5%의 추가회로가 사용되었다.

여러 array의 병렬 test에 덧붙여서 검증결과를 압축하여 signature를 발생시키는 방식이 Texas Instrument사에서 제안되었다.[100] 이것은 외부에서 공급된 march pattern을 가지고, 여러 signature analyzer라고 부르는 shift register에 scan mode를 이용하여 기록한다. 그후 이 내용을 여러 array에 병렬로 써 넣게 되며, 이 결과를 읽어서 여러 bit의 signature를 발생시키는 것이다. 이 signature는 test 종료후에 외부에 공급되어 error 발생여부가 판단된다. 이 방식은 초기화에 serial data input에 외부의 구동회로가 소요되고, march pattern의 fault coverage 이내에서 테스트 품질이 결정된다. 이 방식이 요구하는 면적은 256K DRAM 에서 2.2%이다.

이상에서 검토한 testable memory 설계는 test time 단축에 모든 노력을 경주하여, 테스트 비용 절감을 기하고 있다. 이들이 채택하고 있는 test pattern은 모두 stuck-at type의 고장들만이 검출되는 것들로서, pattern sensitivity를 위시한 고집적 memory의 test 품질 향상에는 큰 발전을 기하고 있지 않다. 그러나 memory chip의 고속화와 고집적화는 space dependency와 time dependency 그리고 동작환경에 민감한 intermittent fault의 처리를 요구해 오고있다. 따라서 built-in test에 적합한 고급 test pattern의 적용을 적극적으로 고려하여야 할 것이다.

V. Memory Test의 장래 전망

이상에서 본 바와 같이 memory test의 품질향상과 비용절감을 위하여는 고장 model, test pattern 도출, 그리고 효과적인 test circuit 등의 문제가 함께 고려 되어져야 한다. 여기에 덧붙여서 응용분야별 동작환경을 고려한 test의 문제까지 다루어야 하게 되었다. 이것은 memory의 고속화 응용분야 다변화에 따른 전용화가 이루어 지면서 심각하게 나타나는 문제가 될 것이다. 따라서 테스트는 요구되는 테스트 품질에 따라 차별화가 이루어져서 허용되는 비용의 범위내에서 이루어져야 할 것이다. 테스트 품질의 차별화에 관하여 이미 완구

등에서의 음성저장용 memory의 경우 상당량의 내부 결함이 있어도 음질에 영향이 없는 것으로 알려져 있으며 여기에 대한 test 방법도 제시되고 있는 것이 현실이다. 반면에 고속 정보처리와 의료기기등 인명과 연관된 분야에서는 고도의 테스트가 요구되고 있다. 응용분야별 테스트 품질의 차별화는 고장의 model 정립에 영향을 주게 되는데, 과거 논리회로에서 원용된 stuck-at type 고장보다 더 완화된 고장 model의 등장을 보게 되었다.[129]

Memory 제품의 고집적화에 따라 pattern sensitivity, environment sensitive 고장등 복잡한 고장유형들이 빈발하게 되고, 이를 modeling하여 효과적인 test를 도출하려는 노력이 활발해 질 것이다. 여기에는 주어진 구조에 잘 적응된 neighborhood scheme의 도출과 stimuli sequence를 통합시킨 unified test sequence가 사용되게 된다. 이 과정은 memory내의 특별한 test logic과 연계되어 memory의 test operation으로 정의 될 수 있으며, 따라서 memory의 기능상 확장이 이루어지게 된다. 이것은 현재의 경계주사(boundary scan) 방식의 test 방식을 수용하게 되는 경우 크게 도움이 된다.

한편 고집적화와 고속화는 memory의 동작환경의 민감한 변화와 함께 복잡한 테스트를 통하여서 만이 테스트 품질의 유지가 가능하기 때문에, 약간의 memory chip 면적의 비용으로 이를 수용하려는 시도가 계속될 것이다. 여기에는 고장극복형의 memory 응용요구를 수용하기 위하여, 구조적인 재구성, built-in self-repair, error correction 등의 기능추가가 memory 제품의 ASIC화 추세에 맞추어서 활발하게 전개 될 것이다. 특히 wafer scale memory 또는 memory system의 test에는 memory 자체의 test 뿐만 아니라, 그 연결회로의 test에도 많은 개선이 이루어 질 것이다. 앞서 언급한 memory의 test mode 기능 추가는 system level의 diagnosis에 영향을 주게 되고, 궁극적으로는 system의 신뢰성 향상에 기여하게 되는 것이다.

Memory chip의 test 강화와 연계하여 고려하여야 할 것으로 test 장비와 test 절차의 문제가 있다.[41,52] Test 장비는 동시에 여러 chip을 테스트할 수 있도록 발전되어 왔으나, memory의 동작환경이 까다로와 져서 test 장비의 병렬성이 약화되는 추세에 있다. 따라서 memory의 built-in test circuit의 내장은 공유되는 부분의 획기적인 증가를 통한 장비비용 절감의 계기가 될 수 있다는 것이다. 대부분의 testable memory 에서 내부 검증을 채택하기 때문에 장비쪽에서는 그 검증 결과만을 관측하면 된다. 이는 test 장비의 핵심인 pin electronics의 부담을 줄이게 되며, 특히 ×4 또는 ×8의 configuration을 갖는 testable memory 의 경우 그 효과가 두드러 질 것이다.

參考文獻

[1] M.S.Abadir and H.K.Reghbati, "Functional testing of semiconductor random access memories", *ACM Computing Survey*, vol.15, no.3,pp.175-198, Sept. 1983.

[2] F.J.Aichelmann, Jr.' "Fault-tolerant design techniques for semiconductor memory applications," *IBM J. Res. Develop.*, vol.28, no.2, pp.177-183, March 1984.

[3] E.A.Amerasekera and D.S.Campbell, *Failure Mechanisms in Semiconductor Devices*, John Wiley & Son's Ltd., New York, 1987.

[4] G.Antonin, H.D.Oberle and J.Koelzer, "Electrical characterization of mega bit DRAMs Part 1: External testing," *IEEE Design and Test of Computers*, vol.8, no.3, pp.36-43, Sept. 1991.

[5] K.Arimoto et al., "A 60-ns 33V-only 16Mbit DRAM with multipurpose register," *IEEE J. Solid State Circuits*, vol.24, no.5, pp.1184-1190, Oct. 1989.

[6] Bardell and W.H.McAnny, "Self-test of random access memories," IBM *Tech. Disc. Bull.*, vol.26, no.1, pp.336-340, June 1983.

[7] C.R.Barrett and R.C.Smith, "Failure modes and reliability of dynamic RAMs," COMPCON Spring 1977, Technical Digest, pp.178-182, March 1977.

[8] D.K.Bhavsar, "Testing interconnections to static RAMs", *IEEE Design and Test of Computers*, vol. 8, no.2, pp.63-71, June 1991.

[9] M.F.Chang, W.K.Fuchs and J.H.Patel, "Diagnosis and repair of memory with coupling faults," *IEEE Tr. Comput.*, vol.38, no.4, pp.493-500, April 1989.

[10] P.K.Chatterjee et al., "Leakage studies in high-density dynamic MOS memory device," *IEEE J. Solid State Circuits*, vol.SC-14, no.2, pp.486-497, April 1979.

[11] C.L.Chen and M.Y.Hsiao, "Error-correcting

codes for semiconductor memory applications: a state-of-the-art review," *IBM J. Res. Develop.*, vol.28, no.2, pp.124-134, March 1984.

[12] C.L.Chen, "Error correcting codes for byte-organiged memory systems," IBM Poughkeepsie, 1985.

[13] S.Chou et al., "A 60-ns 16Mbit DRAM with a minimized sensing deley caused by bit line stray capacitance," *IEEE J.Solid State Circuits*, vol.24, no.5, pp.1176-1183, Oct. 1989.

[14] J.Cocking, "RAM Test patterns and test strategy," 1975 Semiconductor Test Symposium, Digest of Papers, pp.1- 8, Oct. 1975.

[15] A.Corsi and C.Morandi, "A reviwes of RAM testing methodologies", *J. Microelectronics*, vol. 14, no.2, pp.55-71, 1983.

[16] B.Courtois and H.Sahamic, "Structural testing of NMOS RAMs," Insist IMAG. Laboratoire TIM3, France. 1983.

[17] W.Daehn and J.Gross, "A test generator IC testing large CMOS-RAMs", IEEE Int'l Test Conf., pp.18-24, 1986.

[18] R.David and A.Fuentes, "Fault diagnosis of RAM's from random testing experiments," *IEEE Tr. Comput.*, vol.39, no.2, pp.220-229, Feb. 1990.

[19] R.David, A.Fuentes and B.Courtois, "Random pattern testing versus deterministic testing of RAM's," *IEEE Tr. Comput.*, vol.38, no.5, pp.637-650, May 1989.

[20] R.Dekker, F.Beenker and L.Thijssen, "Fault modeling and test algorithm development for static random access memories" IEEE Test Conf., pp.343-352, Sept. 1988.

[21] R.Dekker, F.Beenker and L.Thijssen, "A realistic self-test machine for static random access memories", IEEE Test Conf., pp.353-361, Sept. 1988.

[22] J.A.Fifield and C.H.Staper, "High-speed on-chip ECC for synergistic fault-tolerant memory chips", *IEEE J. Solid State Circuits*, vol.26, no.10, pp.1449-1452, Oct. 1991.

[23] R.C.Foss and R.Harland, "MOS dynamic RAM - design for testability," 1976 Semiconductor Test Symposium, Digest of Papers, pp.9-12, Oct. 1976.

[24] R.C.Foss, W.Woodley and J.A.Roberts, "Margins and margin testing in dynamic RAM," IEEE Test Conf., pp.4-6, 1980.

[25] M.Franklin, K.K.Saluja and K.Kinoshita, "A built-in self-test algorithm for row/column pattern sensitive faults in RAM", *IEEE J.Solid State Circuits*, vol.25, no.2, pp.514-524, April 1990.

[26] S.Fujii et al., "A 45-ns 16Mbit DRAM with triple well structure," *IEEE J. Solid State Circuits*, vol.24, no.5, pp.1170-1175, Oct. 1989.

[27] K.Furutani et al., "A built-in Hamming code ECC circuit for DRAM's" *IEEE J. Solid State Circuits*, vol.24, no.1, pp.50-56, Feb. 1989.

[28] T.Furuyama et al., "A latch-up-like new failure mechanism for high-density CMOS dynamic RAM's", *IEEE J. Solid-State Circuits*, vol.25, no. 1, pp.42-47, Feb.1990.

[29] R.D.Grappel, "M68000 diagnostic program tests memory," *EDN*, vol.26, no.8, pp.157-158, April 1981.

[30] S.Grennan, "Application of a commercial data base management system to memory device test program generation and debugging", IEEE Test Conf., pp.289-294, Sept. 1988.

[31] Y.Hayasaka, K.Shimotori and K.Okada, "Testing system for redundant memory," IEEE Test Conf., pp.240-244, 1982.

[32] J.P.Hayes, "Design of self-testing VLSI components", Proc. Conf., on VLSI and Computers, West Germany, May 1987.

[33] J.P.Hayes, "Detection of parttern sensitive faults in random access memories," *IEEE Tr. Comput.*, vol.C-24, no.2, pp.150-157, Feb.1975.

[34] J.P.Hayes, "Testing memories for single cell pattern sensitive faults," *IEEE Tr. Computer*, vol.C-29, no.3, pp.249-254, Mar. 1980.

[35] M.Hentz, "An advanced pattern generator for memory testing," IEEE Test Conf., pp.45-49, 1980.

[36] H.Hidaka et al., "Twisted bit-line architectures for multi-megabit DRAM's", *IEEE J. Solid-State Circuits*, vol 24, no.1, Feb. 1989.

[37] M.Horiguchi et al., "An experimental large-capacity semiconductor file memory using 16 le-

vels/cell storage," *IEEE J. Solid State Circuits*, vol.23, no.1, pp.27-33, Feb. 1988.

[38] E.R.Hnatek, "4-Kilobit memories present a challenge to testing" *Computer Design*, vol.14, no.5, pp.117-125, May 1975.

[39] J.Inoue et al., "Parallel testing technology for VLSI memories", IEEE Test Conf., pp.1066-1071, Sept. 1987.

[40] K.Itoh, "Trends in megabit DRAM circuit design", *IEEE J. Solid State Circuits*, vol.25, no.3, pp.778-789, June 1990.

[41] G.Jacob, "Reexaming parallelism in memory ATE," *EE-Evaluation Engineering*, vol.30, no.12, pp.22-29, December 1991.

[42] N.Jarwala and D.Pradhan, "An easily testable architecture for multi-megabit RAMs", IEEE Test Conf., pp.750-758, 1987.

[43] T.Katayama et al., "A new failure mechanism related to grain growth in DRAMs", IEEE 29th Proc. of Relaibility Physics Symposium, pp.183-187, April 1991.

[44] S.D.Kelly, "Imbedded memory test methods," *IBM Tech. Disc. Bull.*, vol.21, no.12, pp.4911-4913, May 1979.

[45] S.Kikuda et al., "Optimized redundancy selection based on a failure related yield model for 64Mb DRAM and beyond," Digest of Papers IEEE Int'l Solid State Circuits Conf., pp.104-105, Feb. 1991.

[46] K.Kimura et al., "A block-oriented RAM with half-sized DRAM cell and quasi-folded data line architecture." Digest of Papers IEEE Int'l Solid State Circuits Conf., pp.106-107, Feb. 1991.

[47] K.Kinoshita and K.K.Saluja, "Built-in testing of memeory using on-chip compact testing scheme," Int'l Test Conf.,pp.271-281, 1984.

[48] J.Knaizuk, Jr. and C.R.P.Hartmann, "An algorithm for testing random access memories," *IEEE Tr. Comput.*, vol.C-26, no.4, pp.414-416, April 1977.

[49] J.Knaizuk, Jr. and C.R.P.Hartmann, "An optimal algorithm for testing stuck-at faults in random access memories," *IEEE Trans. Comput.*, vol.C-26, no.11, pp.1141-1144, Nov. 1977.

[50] H.Koike et al., "A 30ns 64Mb DRAM with built-in self-test and repair function," ISSCC Digest of Tech. Papers, pp.150-151 and 270, Feb. 1992.

[51] Y.Konishi et al., "Analysis of coupling noise between adjacent bit lines in megabit DRAM's," *IEEE J. Solid State Circuits*, vol.24, no.1, pp.35-42, Feb. 1989.

[52] K.Koo, S.Ramseyer and A.Tejeda, "A testing methodology for new-generation specialty memory devices", IEEE Test Conf., pp.452-460, Aug. 1989.

[53] R.Kraus et al., "Design for test of Mbit DRAMs", IEEE Test Conf., pp.316-320, Aug. 1989.

[54] M.Kumanoya et al., "A 90ns 1Mb DRAM with multi-bit test mode," ISSCC pp.240-241 and 352, Feb. 1985.

[55] N.Kushiyama et al., "A 12MHz data cycle 4Mb DRAM with pipeline peration", *IEEE J. Solid-State Circuits*, vol.26, no.4, pp.479-483, April 1991.

[56] F.Lai, J.M.Meng and C.J.Horng, "A BIST RAM architecture with parallel testing in a micŕoprogram ROM", Int'l. Conf. on VLSI and CAD, pp.11-14, Oct. 1991.

[57] T.C.Lo and M.R.Guidry, "An integrated test concept for switched capacitor dynamic MOS RAM's," *IEEE J. Soild State Circuits*, vol.SC-12, no.6, pp.693-703, Dec. 1977.

[58] W.Malzfeldt et al., "Fast automatic failbit analysis for DRAMs", IEEE Test Conf., pp.431-438, Aug. 1989.

[59] T.Mano et al., "Circuit techniques for a large VLSI memory," *IEEE J. Solid State Circuits*, vol. SC-18, no.5, pp.463-470, Oct. 1983.

[60] T.Mano et al., "Circuit Teshnologies for 16Mb DRAMs", IEEE Int'l Solid-State Circuits Conf., pp.22-23, 323-324, 1987.

[61] M.Marinescu, "Simple and efficient algorithms for functional RAM testing," IEEE Test Conf., pp.236-239, 1982.

[62] K.Mashiko et al., "A 90ns 4Mb DRAM in a 300mil DIP", IEEE Int'l Solid-State Circuit Conf., pp.12-13, 314-315, Feb. 1987.

[63] Y.Matsuda et al., "A new architecture for parallel testing in VLSI memories", IEEE Test Conf., pp.322-326. Aug. 1989.

[64] P.Mazumder and J.H.Patel, "An efficient built-in self testing for random access memory", IEEE Test Conf., pp.1072-1077, Sept. 1987.

[65] P.Mazumder, J.H.Patel and J.A.Abraham, "A reconfigurable parallel signature analyzer for concurrent error correction in DRAM", *IEEE J. Solid State Circuits*, vol.25, no.3, pp.866-869, June 1990.

[66] P.Mazumder, "An on-chip double-bit error-correcting code for three dimensional dynamic random access memory," IEEE Test Conf., pp.279-288, Sept. 1988.

[67] P.Mazumder and J.H.Patel, "Parallel testing for pattern sensitive faults in semiconductor random access memories," *IEEE Tr. Comput.*, vol. 38, no.3, pp.394-407, March 1989.

[68] P.Mazumder and J.S.Yih, "A novel built-in self-refair approach to VLSI memory yield enhancement", Int'l Test Conf., Proc. pp.833-841,Sept. 1990.

[69] E.J.Milner, "Fast memory test checks individual bits," *EDN*, vol.28, no.21, pp.227-230, Oct. 1983.

[70] F.Miyaji et al., "A multibit test trigger circuit for megabit SRAM's", *IEEE J.Solid-State Circuits*, vol.25, no.1, pp.68-71, Feb. 1990.

[71] H.Miyamoto et al., "Improved address buffer, TTL input current reduction and hidden refresh test mode in a 4Mb DRAM", *IEEE J. Solid State Circuits*, vol.25, no 2, pp.525-530, April 1990.

[72] S.Mori et al., "A 45ns 64Mb DRAM with a merged match line test architecture," Digest of Papers, IEEE Int'l Solid State Circuits Conf., pp. 110-111, Feb. 1991.

[73] S.Mori et al., "Threshold voltage instability and charge retention in nonvolatile memory cell with nitride/oxide", IEEE 29th Proc. of Reliability Physics Symposium, pp.175 - 182, April 1991.

[74] R.Nair, S.M.Thatte, J.A.Abraham, "Efficient algorithms for testing semiconductor random access memories," *IEEE Tran. Comput.*, vol.C-27, no.6, pp.572-576, June 1978.

[75] R.Nair, "Comments on An optimal algorithm for testing stuck-at faults in random acess memories," *IEEE Trans. Comput.*, vol.C-28, no.3, pp. 258-261, March 1979.

[76] Y.Nakagome et al., "An experimental 1.5-V 64-Mb DRAM", *IEEE J. Solid State Circuits*, vol.26, no.4, pp.465-472, April 1991.

[77] M.Nicolaidis, "An efficient built-in self test scheme for functional test of embedded RAMs," IMAG/TIM3, France, 1985.

[78] Y.Nishimura et al., "A redundancy test time reduction technique in 1Mbit DRAM with a multiple test mode," *IEEE J. Solid State Circuit*, vol. 24, no.1, pp.43-49, Feb.1989.

[79] Y.Nishimura et al., "Redundancy test for 1 Mbit DRAM using Multi-bit-test mode", IEEE Int'l Test Conf., pp.826-829, 1986.

[80] P.Nissen, "Some memory testing paradoxes," IEEE Test. Conf., pp.91-95, 1978.

[81] T.Ohsawa et al., "A 60ns 4Mb CMOS DRAM with built-in self-test", IEEE Int'l Solid-State Circuits Conf., pp.286-287 and 430, Feb. 1987.

[82] R.W.Owen, "Optimized testing of 16K RAMs," 1977 COMPON Spring, pp.183-185, Mar. 1977.

[83] C.A.Papachristou and N.B.Sahgal, "An improved method for detecting functional faults in semiconductor random access memories," *IEEE Tran. Comput.*, vol.C-34, no.2, pp.110-116, Feb. 1985.

[84] Z.Papp, "A failure rate model for memory devices," IEEE ICCD, pp.177-180, 1983.

[85] D.K.Pradhan and N.R.Kamath, "RTRAM: Reconfigurable and testable multi-bit RAM Design," IEEE Test Conf., pp.263-278, Sept. 1988.

[86] M.J.Raposa, "Dual port static RAM testing," IEEE Test Conf., pp.362-368, Sept. 1988.

[87] C.V.Ravi, "Fault location in memory systems by program," Proc. AFIPS, Spring Joint Comput. Conf., vol.34, pp.973-977, May 1969.

[88] W.S.Richardson, "Diagnostic testing of MOS random access memories," *Soild State Tech.*, vol.18, no.3, pp.31-34, Mar. 1975.

[89] D.D.Rinerson, and A.Tuszynski, "Identification of causes of pattern sensitivity," 1977 Semicon-

ductor Test Conf., pp.166-170, Oct. 1977.

[90] H.C.Ritter, and B.Muller, "Built-in test processor for self-testing repairable random access memories", IEEE Test Conf., pp.1078-1084, Sept. 1987.

[91] K.R.Roberts, "Characterization and testing of pseudostatic memory," IEEE Test Conf., pp.119-125, 1980.

[92] P.Rosenfeld, "Memory testing: characterisation, timing and patterns," *Microelectronics Journal*, vol.10, no.1, pp.27-34, May-June 1979.

[93] D.Sarma, C.A.Papachristou and, F.T.Saifuddin, "Fault coverage of pattern sensitive fault detection algorithms for semiconductor memories," *Electronics Letters*, vol.18, no.22, pp.950-951, Oct. 1982.

[94] J.Savir, W.H.McAnney, and S.R.Vecchio, "Testing for coupled cells in random-access memories", IEEE Test Conf., pp.439-451, Aug. 1989.

[95] J.Savir, W.H.McAnney, and S.R.Vecchio, "Testing for coupled cells in random-access memories", *IEEE Tr. Compt.*, vol.40, no.10, pp.1177-1180, Oct. 1991.

[96] S.C.Seth and K.Narayanaswamy, "A graph model for pattern sensitive faults in random access memories," *IEEE Tran.* Comput., vol.C-30, no.12, pp.973-977, Dec. 1981.

[97] A.H.Shah et al., "Trench transistor를 쓰는 4Mbit 주변 CMOS dynamic RAM의 protype (in Japanese)," Nikkei Electronics, no.399, pp.189-208, July 14, 1989.

[98] H.Shinohara et al., "Parasitic resistance effects on static MOS RAM," 1982 Symp. on VLSI Tech., pp.106-107, Sept. 1982.

[99] T.Shiragawasa et al., "Latch-up analysis on a 64K bit full CMOS static RAM using a laser scanner," 22nd Proc. Reliability Physics Symp., pp.63-68, April 1984.

[100] T.Sridhar, "New parallel test approach for large memories," Proc. Int'l Test Conf., pp.462-470, 1985.

[101] D.S.Suk and S.M.Reddy, "Test procedures for a class of pattern sensitive faults in semiconductor random access memories," *IEEE Tr. Comput.*, vol.C-29, no.6, pp.419-428, June 1980.

[102] D.S.Suk and S.M.Reddy, "A march test for functional faults in semiconductor random access memories," *IEEE Tr. Comput.*, vol.C-30, no.12, pp.982-985, Dec. 1981.

[103] T.Tada et al., "Testing of sense amplifier in dynamic memory," IEEE Test Conf., pp.245-251, 1982.

[104] M.Taguchi et al., "A 40ns 64Mb DRAM with a current sensing data bus amplifier," Digest of Papers, IEEE Int'l Solid State Circuits Conf., pp.112-113, Feb. 1991.

[105] T.Takeshima et al., "A 55ns 16Mb DRAM with built-in self test function using microprogram ROM", *IEEE J. Solid State Circuits*, vol.25, no.4, pp.903-911, August 1990.

[107] S.K.Tewksbury and L.A.Hornak, "Wafer level system integration: a review," IEEE Circuits and Devices Magazine, pp.22-30, Sept. 1989.

[108] A.Tejeda and G.Conner, "Innovative video RAM testing," IEEE Int'l Test Conf., pp.798-807, 1986.

[109] A.Tejeda and G.Corner, "New generation test systems meet VRAM testing challenge," *Asian Electronics Engineers*, vol.4, no.6, pp.148-152, Sept. 1991.

[110] H.Thaler, "Pattern verification and address sequence sensitivity of ROMs by signature testing," Semiconductor Test Conf., pp.84-85, 1978.

[111] S.M.Thatte and J.A.Abraham, "Testing of semiconductor random access memories," 7th FTCS, pp.81-87, June 1977.

[112] S.J.Tsai, H.J.Lee, "A high-speed pin memory architecture using multiport dynamic RAMs", Int'l Test Conf., Proc. pp.347-354, Sept. 1990.

[113] A.Tuszynski, "Memory testing," in VLSI Testing: Advances in CAD for VLSI (T.W.Williams ed.), Elsevier Science Pub.,B.V., pp.161-228, 1986.

[114] Y.Ueoka et al., "A defect tolerant design for full wafer memory LSI," *IEEE J. Solid State Circuits*, vol.SC-19, no.3, pp.319-324., March 1984.

[115] A.J.van de Goor, *Testing Semiconductor memories ; Theory of Practice*, John Wiley & Sons, 1991.

[116] P.H.Voss et al., "A 14-ns 256K × 1 CMOS SRAM with multiple test modes," *IEEE J. Solid State Circuits*," vol.SC-24, no.4, pp.874-880, Aug. 1989.

[117] T.Wada et al., "Variable bit organization as a new test function for standard memories", *IEEE J. Solid State Circuits*, vol.26, no.1, pp.51-53, January 1991.

[118] T.Wada, M.Eino, and K.Anami, "Simple noise medel and low-noise data-output buffer for ultrahigh-speed memories", *IEEE J. Solid-State Circuits*, vol.25, no.6, pp.1586 - 1588, Dec. 1990.

[119] S.Watanabe, "Testable design for ultra high density DRAM's", IEEE Test Symp., Session 5, Atlantic City, New Jersey, April 10-11, 1990

[120] D.Wendell, D.Segers and B.Wang, "Predicting oxide failure rates using the matrix of a 64K DRAM chip," 22nd Reliablity Physics Symp., pp.113-118, Apr. 1984.

[121] T.Yamada et al., "A 4-Mbit DRAM with 16bit concurrent ECC," *IEEE J. Solid State Circuits*, vol.23, no.1, pp.20-26, Feb. 1988.

[122] T.Yamada et al., "A 64Mb DRAM with meshed power line and distributed sense amplifier driver," Digest of Paper, IEEE Int'l Solid State Circuit Conf., pp.108-109, Feb. 1991.

[123] H.You and M.Soma, "Crosstalk and transient analyses of high-speed interconnects and packages", *IEEE J. Solid-State Circuits*, vol.26, no.3, Mar. 1991.

[124] Y.You and J.P.Hayes, "A self-testing dynamic RAM chip," *IEEE J. Solid State Circuits*, pp.159-168, Feb. 1985.

[125] Y.You, "Built-in test structure for large static RAM chips," Proc. Int'l Conf. on VLSI and CAD, pp.197-200, Oct. 1989.

[126] Y.You and J.P.Hayes, "Self-testing ramdom access memory IC", U.S.Patent Office, # 4757503, July 1988.

[127] Y.You and J.P.Hayes, "A self-testing dynamic RAM chip", Proc. MIT Conf. on Advanced Research on VLSI, Cambridge, pp.159-168, 1984.

[128] Y.You and J.P.Hayes, "Implementation of VLSI self-testing by regularization", *IEEE Tr. CAD*, vol.19, no.12, pp.1266-1271,Dec. 1988.

[129] Y.You, "Testing of memories with tolerable defects", Int'l Conf. on Elect., Info. and Comm., pp.214-217, Yanji, China, Aug. 23, 1991.

[130] Y.You, "Multi-mega bit memory test technology", SEMICON/KOREA '91, Technical Symposium, pp.IV:22-31, Sept. 1991.

筆 者 紹 介

劉 泳 甲

1948年 3月 22日生
1975年 8月 서강대학교 전자공학과(공학사)
1981年 8月 미국 미시간대학교 전기전산학과(공학석사)
1986年 4月 미국 미시간대학교 전기전산학과(공학박사)
1975年 8月～1979年 8月 국방과학연구소 연구원
1982年 4月～1986年 4月 미시간 전산연구소
1986年 2月～1988年 2月 금성반도체(주) 책임연구원
1988年 3月～현재 충북대학교 정보통신공학과 학과장
1991年 5月 전국정보통신 교수협의회 부회장
주관심 분야 : 반도체 집적회로테스트, 고장극복형 컴퓨터구조, 가변익항공기제어, 중·대형 컴퓨터 제작 및 제조기술, 정밀인쇄장치 구조설계