

Memory Device용 PKG 현황과 방향

金 精 一, 錢 興 燮

金星일렉트론(株) 半導體研究所

I. 서 론

반도체 중에서 특히 DRAM의 market 동향은 현재 1M DRAM의 성숙기를 지나면서 본격적인 4M DRAM의 성숙기를 맞이하고 있다. 또한 LSI maker의 경우를 보게 되면 16M DRAM의 초기 양산체제를 갖추고 작게는 월 수만개에서 많게는 월 수십만개씩 생산을 하고 있고, 64M DRAM의 경우는 시험생산 단계를 거쳐 조만간 engineering sample 확보를 눈앞에 두고 있다.

DRAM의 제조기술 측면에서 볼때 4M DRAM부터 회로의 선폭이 sub-micron 시대로 접어들면서, 현재 16M DRAM 및 64M DRAM에서는 0.6~0.3 μ m 정도로 더욱 더 미세화되어 지고 있다¹⁾. 결국 DRAM의 제조기술이 눈부시게 발전함에 따라 이런 미세한 회로로 구성된 고집적 memory device에 맞는 packaging 기술에 대한 연구개발이 많은 업체에서 활발하게 전개되어 지고 있다.

고객의 요구를 만족시키기 위한 packaging의 향후 기술방향은 외형 및 기능적인 측면에서 higher density, more I/Os, smaller, thinner, lighter 하게 될 것이며, 또한 경제성 측면에서도 좀 더 품질 좋고 값싸게 만들어야 하는 노력이 지속적으로 이루어질 전망이다. 본 논문은 이러한 IC packaging 요구에 부응하기 위하여, packaging 기술추세 및 방향에 대하여 논하고자 한다.

II. 본 론

최근들어 전자기기의 다기능화와 고성능화 추세와 더불어

반도체 부품중에서도 IC package에 대한 관심은 고집적화, 다기능화 그리고 경박단소화에 집중되고 있다. 표 1은 전자기기의 동향에 따른 IC package의 동향을 잘 나타내 주고 있다.

표 1. 전자기기 및 IC package의 동향

Trend of Electronic Devices		Trend of IC Package
Performance	다기능화	<ul style="list-style-type: none"> • High Pin Count • Large Chip
	고속화	<ul style="list-style-type: none"> • Low Thermal Resistance • Low Noise • Small Size
Size	경박단소화	<ul style="list-style-type: none"> • Thin Type • Small Pin Pitch
Mounting	고집적화 자동화	<ul style="list-style-type: none"> • Surface Mount • High Accuracy • High Strength in Soldering Temp.
Applications	Growing	<ul style="list-style-type: none"> • Wide Variety

표1에서 보듯이 electronic device의 추세는 다기능화, 고속화, 경박단소화, 고집적화 되고 있고, 이에 따른 IC package 역시 외형적, 기능적 그리고 경제적으로 변화가 요구되고 있다. 본 논문은 이러한 요구에 따라 첫째로 일반적인 IC packaging 추세를 먼저 논하고, 둘째로 이러한 일반적인 추세에 비하여 memory용 IC package의 특성에 따라, 외형과 구조 그리고 재료/공정등의 각 item별로 구분하여 기술현황 및 기술추세에 대하여 논하고자 한다.

1. General Packaging Trend

Package를 구분할 때 사용하는 재료와 board 실장형태에 따라 우리는 크게 두가지 정도로 나누고 있다. 첫째, 재료에 의한 구분을 하면 plastic package와 ceramic package가 있다. Plastic package는 ceramic package에 비하여 생산성이 뛰어나고 저렴한 반면에 신뢰성이 나쁘다는 단점이 있다. Ceramic package는 비싸지만 military 용등과 같은 특정 용도의 월등한 신뢰성을 요구하는 부품의 경우에 소량이지만 지속적으로 사용되고 있다. 두번째, 실장 형태에 의한 구분은 삽입형(pin insertion type)과 표면실장형(surface mount type)으로 나뉜다. 그림 1에서 보듯이, electronic device의 고집적화 추세에 부응하여, 현 packaging 추세는 ceramic package에서 plastic package로 그리고 삽입형에서 표면실장형으로 점진적으로 변화하여, board에서의 실장밀도를 높이고 자동화 개념에서 가속화 되어질 전망이다.

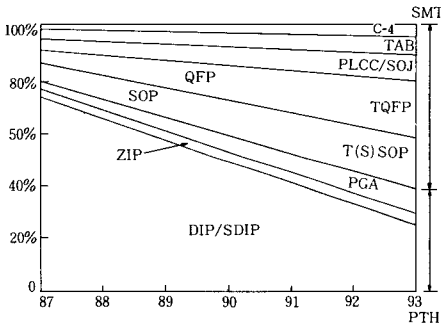


그림 1. Package configuration trend

그림 1에서 본 IC single chip packaging의 과거 및 현재의 상황으로 보아, 앞으로의 추세를 package 외형적인 관점에서 보면, 그림 2를 유추할 수 있다.

그림 2를 참조하면, 종래의 DIP(dual in-line package) type으로부터 smaller size 추세와 multi pin 추세의 두방향으로 진행되고 있다. Smaller size 추세라는 것은 package thickness를 얇게 하면서 outer lead pitch를 미세화시켜 나가는 것이고, multi pin 추세(즉 다기능화)는 pin count를 증가시킨다는 뜻이다. Smaller size 추세는 DIP → SOP → SSOP → TSOP로 진행하면서 궁극적으로는 memory module 또는 memory card의 형태로서 한개의 module로 구성하여 商品化시켜 나가는 방향으로 나가며,

multi pin추세(즉 다기능화)는 DIP → PGA → TAB, 그리고 smaller size 추세/multi pin추세를 동시에 추구하는 형태로서 DIP → QFP → TQFP → TAB으로 진행되고 있다. 참고로 plastic package로서 TSOP와 TQFP(혹은 VQFP라고도 함.)는 각각 초박형의 package이면서 multi pin package의 형태라고 할 수 있다. TAB(tape automated bonding)은 multi pin package로서 좋은 장점을 갖고 있지만 특정 용도에서 한정적으로 사용되고 있는 단점때문에 시장 점유율이 적었으며, 이는 앞으로도 set-maker와의 상호연계를 통한 custom assembly 형태로서의 multi-chip이나 tape carrier type으로 발전할 전망이다이나, open market에서의 standard package형태로 발전할 가능성에는 회의적인 면이 많다. TAB보다도 더욱 多PIN化의 추세에 부응할 수 있는 기술로는 C-4(controlled collapse chip connection)이라고 불리는 flip chip 형태의 area array bonding 방법으로서, 이론적으로 가장 경박단소하고, 고집적이며, 전기적 performance가 제일 좋은 기술이 있다. 그러나, 이 방법 역시 standard package 형태로는 handling 등의 문제점이 있으므로, set-maker에서 일종의 경박단소한 system packaging에 도입될 것이다. 다시 요약하여 말하면, 앞으로의 IC package는 우선 ① individual IC package型和 ② system package型的 두가지로 application이 나누어져서, individual IC package型으로는 경박단소한 표면실장용의 T(S)SOP, T(S)SOJ, TQFP의 박형으로 진보될 것이며, system package型으로는 TAB, C-4 또는 가끔씩 TSOP, TQFP의 형태로서, module化, multichip in one package 등의 custom assembly 형태로 결국에는 양쪽의 기술이 서로 merge를 할 것으로 보인다. 이러한 다기능, 경박단소화 package의 trend를 pin count와 pin pitch의 면에서 고찰을 하면 그림 3과 같이 나타낼 수 있다.

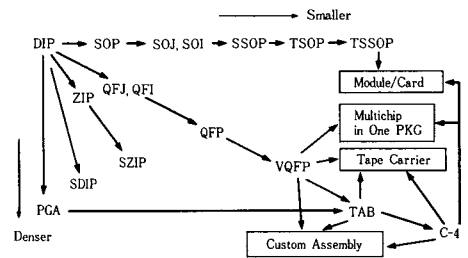


그림 2. LSI package outline trend

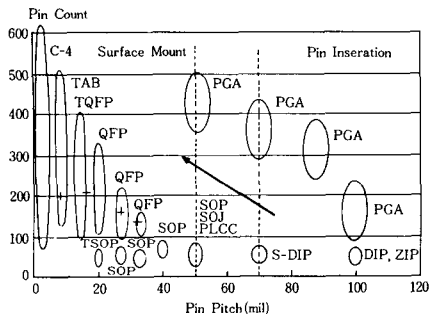


그림 3. Pin pitch와 pin count와의 상관도

그림 3에서 보듯이 package의 박형화는 1.0mm 두께의 TSOP가 현재 양산중에 있으며, 새롭게 개발된 0.5mm 두께의 PTP(paper thin package)가 조만간에 상품화될 전망이다. Outer lead의 fine pitch화는 QFP의 경우 1.0→0.8→0.65→0.5mm까지 양산이 진행중이며, 0.4→0.3mm는 개발을 완료하여 빠른 시일안에 실용화될 전망이다^[2]. 그리고 high pin count화는 QFP의 경우 200~300pin까지 양산중이고, 300pin 이상은 현재 개발중이다. 참고로 TAB의 경우는 700pin까지, flip chip 기술의 일종인 C-4의 경우는 10000pin까지 이미 개발되어 사용되고 있다^[3]. 이렇듯이 고집적화, 다기능화되는 IC 제조기술에 대응하여, package 기술 또한 점점 발전되어 가고 있으나, 이렇게 package된 IC들을 board에 assembly할 수 있는 표면실장기술 및 그에 따른 장비, 그리고 자동화 설비가 따라와 주지 못한다면 시장성이 없게 된다. 특히 system package형인 TAB이나 C-4의 경우에는 기존 plastic/ceramic package assembly 공정과는 전혀 다른 공정이므로, set-maker에서는 이 assembly 공정기술의 확립이 요구되며, 별도의 신규장비가 필요하므로, 앞으로는 semiconductor manufacturer와 set-maker의 공동 보조의 형태로 기술개발 및 협동체제가 이루어져야 할 것이다.

2. Memory Device Packaging Trend

Memory device에는 여러 가지의 종류가 있지만, 여기서는 DRAM에 대해서 중점적으로 설명하기로 한다. 앞서도 언급했듯이 현재는 1M DRAM과 4M DRAM이 주종을 이루면서 시장을 주도하고 있다. 곧 16M DRAM의 시장이 형성되고, 그 뒤를 이어 64M DRAM과 256M DRAM의 양산이 예측된다. 회로의 선폭이 0.6~0.3μm

시대의 packaging 기술에 대하여 plastic package를 중심으로 전망해 볼 때 대형화되는 미세회로의 chip을 어떻게 잘 package할 것인가가 주목해야 할 요점이다. Memory device는 IC 특성상 I/O pin count에 구애를 받지 않는다. 그러므로 多pin화의 요구는 다른 logic계의 IC에 비하여 크지 않으므로, packaging 추세상으로는 그림 2에서 볼 때 횡적방향, 즉 경박단소화로의 개발이 집중적으로 이루어질 것이다.

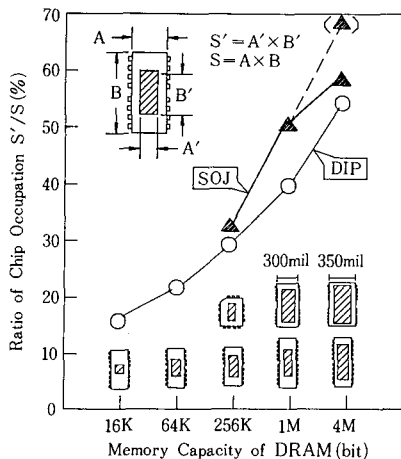


그림 4. DRAM별 chip 점유율^[4]

우선 몇가지 관점에서 과거의 DRAM package 동향을 살펴보면, 그림 4에서 보듯이 chip 점유율(package 면적에 대한 chip 면적의 비율) 측면에서 16K/64K DRAM의 경우는 약 15~20% 정도였다. Package의 형태도 DIP 형태 뿐이었다. 256K DRAM에서는 DIP 포함하여 ZIP(zigzag in-line package)와 PLCC(plastic leaded chip carrier) 형태로 chip 점유율은 약 30%로 증가하였다. 표면실장형의 대표적인 형태인 SOJ(small out line j-leaded package)가 등장하면서 1M/4M DRAM에서는 DIP의 경우는 chip 점유율이 40~55%, SOJ의 경우는 약 50~65%까지 더욱 더 증가하였다^[4]. 결국 이런 추세로 증가한다면 chip 점유율이 80~90%까지 도달할 것으로 예상되며 더불어 기존의 conventional package(한계점을 보통 75%까지 보고 있음)로는 그 한계에 이르고 말 것이다. 즉 chip자체는 다기능화, 대형화가 되면서, package size는 경박단소화가 요구되므로, packaging 기술개발의 요점으로, 첫째는 경박단소화에 필요한 packaging

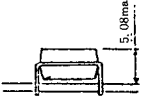
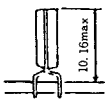
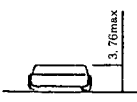
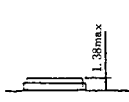
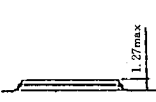
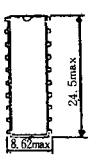
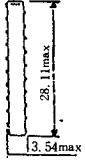
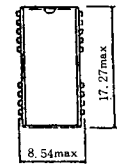
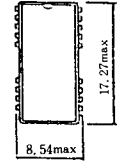
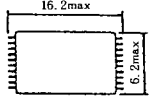
구조설계 및 mechanical/thermal modeling 및 simulation의 기술이고, 둘째는 구조적으로 chip 점유율을 높이는 구조기술의 개발이 될 것이며, 셋째는 이 구조적 점유율을 높이는 기술에 부수되는 재료개발이 될 것이다. 이러한 요구에 부응하여 벌써 chip 점유율 90% 정도까지의 대형 chip을 탑재할 수 있는 packaging 기술이 개발되어 이미 사용되고 있는데, 이 부분은 다음에 더 자세히 설명하고자 한다.

(1) Packaging 외형 측면의 추세

전자기기의 소형경량화 추세는 IC package의 동향에도 경박단소화로의 영향을 주어 package size가 점점 bare chip size에 가깝게 되어가고 있는데, 이 경박단소의 요구에 대응하기 위하여 박형 package인 T Series가 개발된 것이다. 그림 2에서 언급하였듯이, packaging 실장법은 실장 density를 높이기 위하여, 삽입형에서 표면실장형으로 점점 변화하고 있다. 그에 따라 박형 package인 T series 역시 삽입형의 DIP에 적용되기 보다는 표면실장형인 SOP, SOJ, QFP등에 적용되어, 소위 말하는 TSOP,

TSOJ, TQFP(혹은 VQFP라고도 함.) 형태가 나왔는데, 이중 TQFP는 多pin non-memory用的 제품에 쓰이므로, 여기서는 memory device에 적용되리라 예측되는 TSOP, TSOJ에 대하여 언급하기로 한다. 그림 5는 여러 type의 package사양에 대하여 제품 spec.을 종합한 도표이다.

그림 5에서 보듯이, package의 부피는 TSOP를 채택함으로써 DIP에 비하여 약 9배가 감소되며, 그에 따라 pin pitch도 100mil에서 50mil(TSOJ의 경우) 또는 20mil(TSOP의 경우)까지 감소되었다. 앞에서 언급했듯이 memory device는 pin count에 크게 좌우되지 않으므로 50mil 또는 20mil의 pin pitch라면, packaging 측면에서는 거의 줄인 경우가 되는데, 이는 기술상으로는 제약이라기 보다는, customer의 assembly 기술의 한계가 그 이유가 된다. 더 작은 pitch의 pin등을 표면실장하기 위해서는 customer(set-maker)에서의 투자가 요구되므로 향후 memory device의 추세는 DIP이나 PLCC형에서 TSOJ나 TSOP형태로 귀결될 것이며, 그 pin pitch는 당분간 20mil에서 머무를 전망이다. TSOJ와 달리, TSOP의 향후

	DIP	ZIP	SOJ	TSOJ	TSOP
Package Height					
(mm)	Ratio	Ratio	Ratio	Ratio	Ratio
	1.35 (1)	2.70 (2)	1 (0.74)	0.5 (0.35)	0.34 (0.25)
Package Area					
(mm)	Ratio	Ratio	Ratio	Ratio	Ratio
	1.43 (1)	0.63 (0.44)	1 (0.70)	1 (0.70)	0.68 (0.48)
Package Volume (mm ³)	1073	939	558	263	128
Ratio	1.92 (1)	1.68 (0.87)	1 (0.52)	0.47 (0.25)	0.23 (0.12)
Body Thickness	3.6	2.85	2.7	1.6	1.0
(mm)	Ratio	Ratio	Ratio	Ratio	Ratio
	1.33 (1)	1.06 (0.79)	1 (0.71)	0.59 (0.44)	0.37 (0.28)
Soldering Pitch	2.54 (100mil)	1.27 (50mil)	1.27 (50mil)	1.27 (50mil)	0.50 (≅ 20mil)
(mm)		1.34			
Package Weight	1.34	1.63 (1)	0.82	0.48	0.22
(g)	Ratio	Ratio	Ratio	Ratio	Ratio
	1.63 (1)	1.63 (1)	1 (0.61)	0.59 (0.36)	0.27 (0.16)

() is ratio when DIP is 1.0
 Ratio when SOJ is 1.0

그림 5. Package type별 실장효율 비교표(1M DRAM 기준)⁽⁴⁾

응용은 memory card 분야이다. LSI maker들은 현재 DRAM의 30% 이상을 SIMM (single in-line memory module)으로 출하하고 있는 실정에서 종래의 SOJ package와의 치환 가능성을 검토하여 TSOP를 4M DRAM과 1M SRAM의 sub-micron LSI에 응용하면서 내 crack성, 내습성과 함께 신뢰성시험 결과를 통해 종래의 SOJ 등의 표면실장 package와 같거나 더 강하다는 결론에 이르고 있다. 단지, 일부의 set-maker에서는 TSOP를 더욱 경박 단소화 하거나, TAB 또는 C-4의 기술을 써서 card나 module로 만들겠지만, 대부분의 module maker는 TSOP로서 양산할 것이다.

(2) Packaging 구조측면에서의 추세

Chip size의 대형化 추세에 따라 필연적으로 요구되는 chip의 점유율을 높이기 위한 구조로서 소위 말하는 LOC (lead-on-chip) 구조가 개발되었다.^[5,6,7] LOC의 개념은 최초로 IBM이 1M DRAM에서 사용한 A-wire(area wire의 약자)로 부터 시작이 되었고, 최근들어 Hitachi가 LOC기술을 16M DRAM에 채택함으로써 packaging에서의 중요성이 급격히 대두되기 시작하였다^[5,6] 우선 LOC packaging에 대한 기술을 간단히 설명한다면 종래의 con-

ventional type에서는 leadframe paddle위에 die attach 용 adhesive material을 얹고 chip을 부착시켜 wire bonding을 하는 내부구조를 이루고 있으나, LOC경우는 chip 위에 adhesive material이 coating된 polyimide film을 얹고 다시 그 위에 leadframe의 inner lead가 놓여 wire bonding을 하는 내부구조로 되어 있다. 그림 6을 보면 각각의 구조와 항목별 장단점이 표시되어 있다.

LOC packaging의 장점으로는 크게 두가지로 구조적인 장점인 chip 점유율의 향상과 특성상의 장점인 전기적 특성향상이 있다. 그림 6에서 보듯이, 구조적으로 보아 LOC는 leadframe의 paddle이 필요하지 않기 때문에 large size chip에 적당(chip 점유율이 90%까지 가능)하고, leadframe 설계의 자유도와 bonding pad 설계의 자유도가 좋은 점이 있다. LOC의 또 다른 큰 장점인 전기적 특성 향상은, 그림 7과 그림 8에서 보듯이, IBM이 1M DRAM package에서 채용한 형태로서 chip內的 Al pad를 chip의 center에 1열로 배열한 A-wire 구조에서 얻어진다. Pad들을 center에 구성함으로써 chip內的 Al pattern을 단축시킬 수 있어 고속화가 가능하고, 각 회로 block layout 설계가 용이하기 때문에 多bit 구성으로 전

(MERIT : High ◎ → ○ → △ Low)

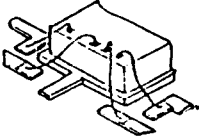
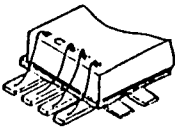
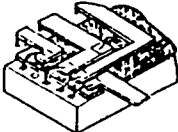
ITEM	CONVENTIONAL TYPE	NEW STRUCTURE	
		* COL	** LOC
PACKAGE STRUCTURE			
MAXIMUM RATIO OF CHIP OCCUPATION	△ (65%)	○ (70%)	◎ (90%)
FRAME DESIGN FLEXIBILITY	△	○	◎
PAD LOCATION FLEXIBILITY	△	○	◎
ACCESS SPEED	△	△	◎
MOISTURE RESISTANCE	△	○	○
SOLDERING RESISTANCE	○	△	△

그림 6. Conventional type과 COL/LOC의 구조 및 특징⁽⁴⁾

개가 쉬우며, 또 bonding wire 수를 자유롭게 조정할 수 있기 때문에 sense amps 동작시와 D_{out} 출력시 잡음을 감소시킬 수 있다. 그리고 large chip을 정해진 package 면적속에 넣을 수 있다는 점에서도 유리하다. Chip내에서 Al pattern 길이를 짧게 할 수 있기 때문에 chip size도 작게할 수 있고, 또 leadframe의 inner lead의 배선을 chip위에서 확보할 수 있기 때문에 동일 chip으로 SOJ이외의 ZIP, TSOP등 package에도 전개가 가능하다.

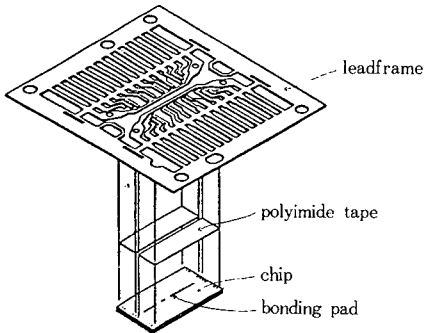


그림 7. Leadframe laminated to chip with double sided adhesive film (alpha barrier)^[5]

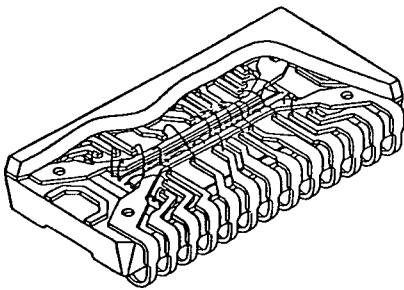


그림 8. Cutaway view of typical A-wire package^[5]

LOC packaging기술은 종래의 구조와 완전히 다른 구조이기 때문에 여러가지 과제를 해결해야 한다. 그중에서도 최대 과제는 chip위에 inner lead를 부착하기 때문에 adhesive material의 선정과 거기에 수반되는 tape die bonding process의 확립이다. Chip과 inner lead를 접합시킬 경우에 발생할 우려가 있는 불량 유형은 다음과 같다. ① adhesive tape아래에 있는 chip의 damage와 전기적 특성의 변화 ② reflow soldering 또는 temperature cycle test시에 chip 윗면과 EMC(epoxy molding compound)와의 경계면이 분리, wire의 끊어짐과 pack-

age crack이 발생 ③ 수분흡수시 lead 사이의 leak current 증대 ④ lead와 chip사이의 capacitance 증대 ④ chip위에 배치되어진 inner lead로 부터 발생하는 α -particle에 의한 soft error등이 있다. EMC에 의한 internal stress의 감소와 전기적 특성을 최대로 하기 위한 구조설계, 재료선정 등도 해결해야 할 과제다.

대부분의 LSI maker들이 LOC packaging 기술에 대한 장점을 인정하고 있다. 새로운 장비 투자와 특허의 문제는 아직 있지만, 향후 다분위와 large chip 대응에 핵심기술로서 보급될 것 같다. 우선 LOC packaging 기술의 경우 die bond 공정이 종래와 많이 다르기 때문에 전용 die bonder를 투자해야 한다. 그로 인한 assembly yield가 감소될 수 있다는 우려가 있다. 그리고 LOC용 leadframe의 공급형태도 문제가 된다. 또 특허에 대해서는 미국의 IBM이 먼저, 그리고 일본의 Hitachi가 유사특허로 각각 출원하고 있다. 향후 LSI maker들이 본격적으로 사용이 시작된다면 특허료를 청구할 우려가 예상된다. 그래서 LSI maker들은 이에 대응하기 위한 새로운 packaging 연구 개발에 몰두하여야 할 것이다.

(3) Packaging 재료 및 구조기술

Package 관련한 재료 측면에서 관찰해 보면 우선 외형적으로 경박단소한 TSOJ, TSOP의 봉지재료인 EMC와 fine pin pitch用 leadframe, 그리고 구조적인 추세로서의 LOC type die attach用 adhesive material, bonding wire 등이 있다. 우리가 신뢰성이 우수한 package를 개발하려 할 때 신중하게 고려해야 할 factor는 그 구성재료이다. 결국 재료의 선정문제는 개발의 성패를 좌우할 수 있을 정도로 대단히 중요하다. EMC와 leadframe 그리고 die attach用 tape은 그 종류가 수없이 많고 또한 나름대로 각기 다른 여러가지의 특성들이 있다. 어떻게 하면 이러한 특성들을 잘 조합하여 최적의 조건을 찾을 것인가는 수많은 재료를 평가분석하고, 또 최적의 조건을 만들기 위해 material 제조업체와의 꾸준한 공동의 노력이 절실하다.

표2는 Hitachi에서 64K DRAM으로부터 4M DRAM까지 package 개발에 사용했던 EMC 재료와 leadframe 재료의 특성치를 종합한 표이다. 물론 semiconductor maker 마다 자신들의 독특한 재료를 채택하였으므로, 표2의 값들을 maker에 따라 약간씩 다를 수 있지만, 일반적인 재료선정의 추세를 보여준다고 하겠다.

표 2에서 보듯이 재료적인 측면에서는 EMC와 leadframe의 재질 변화로서, 그 재질들의 열팽창 계수, 기계적 성질과 impurity인 Cl과 U의 함유량 조정에 중점을 두어 개발하여 왔다. 이는 package 후의 reliability 특성을 보다 분명히 평가하기 위함인데, 예를 들자면 tem-

표 2. Hitachi DRAM package 별 material 비교표⁽⁴⁾

ITEMS		DRAM MEMORY CAPACITY(bit)				
		UNIT	64K	256K	1M	4M
CHIP SIZE		mm ²	3.56 × 7.65	4.04 × 8.78	4.66 × 13.74	5.91 × 15.22
PACKAGE CONFIGURATION		-	DIP	DIP PLCC ZIP	DIP SOJ ZIP	* DIP SOJ * ZIP
EMC	COEFFICIENT OF THERMAL EXPANSION	× 10 ⁻⁶ / °C	24	19	17	14
	ELASTIC MODULUS	Kgf/mm ²	1,500	1,500	1,200	1,200
	MOLD STRESS	Kgf/mm ²	0.8	0.4-0.5	0.3-0.4	0.2-0.3
	CI-QUANTITY	ppm	1 0 ↓	1 ↓	1 ↓	1 ↓
	U QUANTITY	ppb	200 ↓	1 ↓	1 ↓	1 ↓
LEAD FRAME	MATERIAL	-	Fe-Ni ALLOY	Sn-Ni PLATING Cu ALLOY	Sn-Ni PLATING Cu ALLOY	Fe-Ni ALLOY
	THERMAL COEFFICIENT EXPANSION	× 10 ⁻⁶ / °C	5	17	17	10
	PLATING METHOD	-	PARTIAL Au PLATING	PARTIAL Ag PLATING	MINISPOT Ag PLATING	MINISPORT Ag PLATING
	ATTACHED CI-QUANTITY	ng/FRAME	1,000~10,000	300~500	50~200	50 ↓
CHIP MOUNT METHOD		-	Au-si EUTECTIC	RESIN ADHESION	RESIN ADHESION	RESIN ADHESION
SHIPMENT FROM SURFACE MOUNT PACKAGES		-	-	-	MOISTURE- RESISTANT PACKING	MOISTURE- RESISTANT PACKING

* UNDER DEVELOPING

perature cycle test 후의 열팽창계수의 차이에 의한 내부 stress 발생을 억제시키며, 또한 humidity/temperature에 의한 stress-corrosion을 방지하기 위함이다. 이론적으로 IC chip인 Si의 열팽창계수 ($\alpha=3 \times 10^{-6}$)와 동일한 열팽창계수를 갖는 EMC 및 leadframe을 사용하면 이러한 내부 stress문제는 해결되며, 또한 이러한 재료도 시중에 available하나, cost 문제상 응용할 수는 없으므로, 구조적으로 Si IC chip과 EMC 중간에 위치하게 될 lead frame의 열팽창을, Si과 EMC 열팽창의 중간 정도로 조

정함으로써, 온도상승시에 linear하게 팽창하도록 고안이 되는 방향으로 재질 개선이 이루어져 왔으며, 또한 앞으로는 이러한 방향으로 나가되 결국에는 Si의 열팽창계수와 근접하도록 재료개발이 이루어질 것이다. 또한 탄성계수가 낮고 yield strength가 높은 재질을 사용함으로써, thermal stress를 줄이는 방향으로 개발 될 것이다. 이러한 여러가지 재질을 사용하였을 때 일어나는 몇가지 경우의 내부 stress를 simulation한 결과를 예로서 그림9에 나타내었다.

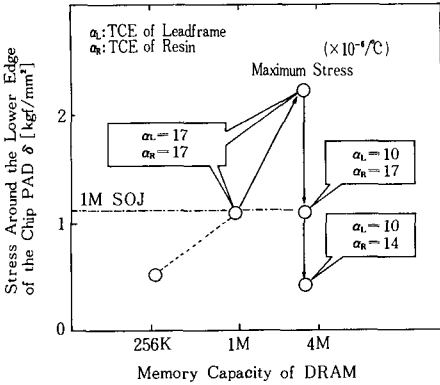


그림 9. Temperature cycle test時 DRAM stress 분포도⁽⁴⁾

그림9에서 보듯이, 앞으로의 재질개선은 공정, 그리고 품질보증체계 측면에서 열팽창 계수의 차이를 적게하고, 기계적 탄성계수를 낮추며, 그리고 yield strength를 높이는 방향으로 전개될 것이다. 여기서 특히 주목해야 할 사항은, 앞으로 개발되어야 할 새로운 packaging구조, 즉 점유율을 높이는 LOC 형태의 구조에서는 EMC와 leadframe이외에 adhesive material이 필요하게 된다는 점이다.이런 경우 몇가지의 과제가 더 생기게 되는데, 재료상으로 이러한 adhesive tape의 Si과 leadframe에의 adhesion property, 열팽창계수, dielectric constant, 수분 흡수성등을 고려해야 할 것이며, 또한 공정보증체계 확립을 위한 adhesive재료의 탄성율등 여러 과제가 새로이 등장할 것이다. 신뢰성 및 생산성 측면에서 안고 있는 재료 기술적 과제와 그 대응 방법은 표3에 간단히 요약되어있다.

Reflow solder 실장시 package crack을 방지하기 위하여 leadframe paddle중앙에 십자형의 slit을 만들어 stress를 분할시키고, molding을 하여도 wire가 밖으로 노출되지 않도록 low loop 모양을 만드는 전용 wire를 채용하였다. EMC는 internal void의 발생을 막기 위하여 점도를 낮추고, 너무 두께를 얇게 하면 빛의 영향으로 인한 transistor의 leak current가 증대하기 때문에 수지의 두께를 250 μ m으로 확보하였다. 이중에서도 package crack에 대한 방지대책을 좀 더 유심히 살펴보자. 습기를 함유한 package가 reflow furnace를 통과할 때, 그 수분이 증기가 되어 수지에 균열이 생기는 것이 바로 package crack이다. 현재 DRAM과 SRAM의 표면실장 package는 방습상태로 포장되어 있다. 개봉후에는 빨리 사용하고, 대기중에 방치해 두었을 경우는 baking할 것을 LSI maker는 권장하고 있다. Customer가 바라는 것은, 신경 쓰지 않고 실장가능토록 하는 것으로, 즉 customer를 번거롭게 하지 않는 것이 LSI maker의 숙제로 남아 있다. 이런 연유로 package crack을 방지하려면 leadframe과 EMC의 양면으로 부터 대책을 강구하지 않으면 안된다.

(4) IC package 와 system package의 접목

최근들어 LSI maker들은 전자/정보기기의 소형화와 고성능화에 박차를 가하면서, 특히 Mitsubishi에서는 plastic molding의 독자적인 방법을 연구하여 TSOP를 개량한 결과 두께 0.5mm의 세계에서 제일 얇은 plastic package를 개발하였다.^[8] Mitsubishi가 개발에 성공한 상품명은 「paper thin package」이다. 두께 3.3mm의 memory card에 48개의 LSI를 실장할 수가 있어, 현재 1mm 두께의 TSOP에 비하여 실장밀도가 2배가 된다. TAB을 transfer mold하여 초박형 package를 실현하였고, wire bonding으로의 최대 0.8mm 두께까지만 가능하기 때문

표 3. TSOP의 기술적 과제 및 그 대응방법

	기술 과제	대응책
信頼性	① 온도 cycle, reflow時, package crack ② 내습성 약화 ③ 빛에 의한 특성 변화	- 응력 simulation에 의한 최적구조 결정과 spec 조건의 명확화 - 저응력 저팽창수지의 채용 - chip 및 package 구조 최적화와 취급한계의 명확화
生産性	④ Au wire 노출 ⑤ void 발생 ⑥ chip crack ⑦ outer lead 정밀도	- 저 loop화 기술채용 - 새로운 mold 방법 채용 - 취급한계의 명확화 - 최적 재료, 크기검토

에, bonding pad 위에 Au bump를 형성시켜 thermocompression방식으로 ILB(inner lead bonding)를 실시하고 TAB에서 encapsulation으로 사용하는 potting 방식 대신에 transfer mold를 사용함으로써 신뢰성을 증대시켰다. Chip의 두께의 $200\mu\text{m}$ 이고, 신뢰성은 PCT (pressure cooker test) 등에서 TSOP와 차이가 없다고 한다. 그림10은 paper thin package의 단면도를 나타낸다.

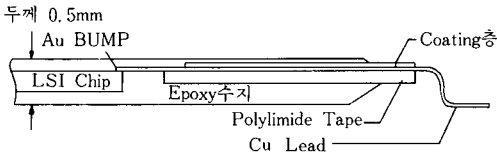


그림 10. Paper thin package의 단면도^[8]

또 Fujitsu에서는 TSOP와 SOJ와 같은 크기로 memory용량을 2~4배로 크게 할 수 있는 memory용 package를 개발했다.^[9] 앞서서와 마찬가지로 TAB기술을 사용하여 leadframe의 양면에 chip을 탑재하여 두께 1mm의 TSOP에는 2개를, SOJ에는 4개의 memory chip을 넣어 대용량화할 수 있는 방법으로, 예를 들어 16M DRAM을 4개 탑재하여 64M DRAM을 만든다는 개념으로서 외견상 1세대의 대용량 memory를 실현할 수 있다는 주장이다.

또한 TI에서는 ZIP와 같이 PCB(printed circuit board)에 수직으로 실장하는 표면실장기술을 사용하여 IC package를 개발하였다.^[10] 이 package를 VPAK(vertical surface mount package)이라 말하며, 특징은 실장면적이 $20\text{mm}^2(16\text{mm} \times 1.25\text{mm})$ 로 ZIP의 약 1/3, SOJ의 약 1/7이다. 최근 실장면적이 가장 작았던 ZIP는 삽입형 부품이기 때문에 동일 PCB위의 표면실장형 부품과 동시에 soldering할 수 없었으나, 이번의 package를 사용하면 일괄 reflow soldering이 가능하다. Pin pitch는 0.5mm로 실장기술이 까다롭고, 고밀도 실장을 위해서 condenser의 배치도 잘 고려해야 하면서 또 단위체적당의 발열량이 증가하므로 주의해야 한다.

Workstation이나 반도체 disk개발자는 이 package에 흥미를 보이고 있고, 장래에 bus driver등 다른 application에 전개할 가능성도 있다. 그리고 PCB 위에 수직으로 표면 실장이 가능한 새로운 package를 Fujitsu 에서도 개발했다.^[11] 대형 computer의 기억장치용으로서 곧 일부의 user가 채용검토를 시작했다. Hitachi에서는 삽입형으로 ST-ZIP(shrunked thin ZIP)를 개발 완료하여 점점더

vertical package의 기술개발이 가속화되어 지는 현상이다.^[12]

이러한 개발 결과의 특징은 IC semiconductor maker에서 IC 각각의 packaging보다는 set-maker의 system packaging을 고려한 개발이고, 이는 그림2에서 설명한듯이, single IC chip packaging개념에서 module 또는 card형태로서 packaging level의 integration 이라는 점이다.

이러한 추세와는 별도로 대형 system house의 경우 이미 독자적으로 system level에서의 IC packaging이 개발되었고, 또한 이미 양산화되고 있는데, 예를 들어 IBM의 A-wire package의 extension으로서의 stacked SOJ나 2 chip-ZIP, 또는 cube package는 TI의 VPAK과 동일한 형태로서 이미 자체개발이 끝나 양산 중이다.^[5] 즉 set-maker의 경박단소, 다기능화의 요구에 부응하여 이미 개발중이거나 개발되리라 예상되는 경박단소화된 IC package 역시 ① individual한 부품으로서의 경박단소화 그리고 ② system입장을 고려한 종합적인 면에서의 다기능한 경박단소화의 두가지 방향을 생각할 수 있다.


Individual한 부품으로서의 경박단소화는 open market의 standard로서 대량생산용으로, 앞에서 언급했듯이 DIP, PLCC에서 SOJ형으로 그리고 또 TSOJ나 TSOP 형태로 귀결이 되리라 예상되며, fine pin pitch化는 package 자체의 기술적인 문제보다는 일반 assembly house에서의 기술 및 장비등에 의한 요인으로 큰 요구가 없으리라 예상된다. 그러나 system 입장을 고려할 경우에 IC package는 우선 소량으로 시작되겠지만, 일종의 주문형으로서 그 기능과 경박단소화의 요구가 커지리라 예상되며, 이러한 요구에 따라 일반적으로 쓰이기 힘든 TAB, C-4등을 이용한 새로운 공정기술의 응용, 새로운 구조 design등 여러가지 형태의 새로운 package기술이 응용되리라 본다. 비근한 예를 들자면, 이미 널리 쓰이기 시작한 SIMM(single in-line memory module)에서 보다시피, individual한 IC에 의한 판매보다는 module이나 card형태로 흐를 것으로 전망되며,^[13] 이런 경우에는 기존 individual IC packaging 규격에의 제한을 card level에서나 이루어지게 되므로, 더 미세化된 package기술인 TAB이나 C-4 등을 이용한 새로운 package 형태가 나타날 것이다.

Ⅲ. 결 론

전자기와 정보기기의 소형화, 다기능화, 고성능화 추

세와 반도체 부품의 고품질, 저가격 추세는 향후에도 계속 가속화되어 질 전망이다. LSI maker에서는 memory device의 제조기술에 못지않게 IC packaging 기술에도 많은 관심과 연구개발 활동이 본격적으로 일기 시작했으며 벌써부터 상품화가 이루어 지고 있다. Packaging의 전반적인 추세는 다기능化, 고성능化, 고집적化 그리고 경박단소化的 4가지로 요약되며, 특히 memory device의 packaging은 경박단소화에 치중이 될 것이다. 이에 따라 외형적으로는 현재 양산이 시작된 TSOJ나 TSOP 형태로 귀결되리라 예상되며, chip의 점유율을 높이는 새로운 구조기술 및 reliability를 보증할 수 있는 재료개발 및 thermal/mechanical simulation등이 역시 활발하게 이루어져야 할 것이다. 전자기기 및 정보기기의 소형화, 다기능화로의 요구에 부응하기 위하여 system house와의 공동개발의 양상을 띄우게 되리라 예상되며, 이르기 위하여는 장비, 재료업체, IC maker 및 system house와의 공동 노력이 지속적으로 일어나는 방향의 기술개발이 있어야만 하겠다.

參 考 文 獻

- [1] 月刊 Semiconductor World 增刊號, "92 最新 半導體 PROCESS技術", Nov.1991.
- [2] 月刊 Semiconductor World, p.58, Jan.1991.
- [3] W.Weston, "High density 128 × 128 area arrays of vertical electrical interconnection", 4th Annual Microelectronic Interconnect Conference, July 1985.
- [4] G.Murakami, Unpublished data, (private communication)1991.
- [5] William C. Ward, "Volumn production of unique plastic surface-mount modules for the IBM 80-ns 1-Mbit DRAM chip by Area wire bond techniques", Electronic Component Conference, pp. 552-557, 1988.
- [6] G.Murakami 外, "반도체 장치", 韓國특허공개번호 : 90-5588, 1990.
- [7] G.Murakami 外, "반도체 장치", 日本특허공개번호 : 平3-173464, 1991.
- [8] 日經 Microdevices, p.65, Feb. 1991.
- [9] 日經 Microdevices, p.80, Apr.1991.
- [10] Walter H.Schroen, "Packaging Design Challenges", p.15, TI, 1991.
- [11] 日經 Microdevices, p.81. Nov.1991.
- [12] G.Murakami 外, "박형, 고밀도, 고속화대응 package 기술", 日立評論, vol.72, no.12, pp.51-58, (1990-12)
- [13] M.J.Boss, "Packaging technology : From afterthought to enabler", Dataquest, pp.1-5, Nov. 1990. 

筆者紹介


金 精 一

1952年 3月 1日生

1974年 2月 서울대학교 공과대학 금속과 (학사)

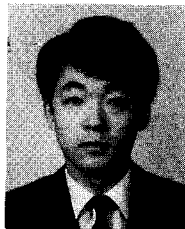
1976年 2月 서울대학교 공과대학 대학원 (석사)

1979年 12月 미국 California, U.C. Berkeley(재료)(박사)

1979年 12月 ~ 1981年 6月 Lawrence Berkely Laboratory, 연구원

 1981年 6月 ~ 1991年 3月 IBM. T.J. Watson Research Center,
 Research Staff Member, Manager(packaging공학),
 (Interface connector실)

1991年 3月 ~ 현재 금성일렉트론(주) 이사

 주관심분야: Electronic IC & System Package and test, Electronic package
 구조공학 & 재료

錢 興 燮

1958年 10月 25日生

1980年 2月 한양대학교 전자공학과 졸업

1984年 3月 ~ 1988年 3月 아남산업(주) PKG기술과

1988年 3月 ~ 1989年 3月 금성사(주) 반도체연구소 BIP제품기술과

1989年 3月 ~ 현재 금성일렉트론(주) 반도체연구소 PKG개발팀 선임연구원

주관심 분야: PKG 특성 평가를 위한 Electrical Modeling 및 Simulation