

# 차세대 기억소자를 위한 Device Engineering

朴 榮 俊

서울대 電子工學科 教授

## I. 서 론

본 연구 논설은  $0.2\mu\text{m}$  채널 이하의 MOSFET가 회로에 채용되기 시작한 256M DRAM급 이상의 VLSI 회로가 구현되는 시점에서 디지털용 MOSFET 소자의 scaling 한계와 발전 방향에 대해서 고찰한 내용을 담고 있다.

1974년 IBM Richard Dennard [1]가 당시  $5\mu\text{m}$  채널 길이를 가지는 MOSFET가 상용화 되고 있을 당시  $1\mu\text{m}$  MOSFET가 동작하기 위해 가져야 되는 소자의 구조 형태를 제안하고 실제 실험으로 증명하였다. 즉 산화막의 두께  $T_{ox}$ , 도핑의 양  $N_B$  그리고 소스/드레인의 접합깊이  $X_j$ 와 인가 전압, 문턱전압  $V_T$ 와 채널의 길이의 비를  $\lambda$ 라고 했을 때 각각  $T_{ox}/\lambda$ ,  $\lambda N_B$ ,  $X_j/\lambda$ 으로 scaling되면 문턱전압  $V_T$ , 외부인가 전압  $V_{DD}$ 이  $S$ 배 만큼 줄어들면서 소자의 단위 너비 당의 전류의 크기는 일정하게 유지됨을 보였다. 즉 Dennard의 스케일링 이론은 채널의 길이가  $\lambda$ 만큼 줄어들게 되면 인가전압  $V_{DS}$  역시  $\lambda$ 만큼 줄어들게 되는 경우에 대한 이론이다(따라서 채널내의 전계는  $(V_{DS}/\lambda)/(L/\lambda)$ 로 일정하므로 일정 전계 스케일링 이론이라고도 함).

Dennard 등이 고려한 이상적인 스케일링 이론이 부딪치는 가장 큰 어려움 중의 하나는  $V_{DD}$  전압의 스케일링 ( $V_{DD}$  전압의  $1/\lambda$  배 만큼 감소)에 따라  $V_T$ 도 감소하게 되는데, 문턱전압 이전의 특성인  $\log I_D - V_G$  기울기 ( $S$ )가 감소하지 않는다는 것이다. 스케일링된 소자는  $V_T$ 가 감소했음에도  $S$ 가 감소하지 않으므로  $V_G$ 가 0V 인데도 완전히 꺼지지 않게 되고 이는 전체 칩의 대기 전력(standby power) 소모를 증가시키게 된다. 즉

CMOS에서의 대기 전력 소모는 경험적으로

$$P_s = N (W/L) V_{DD} 10^{-7} e^{-V_T/0.435}$$

로 표시된다 [2]. 여기서  $N$ 은 칩에서의 소자의 수,  $W/L$ 은 각 소자의 채널너비 및 길이이다. 여기서 알 수 있듯이 칩의 대기 전력 소모는  $V_T$ 의 감소에 따라 지수함수적으로 증가한다. 따라서 이 전력소모를 감소시키기 위해서는  $S$ 도 같이 감소해야 하는데 이  $S$ 의 크기가 앞에서 보았듯이 스케일링되지 않는 것이 Dennard의 이상적인 스케일링 이론의 한계인 것이다.

이를 극복하기 위해서 칩이 동작하는 온도를 낮추는 방법을 생각할 수가 있다. 즉

$$S = \frac{kT}{q} \ln(1 + C_D/C_{OX})$$

이므로  $T$ 를 낮추어 줌으로써  $S$ 를 스케일링해 줄 수가 있다. 이 방법은 칩을 낮은 온도로 유지해 주기 위한 시스템이 별도로 필요하므로, 대용량 컴퓨터 등에 사용되는 칩을 제외하고는 범용시스템에서는 사용하기 힘든 단점이 있다.

이러한 단점을 해결하기 위하여 Dennard의 이상적인 스케일링 이론이 아닌 현실적인 MOS 소자의 스케일링 이론이 출현하였는데  $W$ ,  $L$ ,  $X_j$  등은  $1/\lambda$ 로 도핑은  $\lambda$ 로 스케일링되지만 전압은 스케일링되지 않는 일정전압 스케일링(CV : constant voltage scaling)과, 다른 것은 Dennard의 CE 스케일링 법칙에 따르되 전압은  $1/\sqrt{\lambda}$ 로 스케일링이 되는 유사 일정전압(QCV : Quasi constant voltage) 스케일링 이론이 그 것이다. 다음표는 이러한 스케일링 시나리오를 표시한 것이다.

스케일링 법칙	CE	CV	QCV
$W, L, X_j$	$1/\lambda$	$1/\lambda$	$1/\lambda$
$T_{ox}$	$1/\lambda$	$1/\sqrt{\lambda}$	$1/\lambda$
$N_A$	$\lambda$	$\lambda$	$\lambda$
$V_{DD}, V_T, V_{SUB}$	$1/\lambda$	1	$1/\sqrt{\lambda}$

표 1. MOS 소자의 '회로 상수'

- 정상적인 스위칭 역할을 위한 특성
  - DIBL( $\Delta V_{DS}$ )
  - Subthreshold 기울기, S (mV/decade)
  - GIDL ( $A/\mu m$ )
  - Punch through 전압( $V_{DS}$ )
- 전류의 크기 (driving capability)
  - $V_{GS}=V_{DS}=V_{DD}$ 에서의 전류의 크기( $mA/\mu m$ )

1980년도에 Chatterjee, Shichijo 등은 이러한 스케일링 시나리오에 따라 MOS 소자의 특성의 변화(전류 구동 능력 등)를 이론적으로 예측하였다 [3,4].

실제로 1980년대 MOSFET 소자의 발전은 앞의 표가 예측하는 바와 근사하게 발전되어 왔다. 그러나 스케일링 이론이 간과한 것은 이러한 크기  $\lambda$ , 전압( $1, \sqrt{\lambda}, \lambda$ ) 등의 스케일링에 의해 제기되는 MOSFET 소자의 신뢰성 문제였다. 즉 걸어주는 전압의 크기의 한계가 단순한 punchthrough 전압 등과 같은 짧은 채널효과에 의해서 오는 것이 아니라, 채널 내부의 전계의 증가에 의한 캐리어의 에너지 증가 (혹은 온도 증가  $E=3/2kT$ )에 의한 신뢰성의 감소에 의해서 제한된다는 것이었다.

따라서 1980년 후반의 MOSFET 소자의 연구는 스케일링에 의한 소자의 한계와 신뢰성에 의한 소자의 스케일링 한계에 관한 연구에 집중되었으며, 또한 이 신뢰성을 높임으로써 한계를 넓힐 수 있는 구조의 창안에 초점이 모아졌다.

따라서  $0.2\mu m$  이하의 MOSFET의 개발을 목전에 두고 있는 시점에서 이러한 MOSFET의 여러 스케일링 한계와 발전 방향을 체계적으로 기술하고자 함이 본 연구 논설의 목적이다. 먼저 MOSFET의 스케일링 및 신뢰성에 관한 일반적인 고찰을 행한 후, III장에서는  $0.2\mu m$  이하의 NMOSFET, PMOSFET의 설계와 새로운 구조 및 가능성 그리고 IV장에서는 새로운 분석이론과 분석 기법을 소개한 후, V장에서 결론을 맺도록 한다.

## II. MOSFET의 특성의 정량화

### 1. 동작 특성

MOSFET의 설계는 크게 소자의 동작특성(performance)과 신뢰성(reliability) 조건을 만족하도록 해야 한다. 동작특성은 크게 두가지로 나눌 수가 있는데 첫째는 소자가 정상적인 스위칭 특성을 만족하는 가이고, 또 하나는 회로의 속도를 결정짓는 전류의 크기이다. 이를 다음과 같이 정리할 수가 있다.

주로 정상적인 스위칭 역할을 하기 위한 특성의 한계는 짧은 채널 효과에 의해서 오게 되는데 이는 드레인의 전계가 MOSFET 소자의 벌크와 표면의 전위에 영향을 줌으로써 소스와 드레인 사이의 전류를 증가시키기 때문이다. 위의 표에서 DIBL, subthreshold 특성, punchthrough 특성의 한계는 모두 이와 같이 '짧은 채널 효과'에 의해서 오게 된다. 단 GIDL은 게이트 산화막이 얇아지기 때문에 소스·드레인의 높은 도핑 영역과 산화막의 사이에 매우 급격한 밴드의 굽어짐에 의해 발생하므로 '짧은 채널 효과'와 직접적인 관련은 없다고 할 수가 있다.

또한 MOSFET의 설계는 회로의 속도를 극대화하도록 설계되어야 하는데 주로 MOSFET 소자의 전류 구동 능력에 의해서 좌우되고, MOSFET 소자 자체의 커패시턴스 (접합용량, 소스·드레인과 게이트의 overlap 용량)에 의해서 부차적으로 좌우된다. 앞의 표에서 알 수 있는 것은 MOSFET가 만족하여야 하는 조건이 모두 전류(A), 전압(V)으로 표시된다는 것이다. 따라서 이를 '회로 상수 목표'로 부르도록 하자.

이 회로 상수의 목표는 다음과 같은 대표적인 MOSFET의  $\log I_D - V_{GS}$ 의 curve에 의해서 설명하면 명확해진다. 즉 어떤 최소 채널 MOSFET에 그림 1과 같이 걸선하여  $V_{DD}$  두개의 전압에 대해  $V_{GS}$ 를 - 전압에서 + 전압으로 증가시킬 경우 드레인 전류를 측정하여 log로 표시하였다고 하자. 이 그림은 재미있게도 MOSFET 소자의 DC 특성의 대부분을 나타내 주고 있기 때문에 약간의 설명이 필요하다.

우선 정상적인 스위칭 특성을 보도록 하자.  $V_{GS}=0V$  일 때 MOSFET가 꺼져 있기 위해 보통  $10^{-11}A/\mu m$  이하의 전류를 요구한다(이는 VLSI chip의 대기전류(standby 전류)의 요구조건이다). 따라서  $V_{DS}$ 가 최대 인가 전압  $V_{DD}$  (실제로는  $1.1 \sim 1.2 V_{DD}$  정도)에서도 이 전류보다 작은 전류가 보장되어야 한다. 그림 1(b)

의 특성은 이러한 조건을 만족하고 있음을 알 수가 있다. 그림 1(b)의 특성을 살펴보면 전류가 두가지 성분으로 구성되어 있음을 알 수가 있다. 첫째 성분은  $V_{GS}$ 에 의해서 증가하는 전류로서  $V_{GS}$ 가 감소하여 -가 되면 0으로 접근하는 전류이다. 이 전류는 MOS 트랜지스터의 표면을 흐르는 전류로서 MOS 전류라고 한다. 그러나  $V_{GS}$ 가 - 영역에서  $V_{GS}$ 의 절대값의 증가에 따라 감소하는 전류 성분이 있는데 이 전류를 GIDL이라고 한다. 다음은 두 전류 성분에 대한 한계를 보도록 하자.

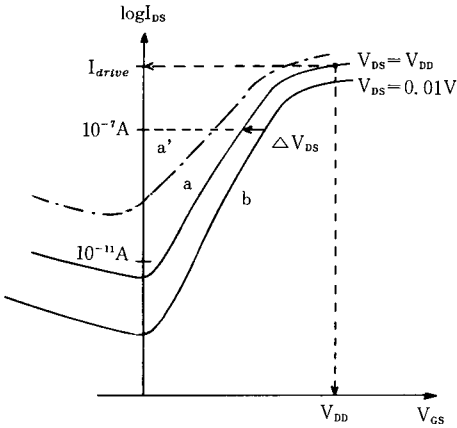


그림 1. NMOSFET 소자의  $\log I_{DS}-V_{GS}$  특성. 대부분의 NMOSFET 소자의 특성을 이 그림으로 이해할 수가 있다.

(1) GIDL 전류 [5]

이 전류는 드레인 영역의 높은 도핑 부분이 depletion 되면서 큰 밴드의 굽어짐이 발생하여 생기는 터널링에 의한 전자와 홀 쌍의 발생 (generation)에 의한 성분이다.

이 누설 전류 성분은 게이트 산화막의 두께가 얇아질수록 더 증가하게 된다. 그림 2는  $V_{GS} < 0$ 인 NMOSFET의 GIDL이 발생하는 영역과 이유를 보이고 있다. 그림에서 보듯이 드레인 영역에서의 표면에서 전자와 홀의 발생이 두가지의 메카니즘에 의해 발생하고 있음을 보여주고 있다. 그림 2(a)는 valence 밴드의 구속 전자가 같은 에너지 크기의 conduction 밴드 내의 에너지 state로 직접 터널링 하는 경우 (direct 터널링)이다. 그림 2(b)는 표면 state가 많은 경우 먼저 그

state에 의해 valence 밴드의 전자가 이동한 후 conduction 밴드로 터널링하는 경우이다. (a)는 높은 전압 (게이트와 드레인 사이의 전압)인 경우일 때, (b)는 낮은 전압이 걸려 직접 터널링이 불가능할 때 중요해 질 것이다.

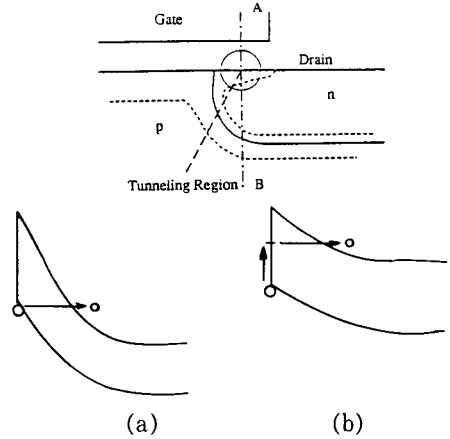


그림 2. NMOSFET에서 게이트와 중첩되어 있는 드레인 영역의 표면 부분에서 GIDL 전류가 발생하는 영역. (a)는 직접 터널링, (b)는 표면 상태를 통해서 터널링하는 경우이다.

(2) Turn-off를 위한 MOS 전류의 한계

그림 1에서 보듯이 MOS 전류는  $V_{GS}$ 가 감소하면서 감소하는 전류이다. 설계목표는 최악의 조건 ( $V_{DS} = V_{DD}$ )일 때  $V_{GS}=0$ 점에서 또한 기준 전류 이하가 되어야 한다는 것이다. 그런데 MOSFET 소자의 문턱전압이 어느 정도 이상은 되어야 하고 ( $V_{TL}$  이상, 적어도 0.4V 이상), 뒤에서 설명할 구동 능력 조건 때문에  $V_{GS} = V_{DD}$ 인 경우 전류가 어느정도는 되어야 하므로 문턱전압의 범위가 결정되고(보통 0.7 ~ 0.4V 정도) 이러한 조건에서 turn-off 조건을 만족시켜야 하는 것이다. 그림 3은 바로 이러한 한계에 의해 MOSFET 설계 window가 정해지는 것을 보이고 있다. 이러한 구도에서 보면 왜 그림 2에서  $V_{GS}$ (DIBL)이 작아야 되고, subthreshold 기울기가 커야 하는지가 이해가 될 것이다. 그런데 MOSFET 이론에서 기울기 S는  $V_{DS}=0$  (DIBL이 없는 경우), 즉 최선의 소자인 경우

$$S = \frac{kT}{q} \ln \left( 1 + \frac{C_{ox}}{C_D} \right)$$

로 쓸 수 있고,  $T_{ox}=30\text{ \AA}$ ,  $N_{sub}\approx 2\times 10^{18}$  가 한계라면

$$S = 80\text{mV/decade}$$

이고 따라서 4 decade  $80\text{mV/decade}=0.32\text{V}$  이므로 이론적으로  $V_T$ 는 MOSFET인 경우 MOS 전류는 turn-off의 한계는 아님을 알 수가 있다.

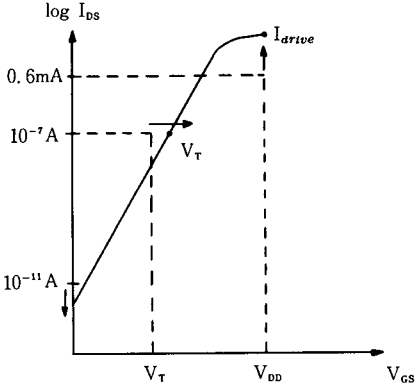


그림 3. MOS 전류의 설계 한계. 즉  $V_{GS}=V_{DD}$ 에서 구동 능력이 어느정도 되어야 하고 잡음 마진을 생각해서  $V_T$ 는  $V_{IL}$  이상인 조건에서 turn off 전류가  $10^{-11}\text{A}/\mu\text{m}$  이하를 만족해야 한다.

(3) MOSFET 구동 능력

MOSFET 구동 능력은 VLSI 회로의 속도를 결정하는 가장 중요한 요인이다. 표 1에서 보듯이 이 구동 능력은 보통  $V_{DS}=V_{GS}=V_{DD}$  즉 드레인, 게이트 전압이 최대 인가 전압  $V_{DD}$ 가 같을 때의 단위 소자 너비(W) 당의 전류로 표시한다. 일차원적으로 MOS소자의 너비당 전류는

$$I_{DS} = \frac{\mu C_{ox}}{L} (V_{GS}-V_T)^2 (1 + \lambda V_{DS})$$

로 표시할 수 있는데 우변의 i)항은 순수한 MOS 전류이고 ii)항은 드레인 전압의 증가에 따라 채널의 길이가 짧아지는 효과에 의한 것이다. 구동 능력을 증가시키기 위해서  $C_{ox}$ ,  $\mu$ 를 증가시키고 L와  $V_T$ 를 감소시켜야 할 것이다. 그런데 이러한 것이 앞의 스위칭 특성과 뒤에

서 언급할 신뢰성을 만족시키면서 극대화할 수 있는가가 MOSFET 소자 설계의 요체인 것이다.

2. MOSFET 신뢰성

MOSFET 소자의 신뢰성은 주로 게이트 산화막 그리고 게이트 산화막과 실리콘 사이의 계면(interface)의 열화에 의해서 제한된다. I 장의 MOSFET 스케일링 이론에서도 밝혔듯이 전압이 소자의 크기( $T_{ox}$ , L 등)와 같이 작아지지 않았기 때문에 소자 내의 전계가 x,y 방향 모두 증가하게 되었다.

그림 4는  $V_{DS}=V_{DD}$ 인 경우  $V_{GS}$ 의 증가에 따라 채널 가운데의 수직 및 수평 전계의 크기의 변화를 도식적으로 표시한 것이다. 이 전계의 증가는 산화막의 전계를 증가시켜 산화막의 수명을 단축시키고 수평 전계를 캐리어의 에너지를 증가시켜 소자의 신뢰성을 떨어뜨리게 된다. 다음은 이러한 전계의 증가에 의한 소자의 수명 단축에 대해 생각해 보자.

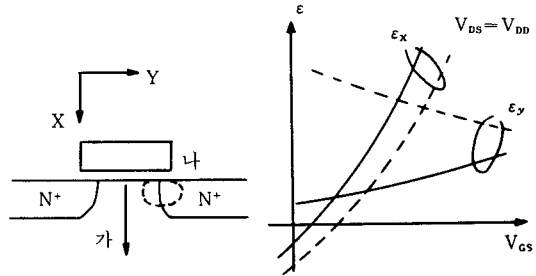


그림 4. 채널 중간의 영역(실선)과 드레인 영역(점선)에서의 x,y 방향의 전계가  $V_{GS}$ 에 따라 변하는 모습

(1) TDDB 수명

그림 4에서 보듯이 게이트 산화막에 걸리는 수직 전계는 산화막의 Fowler-Nordheim 형태의 터널링에 의한 전류를 증가시키고 이 전류는 산화막내에서 산화막의 트랩에 의해서 국부적인 수직 전계를 더욱 증가시켜 산화막의 절연파괴(breakdown)를 가져오게 된다.

보통 이 절연 파괴에 의한 산화막의 두께나 인가 전압의 한계를 특성짓는 일반적인 파라미터로 TDDB (time dependent dielectric breakdown) 수명으로 보통 다음과 같이 정의한다 [6]. 즉 고정된 전계를 가했을 때 많은 수의 산화막 샘플 중 50%가 파괴되는 시간을 수

명(TDDB)으로 정함으로써 전계에 따른 수명을 예측할 수 있게 된다.

그림 5는 10년의 수명을 보장하기 위해 산화막 양단에 걸 수 있는 최대 전계와 전압을 보여주고 있다. 예를 들어 100Å 정도의 게이트 산화막을 채용하고 있는 64M DRAM 급의 MOSFET의 경우 TDDB 수명을 만족시키기 위한 최대전압은 6V이다.

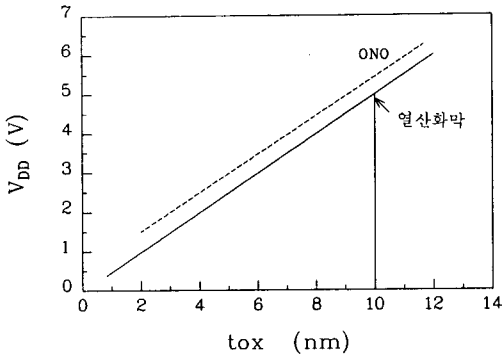


그림 5. TDDB 10년을 보장하기 위한 전압. 실선은 산화막, 점선은 ONO인 경우임 [16]

(2) 고온 캐리어에 의한 수명

그림 4에서 보듯이 채널의 y 방향 (소스-드레인)의 전계는 채널의 캐리어의 에너지를 증가시킴으로써 신뢰성을 열화시키는 요인이 된다.

캐리어 시스템 n의 평균에너지는

$$E = 1/2m^*V_d^2 + 3/2kT$$

로 표시할 수가 있는데 여기서  $V_D$ 는 평균 드리프트 속도이고 T는 캐리어 n개의 임의 방향의 운동에 의한 에너지로서 캐리어 온도가 된다. 실제  $1/2m^*V_d^2$  항보다  $3/2kT$  항이 크다. 따라서 캐리어 에너지를 캐리어 온도로 표시하기도 한다. 이 고온의 캐리어는 격자와의 충돌에 의해 valance 밴드의 전자에 에너지 갭 이상의 에너지를 주어 전자와 홀 쌍을 발생시키기도 하고 (impact ionization), 원래의 캐리어나 이차적으로 발생한 캐리어가 채널의 전계에 의해 에너지를 받아, Si-SiO<sub>2</sub> 계면 상태를 열화시키거나 SiO<sub>2</sub> 내로 캐리어가 주입되어 산화막에 전자가 트랩되어 국부적으로 MOSFET 소자의 문턱전압  $V_T$ 를 바꾸어 준다.

이러한 고온 캐리어의 특성을 보는 통용되는 방법으

로 그림 6과 같이  $V_{DS}=V_{DD}$ 로 두고, 스위칭 특성을 보기 위한  $\log I_{DS}-V_{GS}$ 와 유사하게  $\log I_{SUB}-V_{GS}$  그리고  $\log I_G -V_G$ 의 특성을 보는 방법을 사용한다. 그림에서 NMOSFET와 PMOSFET 각각에 대하여 특성을 보이고 있다. 1차원적인 모델에 의하면  $I_{SUB}$ 는  $\epsilon_y$ (소스-드레인 방향)의 크기에 지수함수적으로 비례하고

$$I_{sub}/I_D \propto e^{-b/\epsilon_y(\max)}$$

로 표시될 수 있다 [7].  $I_G$ 는 게이트 산화막의 에너지 차이를 넘을 수 있는 고에너지 캐리어 숫자와 산화막의 수직 전계  $\epsilon_x$ 에 비례한다 [8]. 즉

$$I_G \propto J_{inj} P$$

로 쓸 수 있다. 여기서  $J_{inj}$ 은 고온 캐리어 숫자에 의해 좌우되는 산화막 내로의 주입전류이고 P는 주입된 전류중 게이트에 도착할 수 있는 비율로  $\epsilon_x$ 의 함수가 될 것이다.

그림 6에서 NMOSFET의 열화는 고에너지의 전자가 Si-SiO<sub>2</sub> 계면에서 donor 형의 계면상태를 생성하기 때문에 드레인 영역에서의  $V_T$ 의 증가와 캐리어의 이동도  $\mu$ 의 감소를 초래하기 때문에 일어난다 [9]. 반면에 PMOSFET의 열화는 최대 채널 전계의 부분에서 게이트로 주입되는 전자가 SiO<sub>2</sub> 내에서 트랩되므로 PMOSFET의  $V_T$ 를 국부적으로 낮추어 짧은 채널 효과를 더욱 나쁘게 해줌으로써 발생한다 [10].

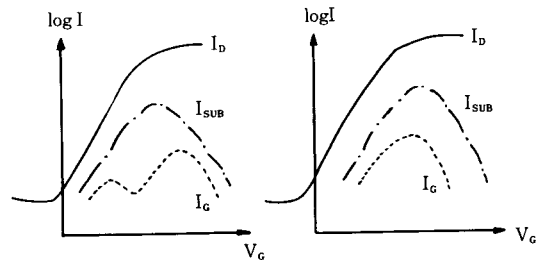


그림 6. NMOS 및 PMOSFET의 고온 캐리어 특성을 나타내는 측정.  $I_{SUB}$ 는 이온 충돌화량을 나타내고,  $I_G$ 는 게이트로 주입되는 고온 캐리어 량과 게이트내의 전계 방향에 의해 결정된다.

이 소자의 고온 캐리어에 의한 신뢰성을 정량화하기

위해 DC 혹은 AC의 동작 조건에서 10년동안 동작시켰을 때 소자의 특성이 10% 이하로 열화되기 위한 최대 전압을  $V_{DD}(HCE)$ 라 표시하자. 당연하게도 채널의 길이가 짧아지면서  $\epsilon_{y(max)}$ 가 증가할 것이므로  $V_{DD}(HCE)$ 이 감소하게 될 것이다. 그림 7은 최근 발표된 경향을 나타낸 것이다.

당연히  $\epsilon_{y(max)}$ 는 채널길이  $L_{eff}$  뿐만이 아니라 소스-드레인의 구조에도 영향을 받을 것이다. 현대의 MOSFET가 채택되고 있는 LDD의 구조는 더 큰  $V_{DD}(HCE)$ 를 허용하고 있다.

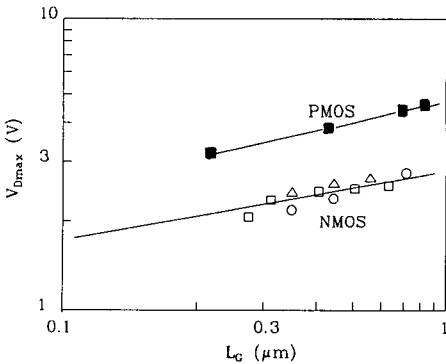


그림 7. 유효 채널 길이에 따른 NMOS와 PMOS의 고온 캐리어에 의해서 제한되는 최대 인가 전압의 추이. 여기서 S/D는 단일 소스-드레인 구조이다 [11][16].

### III. MOSFET 소자 설계

II 장에서는 MOSFET가 디지털 스위칭 소자로서 만족해야 하는 조건들을 생각해 보았다. 정리해서 보면 ‘동작 특성’과 ‘신뢰성 특성’을 동시에 만족해야 한다는 것이다. 이 조건을 만족하기 위해서는 MOS 소자의 설계 파라미터는 어떻게 되어야 하는가?

마치 II 장에서 MOSFET 소자의 ‘회로 상수 목표’가 있었듯이 이 회로 상수들을 만족하기 위해서는 ‘소자 구조 상수들’이 존재할 것이다. III-1장에서는 이러한 소자 상수들이 II 장의 회로 상수들과 어떠한 관계에 있는지를 먼저 살펴보고, III-2장에서 신뢰성과 회로 특성 한계에 의한 소자의 설계 window, 그리고 III-3장에서는 새로운 구조의 가능성과 그 구조들이 시사하는 바에 대해서 생각하기로 하자.

#### 1. ‘소자 구조 상수’와 ‘회로 상수’와의 관계

그림 8에서 표시된 소자의 중요한 구조 상수들은 다음과 같이 쓸 수가 있다.

- $T_{ox}$  ; 산화막의 두께
- $N_B$  ; 채널의 도핑
- $X_J$  ; 소스-드레인 접합 깊이
- $n^-(p^-)$  ; LDD의  $n^-$  도핑
- $L$  ; 채널의 길이
- $X_B$  ; PMOS의 buried channel 깊이

여기서는 표준적인 MOSFET 구조에 대해서 생각하자. 즉 그림 8(a), (b)와 같이 채널의 도핑이 가우스 분포를 가지고 소스-드레인의 표준적인  $n^+/p^+$  모양을 가지는 경우이고, 그림 8(c), (d)는 드레인 영역의 최고 전계를 줄임으로써 신뢰성을 높이기 위해서  $n^-/p^-$  영역을 채널과 소스-드레인 영역에 끼워 넣은 경우이다. 그림 9(a), (b)는 NMOS와 PMOS의 채널 깊이 방향의 도핑 profile이고 그림 (c), (d)는 채널 방향( $x=0$ ,  $y$ 방향)으로 도핑의 profile을 보인 것이다. 그림 8에서 알 수 있는 것은 PMOS의 표면은 p형의 도핑을 가지고 있으며 이는 N형의 폴리실리콘을 사용하는 경우 일함수 차이에 의한  $V_T$  조절 때문에 생기는 형태이다. 또한 주의해 볼 가치가 있는 것은 LDD의 경우  $n^-/p^-$  영역을 형성할 때의  $y$ 방향의 이온 주입에 의해(staggering) 채널의 길이가 결정된다는 것이다(이는  $L_{eff}$ 의 한계를 주는 공정의 한계이다). 즉  $L_{eff}$ 가 줄어들게 될 때 소스-드레인의  $n^-/p^-$  이온이 만나게 되면 이에 의해 짧은 채널 효과가 발생하게 될 것이다.

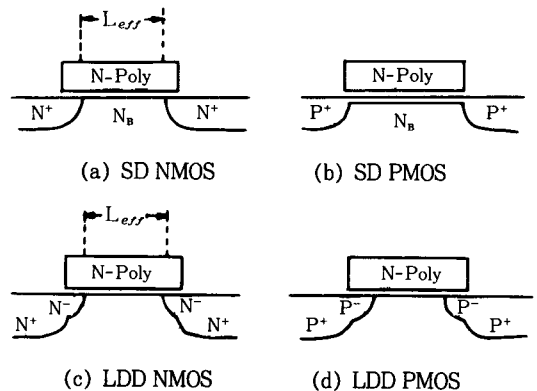


그림 8. 단일 소스-드레인 구조를 가지는 (a) NMOS, (b) PMOS, LDD 소스-드레인 구조를 가지는 (c) LDD NMOS, (d) LDD PMOS.

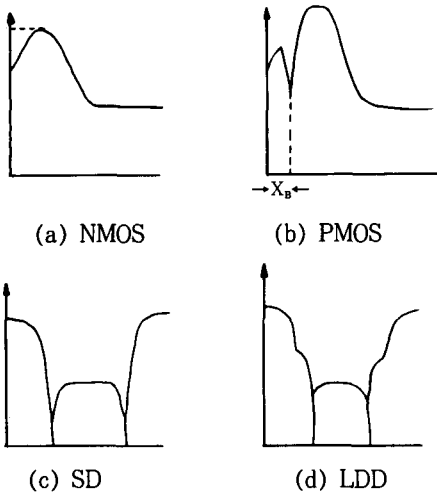


그림 9. NMOS와 PMOS의 채널 도핑. (a)와 (b)는 수직방향이고, (c)는 SD, (d)는 LDD의 채널 방향이다.

그러면 이 '구조 상수'들이 II장에서 언급한 '회로 상수'들과 어떠한 관계를 가지게 될까? 1980년대의 소자 설계에 대한 연구는 주로 이러한 문제를 이론적, 실험적으로 이해하고 검증하는데 집중되었다. 본 논설에서는 어느 특정의 구조에 대해 설명하는 것보다는 '구조 상수'와 '회로 상수'들의 일반적인 상관 관계를 설명하기 위해 그림 10과 같은 그림을 만들어 보았다.

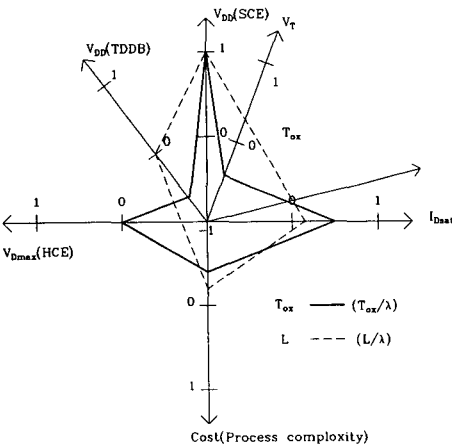


그림 10. 소자 구조 파라미터가 회로상수 파라미터와 소자의 가격에 미치는 영향. 0에 가까울 수록 영향이 없다는 뜻이고, + 쪽이면 증가, - 쪽이면 감소를 나타낸다.

이 절에서는 주로 이 그림의 내용에 대해 설명하고자 한다. 먼저 이 그림은 방사형으로 멀어져 가는 7개의 축이 있는데 이는 주로 회로 상수들의 변화를 보이고 있다. II장에서 설명한 TDDDB, 고온 캐리어에 의한 신뢰성, 그리고 짧은 채널 효과(short channel effect, SCE)에 의해 제한되는 최대 인가 전압  $V_{DD}(SCE)$ ,  $V_T$  그리고 구동 능력을 나타내는 구동 전류( $I_{Dsat}$ ), 이동도 ( $\mu$ ) 그리고 참고로 소자의 가격을 나타내고 있다. 우리가 하고자 하는 것은 이 그림 9에 '소자 구조 파라미터'가 미치는 영향을 도식적으로 표시하는 것이다. 예를 들어  $T_{ox}$ 의 감소( $T_{ox}/\lambda$ )는 SCH에 의해 제한되는 최대 전압  $V_{DD}(SCE)$ 의 증가를 가져오므로 그림에서의  $V_D$  (SCH) 축에 + 에 위치하고 있다. 만약  $T_{ox}$ 의 감소가 TDDDB에는 큰 영향이 없으면  $V_{DD}(TDDDB)$  축의 0에 가까이 표시하게 될 것이다.

$N_B$ 의 증가( $\lambda N_B$ )는 이동도의 감소에 의해 구동 능력을 감소시키고 드레인 전계의 크기에 의한  $V_{DD}(HEC)$ 의 감소를 초래하는 부정적인 측면이 있는 반면 짧은 채널 효과를 개선시켜  $V_{DD}(SCE)$ 를 증가시키는 긍정적인 측면을 가지고 있다. L의 감소( $L/\lambda$ )는 구동 능력을 향상시키는 긍정적인 측면을 가진 반면  $V_{DD}(SCH)$ 와  $V_{DD}(HCE)$ 를 감소시키는 부정적인 측면을 주고 있다.

마지막으로 LDD 구조의  $n^-$  도핑의 증가는 구동 능력의 향상을 가져오는 대신  $V_{DD}(SCH)$ ,  $V_{DD}(HCE)$ 의 감소를 초래하게 된다. 이 그림에서 표시하지는 않았지만  $X_j$ 의 그림을 독자 스스로 그려보는 것은 소자의 구조의 변화가 소자의 회로적 특성을 이해하는데 도움이 될 것이다.

이 그림은 소자의 구조 파라미터가 1만큼 스케일링될 때 회로 파라미터의 증감을 정성적으로 표시한 것으로 실제로 소자의 설계에 들어가면 정량적인 연구가 필요하게 된다. 이 정량적인 연구는 실험실마다 제작되는 공정의 질에 따라 다르게 나타나므로 그 실험실의 역사적인 환경에 따라 크게 좌우될 것이고 실제로 이것이 많은 연구 발표의 대부분의 양을 차지하게 된다.

## 2. 신뢰성과 스위칭 특성 한계에 의한 소자의 설계 Window

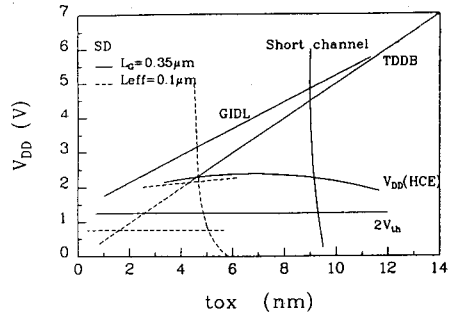
III-1절에서는 각 소자의 구조상수가 회로상수와 어떠한 상관 관계에 있는가를 살펴보았다. 그리고 신뢰성과 스위칭 동작 특성을 만족시키기 위해서 걸어줄 수 있는 최고 전압이 SCH(짧은 채널 효과), HCE(고온 캐리어 효과) 등에 의해 제한됨을 보였다. 그렇다면 채널의 길이가 짧아짐에 따라 우리는 어떠한 범위내에서

소자의 설계를 할 수 있을까? 이에 대해 이 절에서 토의하고자 한다.  $L_{eff}$ 가 약  $0.35\mu\text{m}$ (16~64M DRAM 세대)인 MOS와  $0.1\mu\text{m}$  MOS의 두가지 경우에 대해서 최근 IEDM 등에서 발표되었던 실험적 소자의 내용을 가지고 설명하고자 한다.

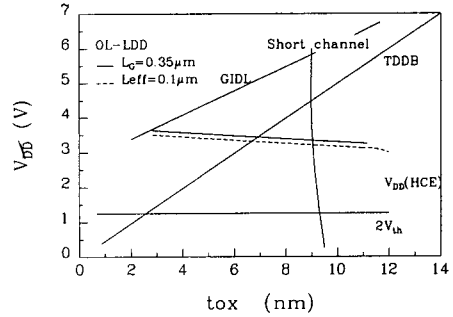
그림 11은 참고문헌 [11]에서의 제안한 소자 설계 window로서 게이트 산화막의 변화(x축)에 따라 최대 인가전압이 각 요인들 (즉 SCE, HCE 그리고 TDDB 등)에 따라 어떻게 정해지는가 하는 것을 보이고 있다. 그림에서 실선은  $L_G$ 가  $0.35\mu\text{m}$ 인 경우이고, 점선은  $L_{eff}$ 가  $0.1\mu\text{m}$ 인 경우<sup>[12]</sup>를 예측한 것이다. 그림 10에서 (a)는 LDD가 아닌 단일 소스/드레인 (SD MOS)의 경우이고, (b)는 LDD (특히 고온전자를 줄이기 위한  $n^+$  영역이 게이트 영역 아래로 들어가 있는 구조)에 대한 window 그림이다. 그림에서 보면  $T_{ox}$ 가 감소함에 따라 TDDB에 의한 최대 인가전압이 선형적으로 감소함을 알 수 있다. 이는 TDDB 수명을 만족하기 위한 산화막의 최대 전계는 거의 일정(약  $5\text{MV}/\text{cm}$ )함을 알 수가 있다. 그리고 SCE에 의한 한계는  $T_{ox}$ 의 감소에 따라 급격히 증가하는데 이는  $T_{ox}$ 가 subthreshold의 기술기 등의 개선에 의해 SCE에 큰 영향을 줄을 보이고 있다.

그림 (a)에서 보듯이  $L_G=0.35\mu\text{m}$ 일 때의  $T_{ox}$ 가 약  $80\text{\AA}\sim 90\text{\AA}$  정도이므로 이 경우 MOS의 최대 인가전압을 결정하는 것은 GIDL이나 TDDB가 아닌 SCE와 HCE임을 알 수가 있다. SCE는  $T_{ox}$ 를 약간 더 얇게 가져가면 해결할 수가 있는데  $T_{ox}$ 가  $40\sim 90\text{\AA}$  범위에서는 HCE에 의해 약  $V_{DD}=2.2\text{V}$  정도로 제한됨을 알 수 있다. 따라서 이 그림으로 LDD와 같은 구조의 필요성이 명확해 진다. 그림 10(b)를 보면 같은 채널 길이에 대해 LDD인 경우 HCE에 의한 인가전압이 약  $3.5\text{V}$ 로 증가 되어 있음을 보이고 있다.

그러면  $L_{eff}=0.1\mu\text{m}$  NMOS인 경우는 어떻게 될까? 현재까지 충분한 데이터는 존재하지 않지만 IEDM 91년도 연구결과<sup>[12]</sup>를 토대로 유추하면 같은 그림의 점선으로 표시된 window를 얻을 수가 있다. 즉  $0.1\mu\text{m}$  NMOSFET인 경우의 한계는  $T_{ox}$ 가  $40\text{\AA}$ 인 경우에 TDDB, HCE, SCE 모두가  $V_{Dmax}$ 를  $2\text{V}$  정도에서 제한하고 있음을 알 수가 있다. 이를 실사 LDD에 의해 HCE에 의한 제한을 완화시켰다고 하더라도 (그림 10(b)의 점선) 최대 인가전압의 범위에는 크게 도움을 주지 못한다는 것을 유추할 수가 있다. 이는 대단히 중요한 사항으로  $0.1\mu\text{m}$  MOSFET의 경우 제한 요인은 SCE와 TDDB에 의해서 결정된다는 것이다. PMOSFET의 경우 비슷한 그림을 그릴 수가 있는데 PMOSFET의 경우



(a)



(b)

그림 11. NMOS 소자의 설계 window. 실선은  $L_G = 0.35\mu\text{m}$ 인 경우<sup>[11]</sup>이고, 점선은  $L_{eff} = 0.1\mu\text{m}$ 인 경우이다.

는 NMOS에 비해 데이터가 작기 때문에 NMOSFET와 같이 제한요인을 유추하기가 힘이 든다. 그러나  $p^+$  폴리실리콘을 채택하는 경우는 기본적으로 SCE, TDDB 특성은 NMOSFET와 비슷한 양상을 띠게 될 것이라는 점을 예견할 수 있다. 또한 홀이 유효질량이 크기 때문에 같은 전계에서 에너지를 NMOSFET의 전자에 비해 작게 얻으므로 HCE에 의한  $V_{DD}$  한계는 NMOSFET에 비해 높을 것이다. 또한 NMOSFET에 비해 PMOSFET의 접합의 깊이  $X_j$ 를 얇게 만드는 것이 힘들기 때문에 punch-through 특성에 의해 제한되는 SCE  $V_{DD}$ 가 NMOSFET에 비해 더욱 심각한 것이라는 것을 예측할 수가 있다.

이상과 같이 소자 설계 window에서 알 수 있는 것은 결론적으로  $1\sim 0.2\mu\text{m}$  까지는 고온 캐리어에 의해  $V_{DD}$ 가 제한되고  $0.2\mu\text{m}$  이하의 MOSFET의 경우는 TDDB와 짧은 채널 효과에 의해  $V_{DD}$ 가 제한된다는 것이다. 그리고 인가전압의 최소치를 CMOS의 구동 능력을 고려했을 때  $2V_T$  정도로 하는 것으로 표시하였다.



그렇다면  $V_T$ 의 최소치는 어디가 될까? 이는 기본적으로 II장에서 다루었던 스위칭 특성에 의해서 제한되는데 SCE 효과가 전혀 없다고 하고 subthreshold 영역의 기울기 S의 한계가 80mV/decade로 하였을 때 약 0.4V가 된다. 따라서  $V_{DD}$ 의 최소 한계는 0.8V 정도가 됨은 알 수가 있다. 물론 이 숫자는 게이트의 잡음 여유도 (noise margin)에 의해서도 제한받게 될 것이다.

3. 새로운 구조의 가능성

III-2절에서 설계 window를 더 크게 하기 위해서 세가지의 한계를 넓힐 수 있는 방안들이 제안되어 왔다. 각각에 대해 소개하고 가능성을 기술하면 다음과 같다.

(1) SCE 한계의 넓힘

SCE의 한계를 넓히기 위해 제안된 대표적인 구조는 소스-드레인과 채널이 같은 평면 위에 있지 않는 구조를 들 수가 있다. 그림 12(a), (b)는 이의 대표적인 구조로 (a)는 채널이 소스/드레인 아래로 형성된 구조이고, (b)는 소스/드레인 채널의 위로 형성된 구조이다. (a)는 RIE 에칭으로 채널을 판 경우이고 (b)는 선택적 epitaxy 방법으로 소스/드레인 채널 보다 올림 경우이다. 구조 (b)는 1990년 VLSI Symposium<sup>[13]</sup>에서 발표된 것으로 n<sup>-</sup>영역을 선택적 에피 성장법에 의해 기른 구조로 시뮬레이션 결과 SCE와 HCE를 개선해 주고 있음을 보여주고 있다. 구조 (a)는 1991년 VLSI Symposium과 1989년 IEDM에서 발표된 구조로 유효 채널 길이( $L_{eff}$ )가 0.27  $\mu$ m인 경우 극히 우수한 SCE 특성을 발표하였다. 이 구조는 RIE 에칭된 표면에서 길러지는 산화막의 파괴 전계가 평면의 산화막에 비해 손색이 없다는 결과만 발표되었을 뿐 신뢰성에 대한 데이터는 발표되지 않았기 때문에 확신은 할 수 없지만 소자의 구조적인 측면에서 보면 SCE에 의한 스케일링의 한계가 극복될 수 있는 구조라 할 수 있을 것이다.

또 한가지의 방법은 소스-드레인의 반대 극성의 도

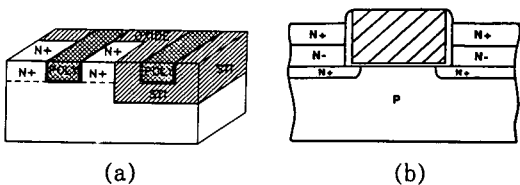


그림 12.  $V_{DD}$ (SCE)를 증가시키기 위해 제안된 두가지 구조. 두가지 모두 채널이 소스/드레인 보다 아래에 위치해 있다.

핑을 향함으로써 짧은 채널 효과를 개선하는 시도를 들 수 있는데 0.25 $\mu$  MOSFET에 적용되어 발표되었다<sup>[15]</sup>.

(2) TDDDB 한계를 늘이기 위한 구조

그림 11에서도 보였듯이 SCE 한계를 보장하기 위하여 산화막이 얇아져야 하며 따라서 0.1 $\mu$ m MOSFET는 TDDDB와 SCE의 한계가 인가전압의 최대치를 결정할 것이다. 따라서 산화막의 질을 더 올림으로써 TDDDB 한계를 더 늘이고자 하는 노력이 있어 왔다. 대표적인 게이트 절연 물질인 열산화법에 의한 SiO<sub>2</sub> 대신에 이의 변형인 질화막을 사용하고 이를 다시 산화시킴으로써 (reoxidized nitride) TDDDB를 늘리려는 생각이다. 여러 시도가 있어 왔으나 대표적인 경우 1991년 VLSI Technology 학회에서 발표된 구조를 보면 이 산화막 구조를 사용함으로써 TDDDB를 10<sup>2</sup> 배 정도 개선하고 NMOSFET의 HCE  $V_{DD}$ (HCE)도 10% 이상 증가 시킴을 보였다<sup>[16]</sup>.

(3) HCE 한계를 늘이기 위한 구조

SCE를 희생하지 않고 HCE의 한계를 늘이기 위한 구조는 LDD와 그의 응용(overlap된 LDD 구조)된 구조가 계속 사용될 것으로 보인다. 그림 (a)는 LDD의 n<sup>-</sup>와 n<sup>+</sup> 소스/드레인 구조가 좀 더 게이트 아래로 들어오게 함으로써(overlap) 같은 바이어스 조건에서 수평 방향의 전계를 줄이려고 하는 구조이다. 참고문헌 [16]에서 보이듯이 이 구조를 채용함으로써 LDD 보다 더 나은  $V_{DD}$ (HCE)를 보장하게 되어 0.25  $\mu$ m MOSFET에서 약 3.7V가 가능하게 되었다. 그러나 앞 절에서도 언급하였듯이 0.1  $\mu$ m 급 MOSFET에서는 n<sup>-</sup>의 이온주입시 수평방향의 channeling 효과로 SCE효과에 의해 LDD나 그 변형 구조가 쓰여지게 되지 않을 것으로 보인다. 왜냐하면 HCE 한계보다는 SCE 한계와 TDDDB 한계가 더욱 심각할 것이기 때문이다.

IV. 새로운 분석 방법론

Gummel이 1970년 반도체의 종래의 지배 방정식 세 개를 컴퓨터를 이용하여 풀어냄으로써 지역구분방법 (regional approach)에 의한 종래의 소자 해석 방법에 일대 혁신을 일으킴으로써 컴퓨터를 이용한 소자 해석의 전기를 마련하였다. 1970년대의 소자 분석 도구의 개발은 이러한 Gummel의 방법을 2차원 그리고 3차원으로 확장시키면서 내부의 캐리어 전송 파라미터(이동도, 높은 도핑의 밴드갭 등)의 측정 및 검증에 초점이 모아져 왔다.

앞에서 언급하였듯이 반도체 소자(MOSFET 및 bipolar 소자)가 극소화하면서 내부의 전계의 증가에 의한 전자와 홀 에너지 증가, 반도체 소자가 극소화하면서 절연물질 (특히 gate 산화막)의 얇아짐과 높은 에너지의 전자와 홀과의 상호연관에 의한 절연 열화가 소자의 스케일링 한계성을 주어왔다. 1980년대 들어서 이러한 소자의 신뢰성에 의한 한계를 예측하기 위한 노력이 있어 왔는데 이 예측을 가능하게 하기 위해서는 우선 소자 내에서의 캐리어 에너지를 예측할 수 있도록 종래의 반도체 방정식이 확장되었다. 소자내의 캐리어 에너지를 예측하기 위해서 기존의 3개의 반도체 방정식에 더해 캐리어의 에너지 연속 방정식을 풀거나 전자의 운동을 몬테칼로 방법을 이용하여 상기 문제점들을 예측하고자 하는 노력이 있어왔는데 대표적인 경우의 예를 들면 다음과 같다.

1) 캐리어의 에너지를 예측하여 impact ionization 을 예측하고자 하는 방법

- 3개의 반도체 방정식과 에너지 balance 방정식을 푸는 방법

[ MOSFET에서의 적용 예 : [17][18][19]  
 [ Bipolar 소자에서의 적용 예 : [20][21]

- Poisson 방정식과 Monte Carlo 방법을 couple시키는 방법

[ MOSFET에서의 적용 예 : [22][23][24][25]  
 [26]  
 [ Bipolar 소자에서의 적용 예 : [27][28][29]

2) 고온 캐리어에 의한 소자 신뢰성을 예측하고자 하는 방법

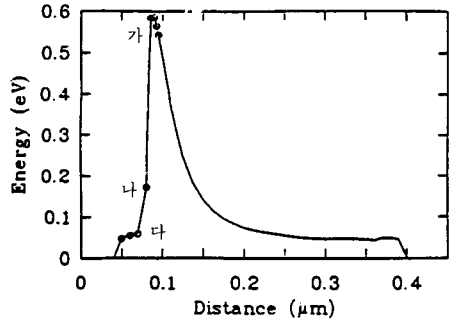
- 3개의 반도체 방정식에 산화막에의 injection efficiency를 post-processor로 처리하는 방법<sup>[30]</sup>

- 3개의 반도체 방정식에 산화막 내에서의 캐리어 전송 및 트랩핑을 함께 푸는 방법<sup>[31]</sup>

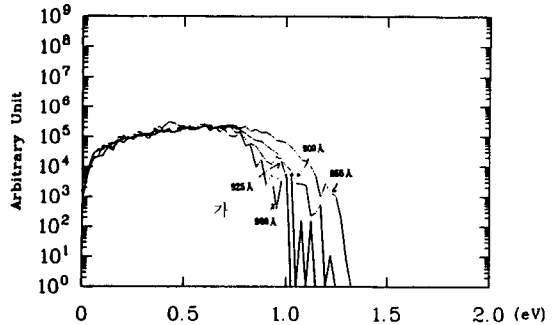
- 에너지 연속 방정식과 산화막 내에서의 캐리어 전송 및 트랩핑을 함께 푸는 방법<sup>[32]</sup>

소자 내의 캐리어의 에너지를 예측하는 방법은 1)에서 언급하였듯이 크게 두가지로 나눌 수가 있다. 즉 캐리어 평균 에너지의 연속 방정식을 푸는 방법과 캐리어의 평균에너지에다 캐리어의 에너지 분포까지도 얻고자 하는 방법(몬테칼로 방법)이다. 다음 그림 13은 몬테칼

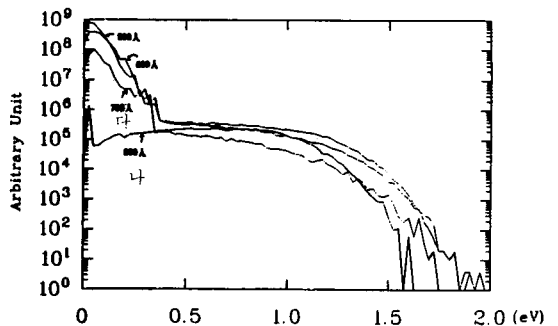
로 방법으로 0.25  $\mu\text{m}$  NMOSFET에서 동작시 구한 드레인 부근의 전자의 평균에너지의 공간적 분포(y)와 그림에서 표시된 가, 나, 다 세점에서의 에너지 공간(E)에서의 캐리어 분포를 보이고 있다<sup>[37]</sup>. 그림에서 보듯이 캐리어의 평균 에너지는 가>나>다 순이지만 충돌이 온화와 Si-SiO<sub>2</sub> 계면을 손상시키는 고온 에너지 가<



(a)



(b)



(c)

그림 13. 몬테칼로 방법에 의해 계산된  $L_{\text{eff}}=0.25\mu\text{m}$  NMOSFET의 평균에너지의 분포 그리고 가) 나) 다) 각 지점에서의 에너지 분포함수의 모양. 평균에너지는 가)에서 크지만 소자의 손상에 영향을 미치는 것은 높은 에너지 캐리어의 숫자이고 이 숫자는 다)에서 제일 많다.

나<다의 순서임을 알 수가 있다. 이 그림에서 알 수 있듯이 소자의 계면이 손상되는 부분은 캐리어의 평균 에너지와는 직접 관계가 없다는 것을 알 수가 있다. 따라서 미래의 소자의 설계 도구 중 고온 캐리어에의 신뢰성 예측 기구로는 몬테칼로 방법을 사용하거나 혹은 에너지 전송 방정식을 확장하여 이러한 문제를 해결할 수 있는 도구가 개발되어야 할 것이다.

1)항에 의해 캐리어의 평균에너지와 에너지 분포가 구해지면 이 고온 캐리어에 의한 '계면상태의 증가( $N_b^{it}$ ,  $N_A^{it}$ ), 산화막 내의 '트래핑 상태의 증가 ( $N_n^o$ ,  $N_p^o$ )' 그리고 산화막에 트랩된 전하의 ( $N_n$ ,  $N_p$ )를 예측할 수 있는 도구가 필요하게 된다. 이는 소자가 DC 및 AC 스트레스를 받을 때 열화되는 양을 예측할 수 있는 유일한 방법으로, 반도체 방정식의 해법 뿐만이 아니라 캐리어와 산화막 및 계면의 연관 관계를 이해해야 하는 많은 물리적 실험과 검증이 뒤따라야 하는 어려운 문제로 소자의 스케일링과 더불어 많은 연구가 뒤따라야 할 내용이다.

참고문헌 [33]에서 언급한 바와 같이 이 문제는 다음과 같은 행렬로 표시될 수가 있다. 즉

$$\begin{bmatrix} \dot{N}_b^{it} \\ \dot{N}_A^{it} \\ \dot{N}_n^o \\ \dot{N}_p^o \\ \dot{N}_n \\ \dot{N}_p \end{bmatrix} = \begin{bmatrix} j_{n,ox} & j_{p,ox} \\ || \\ || \\ || \end{bmatrix} \begin{bmatrix} N_b^{it} \\ N_A^{it} \\ N_n^o \\ N_p^o \\ N_n \\ N_p \end{bmatrix} + \begin{bmatrix} N_b^{it}(0) \\ N_A^{it}(0) \\ N_n^o(0) \\ N_p^o(0) \\ N_n(0) \\ N_p(0) \end{bmatrix}$$

A

로 표시 가능하다. 이 행렬은 각 계면 상태, 산화막 내의 트래핑 상태 및 트랩된 전하가 산화막 내의 전류 그리고 원래 존재하던 상태와 어떤 관계가 있는 지를 보여주고 있다. 결국 1)항에서는 소자의 주어진 동작 전압에서 채널 캐리어의 에너지를 예측함으로써  $[j_{n,ox}$ ,  $j_{p,ox}]$ 행렬의 산화막 전류를 예측해 주고자 하는 것이고 산화막의 물리를 이해함으로써 이 행렬 내의 상수를 이해하고자 하는 것이다. 이 행렬 방정식의 가장 간단한 형태로 많이 쓰이는 방정식을 소개하면 다음과 같다.

$$N_n(x, y, t) = j_{n,ox} (N_n) \sigma_n [N_n(x, y, t) - N_n(x, y, t)]$$

$$N_n(x, y, t) = \gamma(\epsilon_{ox}) j_{n,ox} (N_n)$$

즉 첫째식은 산화막 내의 전자가  $N_n^o$  트래핑 상태에 트

랩되는 양을 나타내고 둘째식은 산화막 내의 고온 전자에 의해 트래핑 상태가 발생하고 있음을 보이고 있다.

세번째 분석은 1), 2)항에서 예측된 소자의 신뢰성이 실제 회로에 주는 영향을 어떻게 예측할 수 있을까 하는 것이다. 즉 AC적으로 회로가 동작할 때 소자가 스트레스를 받게 되어 열화되고 열화된 소자의 영향이 회로의 특성(주로 속도)에 영향을 미치는 양을 예측함으로써 회로의 AC 수명을 미래 설계시 부터 예측하고자 하는 노력이다.

TI에서 개발된 HOTRON<sup>[34]</sup>은 회로의 특성변화  $\Delta P_{eff}$ 가 전체 MOS의 스트레스에 의한 모델 파라미터에 어떠한 영향을 받는가를 다음과 같은 식으로 예측하였다. 즉

$$\Delta P_{eff} = \sum_{i=0}^n \left[ \frac{\Delta P_{eff}}{\Delta P_{eff}} \right]_{MOS_i} * (\Delta stress)_{MOS_i}$$

즉 i 번째 MOS 소자의 특성 변화  $(\Delta stress)_{MOS_i}$ 에 의한 전체 회로의 특성 변화의 sensitivity를 안 후 전체 회로의 특성 변화를 이들의 합으로 얻어내는 방법이다. 그 후 발표된 방법들은 모두 이 소자의 모델 파라미터가 AC 및 DC 스트레스에 의해 받는 영향을 모델링하는 방법에 의해 조금씩의 차이만 날 뿐이다.

### V. 검토 및 결론

256M DRAM의 개발을 눈앞에 두고 있는 시점에서 스위칭 및 증폭 소자로서 가장 중요한 MOSFET 소자의 한계 및 해석 방법에 대해 생각해 보았다. 특히 기억 소자인 경우는 스위칭의 특성의 제한 조건이 워낙 엄격하기 때문에 더욱 소자 설계를 어렵게 만든다. 따라서 이러한 소자의 한계가 무엇에 의해서 오는가를 이해하는 것은 앞으로의 개발 방향을 논의하는데 극히 중요하다 하겠다.

III장에서 본 것 처럼 소자의 한계는 결국 SCE, 즉 짧은 채널 효과에 의해 소자를  $V_G=0$ 에서 꺼줄 수 없기 때문에 생긴다. TDDB는 RONOX 등과 같은 구조로 한계를 확장, HCE는 단일 소스/드레인에서도  $V_{DD}=2V$  정도는 확립되기 때문이다. 따라서 0.1 $\mu$ m 급의 MOSFET 소자의 설계는 SCE의 한계 확장으로 모아져야 하겠다.

또한 이러한 SCE의 확장의 방법으로 SOI, 즉 산화막 위의 실리콘 막 위에 트랜지스터를 제작함으로써 드레

인 전계가 소스에 미치는 영향을 작게 할 수 있다. SOI 소자를  $0.1\mu\text{m}$  채널 길이를 제작할 때 subthreshold 기울기 S가 긴채널일 때  $60\text{mV/decade}$ 에서  $110\text{mV/decade}$  정도로 증가함이 보고되었다<sup>[35]</sup>. 이 숫자는 1992년도 EDL에 보고<sup>[36]</sup>된 벌크 소자에 비해서 더 나은 특성은 아니기 때문에 SOI 소자는 SOI 물질의 한계 때문에 대용량 반도체 칩 제작보다는 고속 및 고신뢰성의 칩에 만 응용 범위가 제한 될 것으로 보인다.

또 하나의 SCE의 개선 방법은 칩을 액체 질소와 같이 낮은 온도에서 동작시키는 방법이다. 이 방법은 서론의 식에서 보듯이 subthreshold 기울기 S를 급격하게 줄여 줌으로써 SCE 효과를 개선할 수가 있다. 실제로 참고문헌 [36]에서 보듯이  $L_{\text{eff}}=0.1\mu\text{m}$ 인 NMOS, PMOS 모두에서 S를  $25\text{mV/decade}$ 로 개선할 수가 있다. 칩의 낮은 온도 동작은 캐리어의 이동도를 증가시킴으로써 칩의 속도 역시 개선하는 방향이기 때문에 매력에 있는 분야이다. 이 또한 PC 등의 시스템의 온도를 경제적으로 내릴 수 있는가의 가능성 여부에 따라 주 기술 분야로 될 것인가가 결정될 것이다.

따라서 현재로는 소자의 채널 길이가  $0.1\mu\text{m}$  이하로 될 때 소자의 구조에 대한 뚜렷한 방향이 보이는 것 같지가 않다. 단지 실험적으로  $0.1\mu\text{m}$ 의 소자를 제작하여 동작을 측정할 보고가 있을 뿐이다. 또한 역사적으로 배울 수 있는 것은 LDD 혹은 SD 형의 MOS 소자의 제작법으로는  $0.1\mu\text{m}$  이하의 소자에는 한계가 존재할 것으로 보인다는 것이다. 따라서  $0.1\mu\text{m}$  벽을 넘을 수 있는 새로운 구조의 창안이 절실히 요구되는 때이며 연구자에게는 흥미있는 과제가 놓여있는 시점이라 생각된다.

### 參 考 文 獻

- [ 1 ] R. H. Dennard et. al., IEEE. J. of SSC, SC-9, no.5, 1974.
- [ 2 ] P. K. Chatterjea, VLSI Electronics, vol. 12, p. 359, Academic Press Inc., 1985.
- [ 3 ] P.K. Chatterjee, IEEE Electron Dev. Lett., EDL-1, p.220, 1980.
- [ 4 ] H. Shichijo, Tech. Dig. of IEDM, p.219, 1981.
- [ 5 ] T. Chan et. al., Tech. Dig. of IEDM, p.718, 1987.
- [ 6 ] D.A. Baglee, Proc. Int. Reliability Phys. Symp., p. 152, 1984.
- [ 7 ] C. Hu et. al., IEEE Electron Devices, ED-32, p. 375, 1985.
- [ 8 ] K. Hoffmann, IEEE Electron Devices, ED-32, p. 691, 1985.
- [ 9 ] A. Hiroki et. al., IEEE Electron Devices, ED-35, p.1487, 1988.
- [10] M. Koyanagi et. al., IEEE Electron Devices, ED-34, p.839, 1987.
- [11] M. Shimizu et. al., Tech. Dig. of VLSI Technology, p.47, 1991.
- [12] D. Antoniadis et. al., Tech. Dig. of IEDM, p.21, 1991.
- [13] Al. F. Tasch et. al., Tech. Dig. of VLSI Technology, p.43, 1990.
- [14] D.S. Wen et. al., Tech. Dig. of VLSI Technology, p.83, 1991.
- [15] T. Hori, Tech. Dig. of IEDM, p.837, 1990.
- [16] F. Matuoka et. al., Tech. Dig. of IEDM, p.833, 1990.
- [17] L.G. Kang et. al., Tech. Dig. of VLSI Technology, p.85, 1991.
- [18] B. Meinezhagen, IEDM, p.504, 1988.
- [19] A. Forghieri et. al., IEEE CAD, vol.7, no.2, p. 231, 1988.
- [20] S. Chamberlain et. al., VLSI Process/Device Modeling Workshop, Kawassaki, 1990.
- [21] W. Lee et. al., IEDM, p.473, 1989.
- [22] Y.J. Park et. al., IEEE, ED-31, p.1724, 1984.
- [23] F. Venturi et. al., IEEE CAD, vol.8, no.4, pp.360-369, April 1989.
- [24] K. Kato, IEEE ED, vol.35, no.8, pp.1344-1350, 1988.
- [25] E. Sangiorgi et. al., IEEE CAD, vol.7, no.2, pp. 259-271, 1988.
- [26] J.M. Higman et. al., IEEE ED, vol.36, no.5, pp. 930-937, 1989.
- [27] C.G. Hwang et. al., IEDM, p.563, 1986.
- [28] W. Lee et. al., IEDM, pp.473-476, 1989.
- [29] Y.J. Park et. al., IEEE ED., p.1724, 1984.
- [30] K.R. Hofmann et. al., IEEE ED-32, no.3, p.691, 1985.
- [31] W. Hänsch, The drift diffusion approximation and its application to MOSFET modeling, Springer, Wien 1990.
- [32] Y.N. Cohen, J. Appl. Phys. 57(8), 15, p.2830,

April 1985.


[33] W. Hänsch, IEEE Electron Dev. Lett., EDL-11, p.262, 1990.

[34] S. Aur et. al., Tech. Dig. of IEDM, p.498, 1987.

[35] Y. Omura et. al., Tech. Dig. of IEDM, p.675,

1991.

[36] Masaaki et. al., IEEE Electron Dev. Lett., EDL-13, p.50, 1992.

[37] 진교영 등, 1/4 $\mu$ m 소자 기술개발 3차년도 연구 보고서, 한국전자통신연구소, p.43, 1992. 

## 筆者紹介



朴 榮 俊

1952年 11月 17日生

1975年 서울대 전기공학과(학사)

1977年 서울대 전기공학과(석사)

1983年 Massachusetts대학 전기공학과(박사)

1983年 ~ 1985年 IBM, East Fishkill연구원

1985年 ~ 1988年 금성반도체연구소 책임연구원

1988年 ~ 현재 서울대 전자공학과 교수

주관심분야 : 전자소자 모델링 및 BICMOS 등.