

다층 배선 구조를 갖는 Sub-Micron CMOS에서의 Contact 평탄화 기술

李相忍, 李貞圭

三星電子(株) 半導體部門 基盤技術센터

I. 머리말

집적회로의 고밀도화는 매년 약 2배의 비율로 향상되어 half-micron design rule을 갖는 16M DRAM 양산이 시작된 오늘날에는 deep sub-micron device 개발이 진행되고 있으며, 이러한 집적회로의 고집적화는 미세화에 의해 이루어지는데 scaling 법칙에 따라 MOS tr.의 동작속도는 개선되는 반면, 고집적화에 따른 배선의 미세화와 배선의 길이 증가에 의해 RC delay 및 배선의 특성은 열화된다. Device의 동작속도를 제한하는 RC delay는 배선의 다층화에 의하여 개선이 가능하며 전류 밀도 증대에 따른 electromigration 문제도 전류의 흐름을 배분함에 따라 부담을 줄일 수 있으나, sub-micron에서 half-micron으로 미세화됨에 따라 contact hole에서는 횡방향과 같은 정도로 종방향의 기하학적 size를 축소하기 어려워 aspect-ratio는 더욱 증대하게 된다. Device 구조의 3차원화는 배선의 단차 피복성(step-coverage) 저하를 초래하여 신뢰성 및 device의 수율을 좌우하는 주된 요인이 되므로 sub-micron, half-micron 시대에서의 전극 배선 기술은 배선의 미세화에 따른 신뢰성 향상과 더불어 contact hole의 매몰, 평탄화하는 기술로 발전하게 되었으며, contact 전극 형성 기술은 저저항화와 고신뢰도화의 측면에서 중요한 위치를 차지하게 되었다.

반도체에서의 metallization process는 PVD의 sputter 및 CVD가 구분되어 사용되는데 sputter의 특징은 안정된 高品質의 배선층 형성이 가능한 반면 metal CVD 장치의 특징은 conformal한 단차 피복성에 있다. 최근 sputter 장치는 다층막의 형성 및 in-situ metalli-

zation을 위해 cluster 형태로, process는 단차 피복성 향상 및 contact 평탄화를 위한 grain size 제어기술로 발전하고 있다. Metal CVD 장치 역시 前處理를 위하여 multi-chamber로, process는 stress 및 conformality 조절을 위한 조성제어 기술로 발전하고 있다.

Contact 평탄화(= contact 매몰) 기술은 표 1에 나타나 있듯이^[1] sputter를 이용하여 contact hole을 매몰 시킴과 동시에 배선 형성을 시키는 경우와, contact hole의 매몰에 metal CVD를 이용하는 경우로 대별되는데 Al은 sputter 堆積 후 in-situ 열처리^[2], 고온 스퍼터링^[3], 스퍼터링시 metal flow 발생^[4], laser reflow^[5], 高磁場(2B) mode ECR sputter^[6], selective-CVD^[7]가 개발되고 있고, W은 blanket-W 뿐 아니라 selective-CVD도 堆積 전의 plasma 등에 의해 표면 처리, 측벽막의 제거 등으로 실용화되고 있다. 본 기고는 반도체의 metallization 기술중 contact 평탄화 기술의 현황과 동향에 대하여 논하기로 한다.

II. Contact 평탄화 기술

1. Conformal CVD : Blanket-W

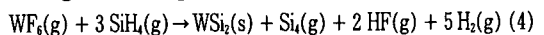
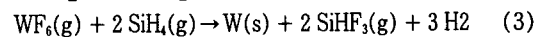
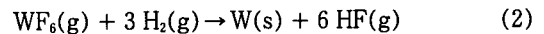
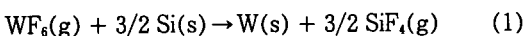
단차 피복성이 conformal한 것을 이용하여 contact을 매몰시키는 방법으로서 W을 이용할 경우 고융점 금속이 갖는 특징인 강한 electromigration이나 stress-migration 내성을 활용할 수 있다. 그러나 고저항, 저반사율, 밀착층의 재료 및 형성법등의 문제가 있다. W막은 SiO₂에 대한 밀착성(adhesion)이 결여된 재료이기 때문에 blanket-W의 경우 밀착층을 형성시켜야 하므로 전극 구조는 예를 들면 W/TiN/TiSi₂가 되며, polishing^[8]

표 1. Contact 평탄화 (contact hole매몰) 기술^[1]

TECHNIQUES		SCHEMATIC CROSS SECTIONS	ADVANTAGES	PROBLEMS
conformal deposition	CVD		simple familiar process	film quality
material deformation	bias sputtering	resputtering 	conventional process except for modification of sputtering system	low deposition rate limit of applicable aspect ratio
		migration 		
	laser irradiation 	relatively simple	controllability film quality	
selective deposition	CVD		well investigated	not for different depth
	epitaxial growth		established apparatus	not for both n and p layers at the same time
	plating		applied to other fields	process compatibility
combined process	lift-off 	combination of conventional techniques	complicated controllability	
	pillar 			
material modification	anodic oxidation 	modification	simple	controllability
	ion implantation		not need of hole formation	dielectric quality

또는 chemical etchback^[9]을 실시하여 contact 내 plug 를 형성시킨 후 배선은 저저항인 Al으로 사용하는 적층 구조 배선^[10]이 검토되고 있고, SiH₂F₂^[11]등의 환원 반응을 이용하여 낮은 stress를 갖는 W 배선을 이용하기도 한다. Blanket-W 공정의 중요점은 barrier metal의 선택과 그에 따른 핵 생성(nucleation) 조건, contact hole 내부에 void(key hole)이 생기지 않는 W의 매몰 조건과 W etching이 용이한 표면의 평탄성을 들 수 있다.

W는 비등점이 낮아 상온에서 취급이 용이한 WF₆를 source gas로 한 반응계가 널리 이용되고 있다. WF₆와 의 반응계에서는 SiH₄ > Si > H₂의 순서로 환원반응이 일어나며 대표적인 반응은 다음과 같다.



(1)~(3) 식은 W의 선택성장 및 blanket 성장에 관한 반응을 나타내며, (4)식은 bit-line 및 gate에 이용되는 WSi₂의 생성반응을 나타낸다. 일반적으로 WF₆에 대하여 SiH₄ 유량을 작게 하고, 성장온도를 낮추면 선택성장이 일어나기 쉽고 막 중의 Si 성분도 작게 된다. 막 중의 Si은 SiH₄ 유량을 증가시키에 따라 증가하여 WF₆에 대하여 SiH₄의 유량이 100배 정도가 되면 WSi₂의 조성이 된다. 이때 SiH₄의 유량을 작게 함에 따라 고순도의 W이 석출된다. W의 선택 성장과 blanket 성장의 경계는 성장압력, 성장온도, 절연막의 종류에 따라

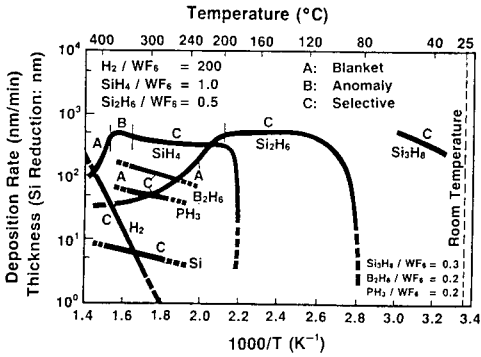


그림 1. H₂와 silane gas에서의 W의 성장 영역과 성장 속도^[12]

변하는데 그 경계에 대한 일 예^[12]를 그림 1에 나타내었다.

Blanket-W를 이용하여 contact plug를 형성시킬 경우 chemical-mechanical polishing^[8], chemical etchback^[9], micro loading effect를 줄이기 위해 희생층(protective sacrificial layer)를 이용한 복합막 etchback^[13] 등으로 분류할 수 있다. 그림 2에 SiN stopper를 이용한 W etchback process^[14]를 나타내었으며 W plug를 적용한 결과를 그림 3에 나타내었다. Blanket-W 성장법에 의한 W plug 기술은 밀착층의 형성과 etchback 때문에 약간의 공정 증가를 초래하지만 전기적 특성은 양호하여 sub-micron device 대응의 실용화 기술이 되고 있다.

2. 선택 성장 : Selective-W, -Al

배선막 堆積전에 contact hole 內만을 매물, 평탄화하는 선택 성장법으로는 현재 W, Al 및 Cu 등이 연구되

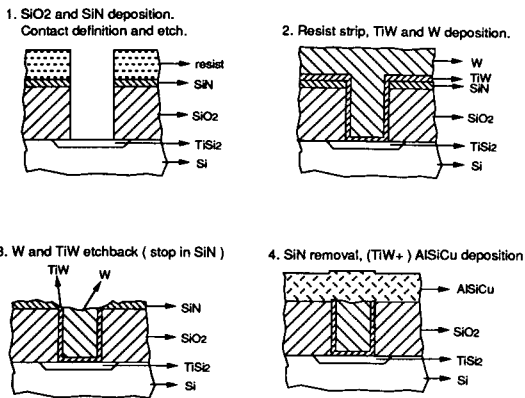


그림 2. SiN stopper를 이용한 blanket-etchback 공정의 순서도^[14]

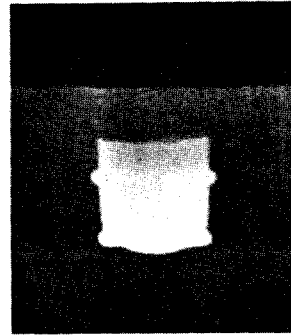


그림 3. Etchback process에 의한 W plug를 적용한 사진

고 있고 선택 성장과 blanket 성장은 앞에서 논한 바와 같이 공정 변수에 따라 결정되는데 선택 성장에 있어서 가장 중요한 것은 下地의 材質로서 이들의 표면의 상태가 서로 다름에 따라 막의 퇴적 속도가 현저히 다른 현상을 이용하여 contact hole을 매물하거나 pattern을 성장시켜 배선으로 사용하기도 한다.

선택 CVD-W 공정에 사용되는 WF₆의 환원반응으로 (1)~(3)과 같지만 Si 환원반응을 퇴적 초기에 이용할 경우 encroachment라 불리는 절연막과 기판 Si 계면에서의 침식 반응이 발생하여 접합의 누설 전류가 생긴다. Si 환원반응에서는 W막이 어느 정도 일정한 막 두께에 달하면 반응진행이 막 중에서 반응 gas의 확산과정 limit로 되기 때문에 성장이 중지된다. 이후 막 형성을 계속하기 위해 H₂ 환원반응으로 대체되는데 이 반응에서는 표면 반응 limit 즉, W 표면에서의 H₂ 흡착 해리 과정 limit로 된다. 여기에서 문제가 되는 것은 worm hole이라 불리는 기판 Si의 damage로서 끝에 W이 석출된 길이 수 천Å에 달하는 空洞으로 접합 계면의 파괴를 초래할 수 있다. 수소 환원법은 형성 속도가 느리기 때문에 450°C 이상의 고온에서 형성시켜야 하며, 막 표면이 거칠어지는데 10Torr 이상의 고압력에

서 W 막을 형성시킬 경우^[15] 빠른 형성 온도와 막 표면이 평탄해 진다고 보고되었다. Silane 환원반응에서는 wafer 표면에서의 解離에 의해 SiH₄는 Si를 생성하고 이 Si이 해리된 WF₆와 반응하는 공급 반응 limit로서 SiH₄ 환원반응을 적절히 조합한 multi-step W의 선택 성장은 blanket 성장법에 비하여 plug 형성에 따른 증가 공정이 적기 때문에 Si 기판상의 contact hole 뿐 아니라 via hole 매몰에도 검토되고 있다. 그림 4는 contact hole에 W를 선택 성장시킨 일례를 나타낸다.

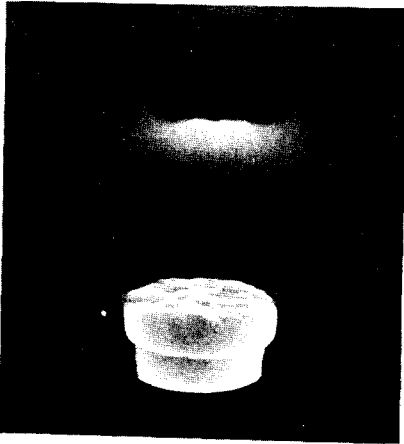


그림 4. W 선택 성장에 의한 contact hole 매몰 사진

Al의 선택성장은 대개 TIBA[Al(iC₄H₉)₃]^[6], DMAH [(CH₃)₂AlH]^[6] 등의 metalorganic source를 이용하고 있으며 W에 비하여 stress와 비저항이 낮고, Al 배선과 선택 성장된 Al과의 친화성이 높고, 반응 부생성물(by-product) 문제가 생기지 않는다는 유리한 점이 있다. Al CVD 기술은 선택/비선택 성장제어에 의한 contact hole의 완전 평탄화 퇴적^[17] 이외에 단결정 선택 성장^[16]이 가능하다. 일반적으로 Al 선택 성장은 고온에서 장시간 퇴적시키므로 SiO₂ 위에서도 핵이 생성되어 선택성이 떨어지는 문제점이 있으므로 고온선택 성장 process에서 가장 중요한 것은 wafer 표면의 cleaning 처리 기술이며 선택 성장의 기구(mechanism) 이해 역시 과제로 남아 있다.

Cu의 선택 CVD는 약 300°C~350°C에서 수소환원을 이용한 열분해에 의해 퇴적이 가능한데 재료로는 고체의 승화성 재료인 Cu(HFA)₂ [Cu(C₃HF₆O₂)₂]^[18]가 이용되고 있으나 실용의 관점에서 Cu의 미세 가공성, 기판에의 밀착성, 절연막과 기판 Si중의 확산, 산화 및 부식, 성장 속도의 저하등의 문제가 있다. 미세 RIE(re-

active ion etching)에 대해서는 250°C~280°C 정도의 고온 RIE^[19]로, 하지 절연막과의 밀착성은 Cu 적층배선으로, 확산 barrier막은 TiN, Ta, P-SiN 막 등을 이용하여 기본적인 문제점을 해결함으로써 Al보다 저저항이며 우수한 migration 내성을 갖는 장래의 배선재료 검토되고 있다. 최근 액체 source로서 100°C에서 약 5 Torr로 증기압이 높은 성질을 갖는 Cupra select : Cu⁺(HFA)TMVS^[20]가 개발되어 퇴적 뿐 아니라 퇴적의 역반응인 선택 Cu etch도 가능하게 되었다.

3. Al Bias/고온 스퍼터링법 및 Laser Reflow

Sputter 기술에서의 최대 기술과제는 막질 및 신뢰성을 열화시키지 않고 coverage율을 향상시켜 contact hole 및 via hole 매몰 특성을 확보하는 것이다. Sputtering에 의해 Al 배선을 형성시킬 경우 shadowing 효과로 인하여 aspect-ratio가 높은 contact hole에 대해서는 충분한 단차 피복성 확보가 어려울 뿐 아니라 stack형 capacitor가 적용된 DRAM에 있어서는 device 구조의 3차원화에 의해 0.5μm 정도의 contact hole에서는 aspect-ratio가 2 이상 되어 피복을 저하로 인한 문제가 발생된다. 그러나 Al 스퍼터링법은 contact hole 매몰과 동시에 저저항의 배선 형성이 가능하므로 sputter 堆積 후 in-situ 열처리^[2], 고온 스퍼터링^[3], 스퍼터링시 metal flow 발생^[4], laser reflow^[5], 高磁場(2B) mode ECR sputter^[6], bias 스퍼터링법^[21] 등이 활발히 연구되고 있다.

Y.Homma등^[21]은 RF bias를 이용하여 via 매립을 행하였는데 bias 스퍼터링법은 방향성 etching (resputtering이라 칭함)과 sputter 퇴적의 작용을 이용하여 contact 평탄화하는 방법으로서 contact hole에서의 step-coverage 특성 개선책으로 주목을 받았다. DC bias에서도 같은 효과가 얻어지지만 Al과 같은 저용점, 반응성이 강한 재료에서는 Ar ion이 고 bias 전압으로 충격(ion bombardment)을 주어 용융상태에 가까운 온도로 증착되므로 막질의 열화 뿐 아니라 膜内の Ar 함량이 증가하여 배선의 신뢰성 저하를 초래한다. Bias 인가한 Al^[22]은 전류 밀도 $J = 1 \times 10^5$ A/cm²에서 MTF(median time to failure : electromigration 耐性的指數)가 153 시간으로 bias를 가하지 않은 상태의 스퍼터링 경우가 $J = 1.3 \times 10^6$ A/cm²에서 2100 시간인 것에 비하면 매우 나쁜 것을 알 수 있다. 또한 bias 스퍼터링의 경우 resputtering에 의한 증착 속도의 저하, 표면의 roughness에 따른 반사도 저하로 인하여 후속 사진 공정(lithography)에 어려움이 발생하는 것 이외

에도 hot electron trap에 의한 문턱전압(threshold voltage : V_{TH})의 shift가 커지는 등의 문제가 발생하므로 高 ion 전류, 低 bias 인가 조건에서 ion의 충격을 주어 증착시 Al 원자의 표면 이동도를 증대시키는 방법이 시도되고 있다.

Al을 평탄화하는 방법으로 이용되는 고온 스퍼터링^[23]은 최근 들어 활발히 연구되고 있는데 bias 스퍼터링에 의해 열화되는 electromigration 특성을 고온 sputtering으로 보강하는 고온 bias 스퍼터링법^[24]이 시도된 바도 있다. Al의 용융점은 660°C로서 Si이 첨가됨에 따라 eutectic 온도는 577°C, Cu의 경우 548°C로 낮아지게 되는데, Al-1% Si을 500°C 이상의 온도에서 스퍼터링할 경우 Al 막의 stress relaxation이 일어나^[25] contact hole이 매몰이 얻어지며 이때 Al 원자의 이동도(atomic mobility)가 증가하여 bulk diffusion, grain growth 및 재결정화(recrystallization)가 이루어 진다. 따라서 grain 이상성장으로 표면이 rough해 짐에 따라 Al 막의 반사도가 낮아져 사진 공정에서 align이 안되는 어려움이 있으며, stress-migration으로 인한 배선의 단선율은 증착 온도에 따라 증가하므로 고온 스퍼터링은 열등한 stress-migration 내성이 가장 큰 문제이다. 또한 고온 스퍼터링은 대개 500°C 이상의 온도이므로 우수한 장벽층(diffusion barrier)이 필요 조건이다. Al 고온 스퍼터링 특성은 하지막의 재질 및 형성 방법에 따라 개선 가능한 데 Ti 증착 후 Al을 고온 스퍼터링하여 높은 aspect-ratio의 contact hole 매몰이 가능함을 밝혔다^[26]. 그러나 Al과 하지막의 Ti이 반응하여 Al_3Ti 의 화합물이 형성되며, 이 화합물의 형성시 Si의 고용도(solubility)가 증가하여 Si 기판에 spiking 현상이

발생하므로 집합의 파괴 또는 누설 전류를 증가시키기도 한다. 그러나 contact 및 via hole에서의 단차 피복률은 증가되므로 electromigration 특성은 현저히 개선된다(그림 5). Al-Ge 합금의 eutectic 온도는 424°C로서 스퍼터링시 metal flow 발생^[4]을 이용하여 300°C에서 스퍼터링하여 aspect ratio 4 이상의 deep contact hole을 매몰시키는 방법도 개발되었으나 0.1 μ m/분 정도의 증착 속도, electromigration 특성의 열화 및 낮은 eutectic 온도등으로 적용에는 다소 곤란한 점이 있다.

Laser reflow에 의한 평탄화는 laser beam 조사(irradiation)에 의해 용융된 금속이 mass transport 되어 이루어 진다. Al의 경우 흡수계수가 높은 ArF excimer laser를 이용하는데 이때 Al의 melt가 없도록 laser의 pulse 폭을 작게(15ns)하고, Al 막위에 반사율이 낮고 열전도도가 높은 금속막(예를 들면 Cu나 Ti)을 coating하여 laser beam의 반사량을 저감시켜 용융 면적을 증대시키는 방법을 사용하기도 하곤 한다.

R.Mukai^[27]는 XeCl excimer laser를 이용한 Ti의 via hole의 매몰을 발표하였는데 금속의 양이 충분하지 않거나, via 측벽에 있는 금속이 용융되지 않을 경우 용융된 금속이 그 경계에서 pinning되어 void가 발생하므로 laser reflow에서는 완전 용융이 필수적이고, void의 생성 기구는 surface tension force에 의해 용융 금속의 mass transport가 멈춰지는 것으로 알려져 있다. 이러한 laser reflow는 pulse beam이 중첩(overal)되는 부위에서의 증발(abration), 용융금속의 냉각시에 발생하는 재결정화 및 석출 현상과 이에 따른 금속 표면의 roughness 불량, 용융점 이상으로 laser beam을 조사하므로 장벽층의 열화, 기판 및 하지막의 손상등의 문제점이 있다.

4. Al Sputter 퇴적 후 In-situ 열처리^[2]

Grain 표면의 원자는 이웃 원자가 존재하지 않는 broken-bond를 갖기 때문에 이러한 원자에 의해 표면 자유 에너지(surface free energy)가 생기고 이동의 자유도(freedom of movement)가 bulk에 비하여 더 많으므로 bulk에 비해 excess internal energy를 갖는데 다 결정(polycrystalline) 상태의 금속을 0.5 T_m (T_m : 용융점) 이상으로 열처리할 경우 금속 원자의 이동도 증가에 의해 grain boundary의 migration이 일어난다. Al막을 대기에 노출시킬 경우 Al 표면이 산화되므로 고온에서 열처리하더라도 전혀 migration 현상이 일어나지 않는데 이때 생성된 Al_2O_3 의 용융점이 2045°C의 고온이므로 process중에 산화막이 생기지 않도록 하는

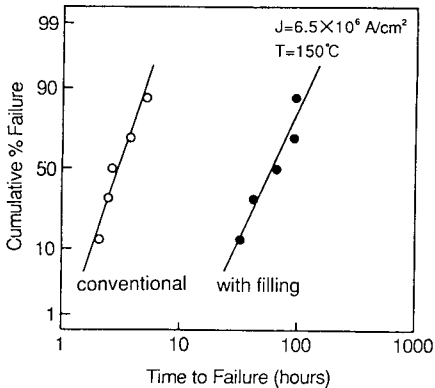


그림 5. Via hole 매몰 유무에 따른 electromigration 특성 비교^[26]

것이 중요하다. 이러한 migration 현상은 500°C 이상의 온도에서 현저히 증가하는데 저온에서 Al을 증착하고 in-situ로 열처리할 경우 sub-micron 및 half-micron contact hole 매몰이 가능할 뿐 아니라 고온 스퍼터링과 달리 높은 반사율을 지니며, stress-migration 내성이 뛰어난 특징^[28]을 지니므로 contact hole 매몰과 동시에 배선으로 활용할 수 있어 매우 유망한 contact hole 매몰기술로 주목을 받고 있다. 그림 6은 in-situ 열처리 공정에 의해 contact hole을 매몰시킨 사진이며 stress-migration 내성을 그림 7에 나타내었다.

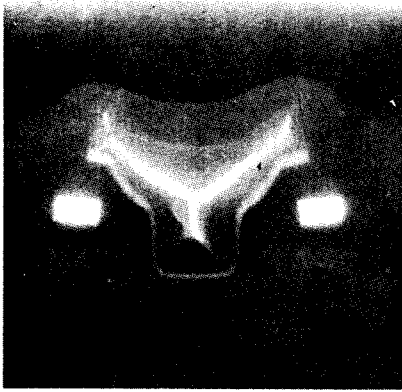


그림 6. Al 저온 퇴적후 in-situ 열처리에 의한 contact hole 매몰 사진

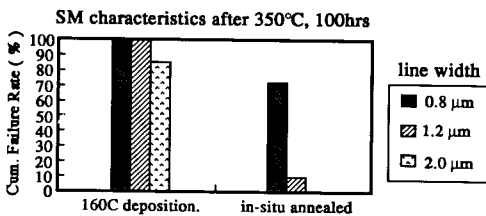


그림 7. In-situ 열처리와 conventional 스퍼터링된 Al 배선의 stress migration 내성 비교 test^[28]

III. 맺 음 말

Sub-micron contact의 평탄화(=contact 매몰) 기술은 device의 수율(yield), 신뢰성을 좌우하는 主要因으로서 PVD의 sputter 기술과 metal CVD 기술이 개발되고 있고 PVD 장치는 sputter 장치내의 불순물(residual gas)을 줄이기 위한 10^{-9} – 10^{-10} Torr 정도

의 UHV(ultra high vacuum), 수직 입사 성분을 증가시키기 위해 1m Torr이하에서 스퍼터링이 가능한 low pressure sputter 장치 및 연속 진행이 가능하도록 진공 중의 반송기술 등이 발전되고 있다. Metal-CVD 장치에서는 양산 line에서 사용 가능한 CVD 장치의 완성뿐 아니라 process 측면에서의 재현성, 신뢰성에서 breakthrough가 요구되고 있다. 향후 256M DRAM급 device에서는 contact 매몰 뿐만 아니라 barrier metal 형성과 접촉저항 감소, 표면의 clean化 및 원자층 level의 제어 등이 가장 중요한 과제로 등장하게 될 것이다.

參 考 文 獻

- [1] H.Kotani, Ext. Abst. 20th Int'l SSDM Conf., p. 565, 1988.
- [2] C.S.Park, S.I.Lee, J.H.Park, J.H.Sohn, D.Chin and J.G.Lee, Proc. 8th Int'l IEEE VMIC Conf., p.326, 1991.
- [3] M.Inoue, K.Hashizume and H.Tsuchikawa, J. Vac. Sci. Tech., A6(3), p.1636, 1988.
- [4] K.Kikuta, T.Kikkawa and M.Aoki, Proc. 8th Int'l IEEE VMIC Conf., p.163, 1991.
- [5] R.Mukai, M.Iizuka, H.Kudo and M.Nakano, Proc. 8th Int'l IEEE VMIC Conf., p.192, 1991.
- [6] S.Takehiro, N.Yamanaka, A.Narai, H.Shindo, S.Shingubara and Y.Horiike, Ext. Abst. 23th Int'l SSDM Conf., p.129,1991.
- [7] R.V.Joshi et al., *Tungsten and Other Advanced Metals for VLSI/ULSI Applications*, MRS, PA, USA, p.157, 1989.
- [8] C.W.Kaanta et al., Proc. 8th Int'l IEEE VMIC Conf., p.144, 1991.
- [9] C.Kaanta, W.Cote, J.Cronin, K.Holland, P.Lee and T.Wright, Proc. 5th Int'l IEEE VMIC Conf., p.21, 1988.
- [10] Y.Takata et al., Proc. 8th Int'l IEEE VMIC Conf., p.13, 1991.
- [11] H.Goto, N.Kobayashi and Y.Homma, Ext. Abst. 51th JSAP Meeting, p.669, 1990.
- [12] T.Ohba, Application of Tungsten materials for ULSI TechnologyⅢ, 1991.
- [13] E.Bertagnolli, C.Wieczorek, J.Berthold, W.

Rosner, B.Hoffman and H.Schaber, 5th Int'l IEEE VMIC Conf., p.324, 1988.

[14] J.M.F.G.van Laarhoven, H.J.W.van Houtum and L.de Bruin, Proc. 6th Int'l IEEE VMIC Conf., p.129, 1988.

[15] R.V.Joshi et al., *Tungsten and Other Advanced Metals for VLSI/ULSI Applications V*, MRS, PA, USA, p.157, 1989.

[16] K.Tsubouchi et al., Symp. VLSI Tech. Dig. Tech. Papers, p.5, 1990.

[17] K.Tsubouchi, K.Masu, N.Shigeeda, T.Matano, Y.Hiura and N.Mikoshiba, Appl. Phys. Lett., 57, p.1221, 1990.

[18] N.Awaya and Y.Arita, Symp. VLSI Tech. Dig. Tech., Papers, p.103, 1989.

[19] K.Ohno, M.Sato and Y.Arita, Ext. Abst. 21th Int'l SSDM Conf., p.157, 1989.

[20] J.A.T.Norman, B.A.Muratore, P.N.Dyer, D.A. Roberts and A.K.Hochberg, Proc. 8th Int'l IEEE VMIC Conf., p.123, 1991.

[21] Y.Homma and S.Tsunekawa, J. Electrochem. Soc., V123, p.1446, 1985.

[22] M.J.Kim, D.W.Skelly and D.M.Brown, Proc. 25th IRPS, p.126, 1987.


[23] M.Inoue et al., J. Vac. Sci. Technol., A6(3), p.1636, 1988.

[24] T.Hariu, Ext. Abst. 35th JSAP Meeting, p. 641, 1988.

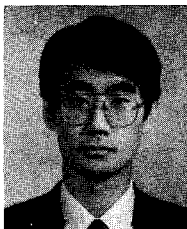
[25] H.Ono, Y.Ushiku, T.Yoda, Proc. 7th Int'l IEEE VMIC Conf., p.76, 1990.

[26] H.Nishimura, T.Yamada, S.Ogawa, Proc. 8th Int'l IEEE VMIC Conf., p.170, 1991.

[27] R.Mukai, R.Iizuka, H.Kudo and M.Nakano, Proc. 8th Int'l IEEE VMIC Conf., p.192, 1991.

[28] J.H.Park, C.S.Park, J.H.Chung, S.I.Lee, J.K. Lee and J.G.Lee, 1st Int'l Workshop on Stress Induced Phenomena in Metallization at Cornell Univ., p.23, Sep. 11 - 13, 1991. 

筆者紹介



李相忍

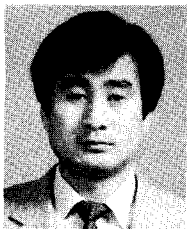
1958年 2月 15日生

1982年 2月 서강대학교 전자공학과 졸업

1985年 2月 한국과학기술원 재료공학과(석사)

1989年 8月 한국과학기술원 재료공학과(박사)

1989年 11月 ~ 현재 삼성전자(주) 반도체부문 기반기술센터
 주관심분야: Barrier metal 및 contact filling technology,
 Metal 신뢰성 분야(electromigration/stress-migration)



李貞圭

1952年 5月 9日生

1979年 9月 고려대학교 재료공학(학사)

1982年 2月 고려대 대학원 재료공학(석사)

1987年 2月 고려대 대학원 재료공학(박사)

1982年 6月 ~ 현재 삼성전자(주) 기반기술센터
 주관심분야: 반도체 제조 공정중 thin film 공정개발 분야