

열처리 조건이 실리콘 기판위의 Ta₂O₅ 박막에 미치는 영향

朴 星 昱, 白 鎔 求

現代電子産業(株) 半導體研究所

Ta₂O₅/Si 계면에서 SiO₂ 층이 dry O₂ 및 N₂ 분위기에서 열처리에 의해 형성되며 열처리 온도가 증가할수록 이층의 두께가 증가한다. Dry O₂ 및 N₂에서 열처리할 때 얇은 Ta₂O₅ 박막(40nm 이하)의 누설전류는 열처리 온도가 증가함에 따라 감소한다. 유전상수 vs 열처리 온도 관계에서 750°C 또는 800°C에서 Ta₂O₅ 박막의 결정화에 따른 최대값을 보여주며, 이러한 결정화에 의한 유전상수 증가 효과는 두꺼운 Ta₂O₅ 박막에서 현저히 나타난다. 그러나 고온에서 열처리하면 계면에서 SiO₂ 층의 형성과 성장때문에 유전상수는 감소한다. Al/Ta₂O₅/Si MIS capacitor의 stress에 따른 flat band voltage와 gate voltage instability는 열처리에 의해서 형성된 계면 SiO₂ 성장으로 설명할 수 있다. 열처리 조건의 함수로서 Ta₂O₅ 박막의 전기적 특성은 Ta₂O₅ 박막형성 방법에 관계없이 Ta₂O₅ 박막 두께에 강하게 의존한다.

I. 서 론

DRAM(dynamic random access memory) 소자가 고집적화 되고, 크기가 작아짐에 따라 충전 전극의 면적은 감소하게 된다. DRAM의 작동에 있어서 soft error 등을 방지하기 위해 충분히 큰 충전 용량이 확보되어야 하고 이것은 SiO₂와 Si₃N₄와 같은 일반적인 절연막의 두께 감소가 요구된다. 그러나 일반적인 절연막은 앞으로의 VLSI 회로에서 물리적 두께 한계에 직면하게 될 것이다. 따라서 고유전상수를 갖는 새로운 절연막의 요구가 최근에 증가되고 있다. 이러한 새로운 절연막들 중에 tantalum pentoxide(Ta₂O₅)은 20 이상

의 높은 유전상수와 소자에 적용 가능한 파괴전계 특성 때문에 상당한 관심을 받고 있다.

이미 여러 논문^[1-3]에서 여러 방법으로 성장시킨 Ta₂O₅ 박막의 전기적 특성을 보고하고 있다. Ta₂O₅ 박막은 비정질 상태에서 뛰어난 전기적 특성을 보이고 있으나 700°C 이상의 온도에서 결정화되고 일반적인 silicon gate process에 적합치 않은 누설전류^[4-6]를 갖는 것으로 보고 되었다. 최근에 높은 온도에서 열처리된 Ta₂O₅ 박막의 전기적 성질에 대한 연구가 되고 있지만^[7,8] 만족할 만한 특성을 아직까지 얻고 있지 못하고 있다.

본 고에서는 고온의 O₂와 N₂ 분위기에서 열처리된 Ta₂O₅ 박막의 물리적, 전기적 특성을 연구하였다.

II. 실험 방법

Ta₂O₅ 박막은 화학적으로 세정된 Si wafer에 두가지의 방법으로 증착하였다. (1) DC magnetron sputtering에 의해 증착된 tantalum 박막의 열산화법, (2) 470°C에서 tantalum ethylate (Ta(C₂H₅O)₅)와 O₂를 반응원료로 사용하는 저압 화학 기상 증착법(LPCVD). Ta₂O₅ 박막은 dry O₂와 N₂의 분위기에서 700°C에서 950°C까지의 온도범위에서 열처리 하였다. 박막의 두께는 ellipsometer를 사용하여 측정하였으며 열산화된 막은 19nm, 35nm이었고, LPCVD 박막은 34nm이었다. 이들 박막의 물성과 미세구조 특성은 secondary ion mass spectrometry(SIMS), auger electron spectroscopy(AES)와 fourier transform infrared(FTIR)의 분석기술을 사용하여 조사하였다. 전기적 특성을 조사하

기 위해 aluminum을 전극으로 하는 metal-insulator-semiconductor(MIS) capacitor를 lithography와 wet etching을 하여 형성하였다. Al전극의 면적은 $3.14 \times 10^{-4} \text{cm}^2$ 이다. Silicon 기판 뒷면의 산화막층은 HF용액을 사용해 제거하였다. 그리고 N_2 분위기에서 20분간 350°C post-metallization 열처리를 한 후, 전류전압(I-V) 특성과 고주파수(1 MHz) 정전량-전압 특성을 측정하였다.

III. 결과 및 고찰

1. 물리적 특성

그림 1은 silicon 기판 위의 Ta_2O_5 박막에 대한 secondary ion mass spectrometry(SIMS)의 depth profile을 보여준다. 그림에서의 실선은 sputter로 증착시킨 Ta를 dry O_2 분위기에서 500°C 로 1시간 산화시켜 준비한 19nm 두께의 시편이다. 점선은 위와 같이 준비한 시편을 dry O_2 분위기로 950°C 에서 20분간 열처리 한 시편이다.

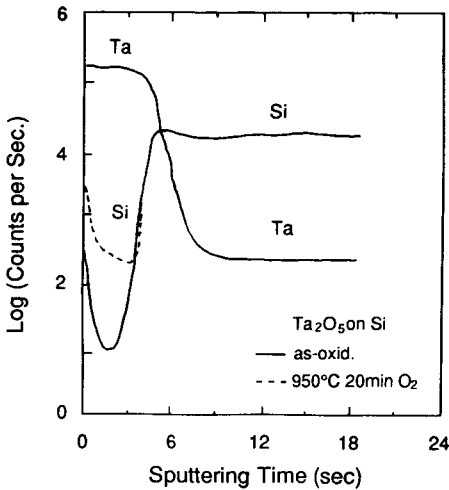


그림 1. 열산화 Ta_2O_5 박막 및 20분간 900°C 열처리 후의 SIMS depth profiles

여기에서 열처리된 시편이 산화된 것보다 Ta_2O_5 박막 내에서 Si의 농도가 높은 것을 보여주고 있다. 이는 높은 온도에서 열처리하는 동안 silicon 기판으로부터 Si atom이 Ta_2O_5 박막내로 확산해 들어가는 것을 알 수 있다.

Ta_2O_5 박막의 결정화는 X-ray diffraction 방법으로 조사하였다. X-ray diffraction pattern에서 diffraction peak가 산화된 박막과 700°C 에 열처리된 박막에서는 나타나지 않고 있으며, 이는 이들 박막이 비정질임을 말해주고 있다. Ta_2O_5 박막의 결정화로 인한 diffraction peak는 750°C 이상에서 열처리된 시편에서만 나타난다.

열처리 온도에 따른 Ta_2O_5 박막의 fourier transform infrared(FTIR) absorbance의 변화는 그림 2에 보여주고 있다. 비정질 구조를 갖고 있는 열산화된 시편에 있어서는 635cm^{-1} 에서 prominent peak가 관찰된다. 520cm^{-1} 에서의 peak는 950°C 에서 열처리된 시편에서 나타난다. 635cm^{-1} 또는 520cm^{-1} 에서 absorbance 크기는 열처리 온도가 증가함에 따라 증가하고 있는 것을 알 수 있다. 이는 Ta-O 결합수가 증가하고 있음을 의미한다. 750°C 이상에서 열처리한 시편에서는 SiO_2 의 Si-O bond의 stretching motion에 의해서 나타나는 1070cm^{-1} peak도 관찰된다. 그리고 1070cm^{-1} peak도 온도가 증가하면 그 크기가 커진다.

이 결과로부터 열처리 온도가 증가할수록 계면 SiO_2 의 두께가 두꺼워짐을 알 수 있다. N_2 분위기에서도 똑같은 결과가 나타난다. 다만 1070cm^{-1} peak의 크기가 O_2 열처리 경우보다 작아진다. O_2 혹은 N_2 분위기에서 열처리한 $\text{Ta}_2\text{O}_5/\text{Si}$ 계면에서 관찰되는 Si(78eV)의 약한 auger peak에 의해서도 계면 SiO_2 의 존재를 확인할 수 있었다. SiO_2 의 형성은 외부의 O_2 가 Ta_2O_5 를 뚫고 확산하여 계면에서 산화반응을 일으켰거나 Ta_2O_5

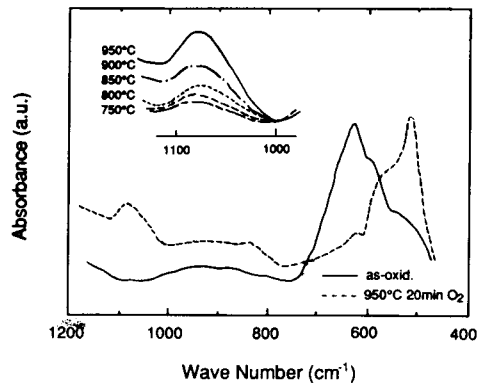


그림 2. 19nm두께의 열산화 Ta_2O_5 박막 및 O_2 분위기로 20분간 고온 열처리 후의 FTIR spectra

와 Si의 반응에 의한 결과일 것으로 사료된다. 계면 SiO₂의 형성을 확인하기 위해 확산 방지용으로 Si₃N₄ 7nm를 증착한 후 Ta₂O₅ 36nm를 그 위에 증착시키고 950°C에서 O₂ 혹은 N₂ 분위기에서 열처리를 실시하였다. 이 경우 1070cm⁻¹ peak가 없었으며 따라서 O₂의 확산 혹은 Ta₂O₅/Si 반응의 barrier 막인 Si₃N₄가 존재하므로써 SiO₂ 막이 형성되지 않았다는 결론을 얻을 수 있다.

19nm 두께의 Ta₂O₅ 막의 굴절률을 그림 3에 열처리 온도의 함수로 나타내었다. 굴절률은 750°C에서 급격히 증가하였다가 그 이상 온도에서는 거의 일정한 값을 보였다. 이는 열처리동안 Ta₂O₅의 결정화와 연관된 것으로 보이며 비정질과 결정 Ta₂O₅의 미세구조 차이에 의해서 Ta₂O₅의 polarizability 특성이 달라진 결과로 사료된다.

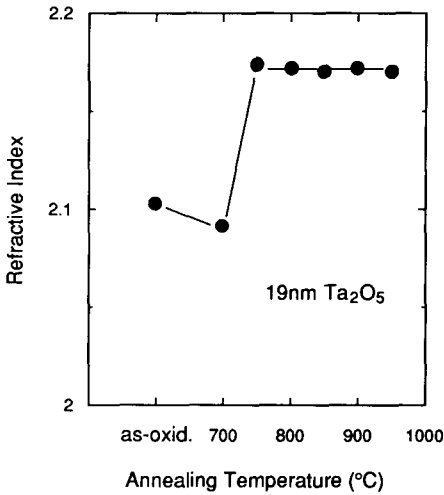


그림 3. 열처리 온도에 대한 19nm 두께 Ta₂O₅ 박막의 굴절률

2. 전기전도 특성

Ta₂O₅ 막의 누설전류는 wafer를 dark box에 넣고 vacuum chuck 위에 올려 놓은 상태에서 측정했다. Al/Ta₂O₅/p-Si capacitor의 위 전극 Al에 부전계를 인가하여 p-Si 기판의 표면에 accumulation이 일어난 상태로 측정이 이루어졌다. 그림 4에 O₂ 혹은 N₂ 분위기의 여러 온도에서 열처리한 19nm 두께의 Ta₂O₅에서 측정된 I-V 특성을 나타내었다. 열처리온도가 증가함에 따

라 누설전류가 감소하였고 I-V 곡선의 곡률은 열처리 분위기에서 관계없이 열처리온도가 증가함에 따라 변했다. 열산화로 형성한 35nm 두께의 Ta₂O₅ 막과 LPCVD에 의해 증착된 Ta₂O₅ 막에서 같은 경향을 볼 수 있었으며 O₂에서 열처리한 시편에서의 누설전류 감소가 N₂에서 열처리한 시편 경우보다 컸다. 결정화된 막의 누설전류가 감소하는 것은 다른 연구자가 발표한 결과와 상반되는 결과이다.^[4-6] 열처리 공정 후 누설전류가 감소하는 것은 Ta₂O₅/Si 계면에 생긴 SiO₂ 막과 미세구조 향상에 의한 broken bond, 산소 vacancy 따위의 결합 감소와 밀접한 관계가 있을 것이다.

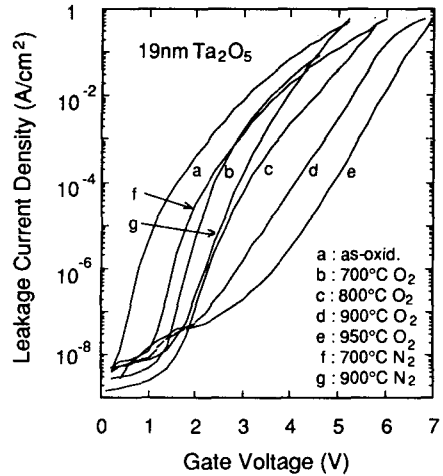


그림 4. O₂, N₂ 분위기로 고온 열처리된 19nm 두께 Ta₂O₅ 박막의 Al/Ta₂O₅/p-Si capacitor에서 I-V 특성

3. 유전 특성

그림 5에 여러 조건에서 열처리한 Al/19nm Ta₂O₅/P-Si capacitor의 1 MHz에서의 C-V 곡선을 나타내었다. Flat band voltage, V_{fb}는 열처리 분위기에 관계없이 열산화된 시편과 비교하여 음의 방향으로 이동되었다. 이는 Ta₂O₅내에 존재하는 net charge가 Ta₂O₅ 내 산소 결핍의 감소 뿐만 아니라 미세구조 변화에 의해서도 감소됨을 보여준다. 앞에서도 언급한 바와 같이 미세구조 변화는 FTIR에 의해서도 관찰된 것처럼 결정화나 비정질구조의 short range order 향상으로 나타난다.

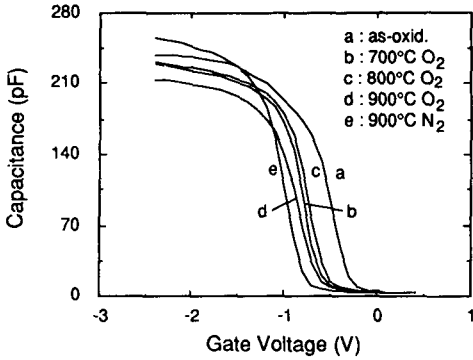


그림 5. 여러 조건으로 열처리된 19nm 두께 Ta₂O₅ 박막의 Al/Ta₂O₅/p-Si capacitor에서 C-V 특성

Ta₂O₅ 막의 유전상수는 1 MHz에서 측정된 accumulation capacitance 값, MIS capacitor의 알려진 Al 전극 면적 및 ellipsometer로 측정된 산화막 두께로부터 계산하였다. 그림 6에 열처리 온도에 따른 Ta₂O₅ 막의 유전상수를 나타내었다. 750°C에서 열처리한 19nm 두께의 Ta₂O₅막의 유효 유전상수는 열산화 혹은 700°C에서 열처리한 시편에 비해 약간 크다. 이 결과는 결정질 막이 비정질막보다 큰 유전상수를 가지는 것을 암시한다. 그러나 800°C 이상으로 열처리 온도가 올라가면 유전상수는 감소하며 이 현상은 SIMS에서 관찰된 Ta₂O₅ 막 내 Si 농도의 증가와 계면 SiO₂ 증가에 의해 설명할

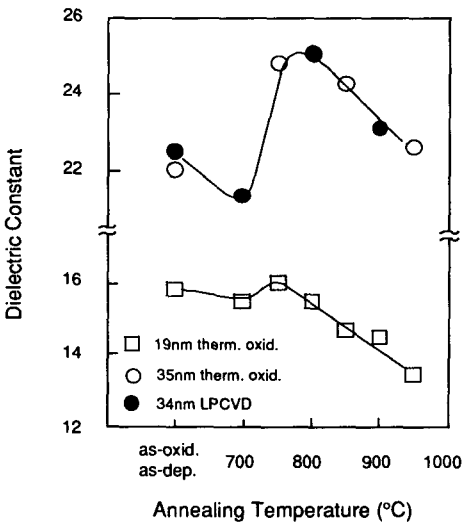


그림 6. 열처리 온도에 대한 Ta₂O₅박막의 유전상수

수 있다.

34nm 및 35nm 두께의 막에서는 유전상수가 19nm 두께막보다 컸으며 열처리 온도에 따른 유전상수 변화의 정도도 훨씬 심하였다.

4. Flat Band 전압 및 Gate 전압의 비안정성

19nm 두께 Ta₂O₅막 MIS capacitor의 일정 gate전압 하에서의 flat band voltage 변화를 그림 7에 나타내었다. Flat band voltage 변화는 다음과 같이 측정하였다. 우선 같은 wafer내 측정을 하지 않은 여러 pattern들의 V_{fb}를 측정하여 평균을 구했다. 이어서 일정 gate 전압(-4V)을 측정 안 한 capacitor에 1분간 인가한 후 곧 바로 C-V를 측정하여 그 차이에서 ΔV_{fb}를 결정하였다.

그림 7에 500nA(1.6mA/cm²)의 일정한 전류를 2초간 유지하는데 필요한 gate 전압 변화(ΔV_g)를 나타내었다. ΔV_g는 stress 전후 V_g간 차이로부터 구하였으며, 일단 한번 측정할 capacitor는 다시 사용하지 않았다. ΔV_g는 음극에 가까이 위치한 charge에 가장 민감하고 ΔV_{fb}는 주로 기판 Si과 insulator 사이 계면 근처 charge에 영향을 받는다고 알려져 있다.^[12]

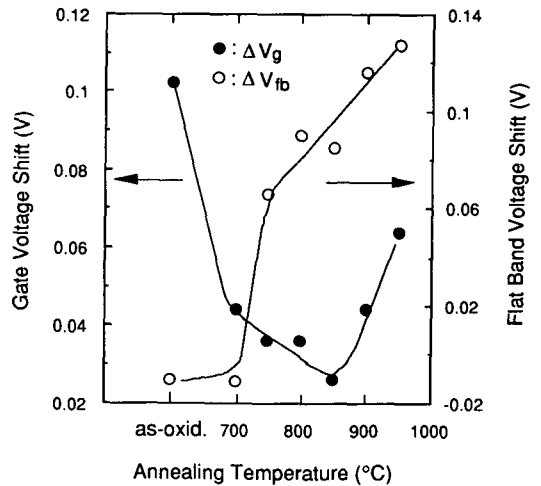


그림 7. 전기적 응력을 가한 Al/Ta₂O₅/p-Si capacitor에서 열처리 온도에 대한 flat band voltage 변화량 및 gate voltage 변화량

열처리 온도가 750°C를 초과하면 ΔV_{fb}는 급격히 증가하는데 이것은 음의 성질을 가진 charge가 Ta₂O₅내, Ta₂O₅/Si 계면, Ta₂O₅/SiO₂ 계면에 포획된 것을 의미한

다. 750°C 이상 온도에서 열처리한 시편의 ΔV_{fb} 증가는 계면 SiO₂의 증가에 의해 Ta₂O₅/SiO₂ 계면의 포획 charge 증가에 기인하는 것으로 사료된다. 34nm 두께의 LPCVD Ta₂O₅에서도 같은 경향을 볼 수 있었다. ΔV_g 는 850°C까지의 온도에서는 열처리 온도에 따라 급격히 감소하다고 850°C 이상에서는 열처리 온도가 증가하면 증가한다. 이로부터 850°C 이하 온도에서 바로 계면에 위치한 포획 charge는 ΔV_g 에 영향을 주지 못하며 산소 결핍이나 결함밀도의 감소가 ΔV_g 를 변화시키는 것으로 판단된다. 한편 900°C 이상에서 열처리한 시편에서는 계면에 형성된 SiO₂ 박막의 두께가 ΔV_g 를 증가시킬 수 있을 만큼 성장하였음을 알 수 있다.

IV. 결 론

Ta₂O₅/Si 계면에 SiO₂막이 형성되었음을 FTIR 분석을 통해 확인하였다. 그리고 SiO₂막은 O₂나 N₂ 열처리 분위기 모두에서 생기며 그 두께는 열처리 온도가 증가할수록 증가하였으며 O₂분위기에서 보다는 N₂ 분위기에서 그 두께는 적었다. 열산화된 19nm, 35nm 두께의 Ta₂O₅와 34nm 두께의 LPCVD Ta₂O₅ 모두의 누설전류는 O₂나 N₂ 열처리 분위기 모두에서 열처리 온도가 증가하면 감소하였다. 유전 상수 vs 열처리 온도 곡선에서는 750°C나 800°C에서 최고치를 보이며 이는 Ta₂O₅막의 결정화와 계면 SiO₂ 형성에 기인하는 것으로 생각된다.


이 현상은 두꺼운 Ta₂O₅막에서 심해진다. 일정 전압 stress를 인가하였을 때 Al/Ta₂O₅/Si capacitor의 flat band voltage는 열처리 온도가 증가함에 따라 양의 방향으로 증가하였다. 이는 Ta₂O₅내 혹은 Ta₂O₅/Si 계면에 net negative charge가 포획되며 열처리 온도가 증가하면 그 양도 증가된 결과이다.

CCST 측정에서 ΔV_g 는 850°C까지는 급격히 감소하다가 그 이상에서는 증가하였는데, 이 현상은 Ta₂O₅/Si 계면의 SiO₂막 성장과 열처리 중의 결함밀도의 변화에 의해서 설명할 수 있다. Ta₂O₅막의 전기적 특성을 열처리 조건의 함수로 나타내보면 Ta₂O₅의 제조방법에는 큰 영향을 받지 않지만 Ta₂O₅의 두께에 크게 좌우되었다.

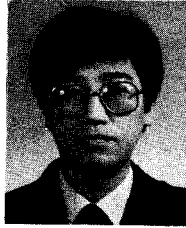
參 考 文 獻

[1] K. Yamagishi, Y. Tarui, "Photo-CVD of tanta-

lum oxide film from pantamethoxy tantalum for VLSI dynamic memories", *Japan. J. Appl. Phys.*, vol. 25, 306, 1981.

- [2] G.S. Cehrein and A. Reisman, "Electrical properties of amorphous tantalum pentoxide thin films on silicon", *J. Appl. Phys.*, 54, 6502, 1983.
- [3] S. Roberts, J. Ryan and L. Nesbit, "Selective studies of crystalline Ta₂O₅ films", *J. Electrochem. Soc.*, 133, 1405, 1986.
- [4] S.I. Kimura, Y. Nishioka, A. Shintani and K. Mukai, "Leakage current increase in amorphous Ta₂O₅ films due to pinhole growth during annealing below 600°C," *J. Electrochem. Soc.*, 130, 2414, 1983.
- [5] Y. Nishiok, N. Homma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta and K. Ogiue, "Dielectric characteristics of double layer structure of extremely thin Ta₂O₅/SiO₂ on Si", *IEEE Trans. Electron Devices*, 34, 1957, 1987.
- [6] G.S. Oehrien F.M. d'Heurle and A. Reisman, "Some properties of crystallized tantalum pentoxide thin films on silicon", *J. Appl. Phys.*, 53, 3715, 1984.
- [7] S. Zaima, T. Furuta and Y. Yasuda, "Preparation and properties of Ta₂O₅ films by LPCVD for ULSI application", *J. Electrochem. Soc.*, 137, 1297, 1990.
- [8] H. Shinriki and M. Nakata, "UV-O₃ and Dry-O₂; Two-step annealed chemical vapor-deposited Ta₂O₅ films for storage dielectrics of 64Mb DRAM'S", *IEEE Trans. Electron Devies*, 38, 455, 1991.
- [9] K. Sayyah, *The Physics and Chemistry of SiO₂ and Si-SiO₂ Interface*, Plenum Press, New York p. 129, 1988.
- [10] T. Kato and T. Ito, "Interfacial oxidation of silicon substrates through Ta₂O₅ films", *J. Electrochem. Soc.*, 135, 2586, 1988.
- [11] J.M. Walls, *Methods of Surface Analysis*, Cambridge University Press, New York, p.110, 1987.
- [12] P. Fazan, M. Dutoit, C. Martin and M. Ilegems, "Charge generation in thin SiO₂ polysilicon gate MOS capacitors", *Solid State Electronics*, 30, 829, 1987. 

筆者紹介



朴 星 暉

1958年 1月 8日生

1982年 2月 울산공과대학 재료공학과(공학사)

1984年 2月 한국과학기술원 재료공학과(공학석사)

1992年 2月 한국과학기술원 재료공학과(공학박사)

1984年 3月 ~ 현재 현대전자산업(주) 반도체연구소 책임연구원

주관심 분야 : 초집적 반도체 제조공정 개발



白 鎔 求

1964年 5月 1日生

1987年 2月 연세대학교 금속공학과 졸업

1987年 3月 ~ 현재 현대전자산업(주) 반도체연구소 근무

주관심 분야 : High Dielectric(Ta_2O_5 , PZT etc) Materials, PECVD Process,
Doped Oxide(BPSG, PSG, USG)