

Flash Memory 기술 동향 및 향후 전망

徐康德, 林亨圭

三星電子(株) 半導體部門 研究所

I. 서 론

반도체 비휘발성 기억소자인 EPROM과 EEPROM의 기술을 기초로 하면서 두 소자의 장점을 조합하여 개발된 flash EEPROM(또는 flash memory)은 전기적으로 데이터의 소거(erase)와 프로그램(program)이 가능하고 집적 불휘발성 기억소자이다. Flash EEPROM의 응용으로는 기존의 EPROM과 EEPROM의 대체로서 system BIOS, system configuration, 계측기기 calibration 등의 용도와 향후 노트북 컴퓨터(note book PC), hand held PC, 전자 스틸 카메라(electronic still camera)등 휴대용 기기의 고체기억장치(solid state disk memory)이다.

특히 휴대용 PC의 외부기억장치는 기존의 magnetic hard disk memory의 내충격성 및 동작속도 등의 문제점을 보완하는 불휘발성 반도체 기억소자를 필요로 하기 때문에 flash EEPROM의 주 시장이 될 것으로 예측되며 기존의 hard disk memory와의 bit cost가 좁혀지는 2000년대에는 DRAM 이상의 수율을 창출할 것으로 기대되고 있다.^[1]

따라서 본고에서는 90년대의 반도체 기억소자의 새로운 장을 열어가는 solid state disk 응용의 초고집적 flash EEPROM의 기술동향에 관하여 소개하기로 한다. Flash EEPROM이 향후 기존의 hard disk를 대체하기 위해 필요한 중요 요건으로서 DRAM 이하의 낮은 bit cost와 10^5 이상의 개서회수(endurance)를 달성해야 한다. 또한 개서(erase/program)의 자유도를 높이기 위해 소규모 단위의 sector 소거가 가능해야 하고 5V 단일 전원화, 개서시간의 단축등의 기능 개선이 필요하다.

II. 기술동향

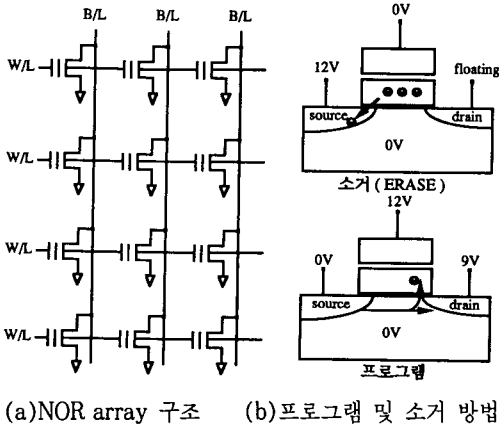
1. Flash Cell 기술

EPROM은 memory cell이 한개의 트랜지스터로 이루어져 셀 면적이 작은 반면 자외선 일괄 소거를 해야 하고 EEPROM^[2]은 전기적 소거가 가능한 반면 메모리 셀이 2개의 트랜지스터로 이루어져 셀 면적이 큰 단점이 있다. Flash EEPROM의 개념은 한개의 트랜지스터로 셀을 구성하면서 전기적 소거를 가능하게 한 불휘발성 기억소자이다. 이러한 flash EEPROM의 셀 기술은 크게 NOR형 방식^[3]과 NAND형 방식^[4,5]이 있다. NOR형 방식은 EPROM의 hot electron 프로그램 방법과 EEPROM의 F-N(Fowler-Nordheim) tunneling^[6] 소거 방법을 이용한 것으로 1985년 S.Mukherjee^[3]에 의해 처음으로 발표되었고 Intel이 제품화를 주도하고 있다. 현재 Hitachi, NEC, Mitsubishi등의 일본 회사들이 NOR형 방식으로 제품화를 추진하고 있다. 1988년 Toshiba의 M. Masuoka^[4]에 의해 제안된 NAND형 방식은 EEPROM과 같이 F-N tunneling을 이용한 소거 및 프로그램 방법을 이용하는 새로운 형태의 셀 기술로써 차세대 flash memory 기술로써 주목되고 있다.

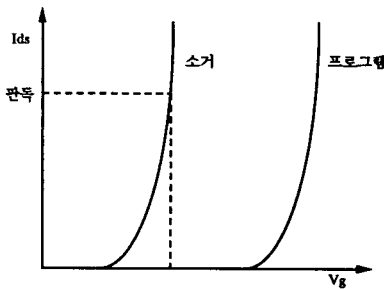
1) NOR cell 동작원리

그림 1은 NOR형 flash EEPROM의 cell array 형태와 cell의 동작방법을 보여주고 있다. Cell 구조에서 floating gate 아래의 산화막은 약 100Å의 SiO₂로 되어 있으며 floating gate와 control gate 사이의 중간 절연막은 ONO(oxide-nitride-oxide) 박막으로 되어 있다. Cell 소거를 위하여 source Junction이 floating gate 밑으로 증착되어 있는 것이 EPROM 구조와 다른 점이다. Cell 소거시 source에 12V 전압을 인가함으로써 floating gate에 주입된 electron을 100Å의 gate oxide를 통

해 방출하게 되며 이때 source가 공통으로 연결된 cell 들이 일괄 소거된다. 프로그램은 hot electron을 주입함으로써 이루어지며 byte 단위로 입력된다. 소거 cell의 V_T (threshold voltage)는 약 2V 수준이며 프로그램 cell의 V_T 는 7V 이상이 되어 전원전압 5V로서 cell 상태를 판독(read)한다. 이와 같이 NOR형 flash EEPROM은 전기적 소거방법외에는 기존의 EPROM과 cell 형태, 동작방법이 같기 때문에 EPROM의 직접 대체가 가능하다.



(a)NOR array 구조 (b)프로그램 및 소거 방법



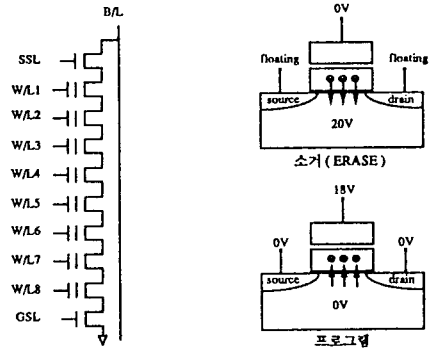
(c)Cell I-V 특성

그림 1. NOR형 flash EEPROM의 cell 구조 및 동작 방법

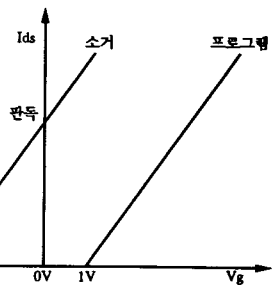
2) NAND cell 동작원리

NAND형 flash EEPROM은 그림 2와 같이 8개(또는 16개)의 cell이 직렬로 연결되어 B/L(bit line) 선택 gate와 G/L(ground line) 선택 gate를 통하여 각각 B/L과 G/L에 연결된다. 이 구조는 각 cell에서 contact 부위를 제거함으로써 높은 집적도를 갖는 것이 특징이다. Cell의 소거 및 프로그램은 100Å gate oxide를 통하여 양 방향으로 이루어지며 소거 cell의 V_T 는 -3V, 프로그램 cell의 V_T 는 약 1V가 되며 gate 전압

0V로서 cell 상태를 판독한다. 이때 비선택 cell들의 gate 전압은 5V를 인가하여 'ON' 상태가 된다. NAND형 flash EEPROM의 가장 큰 특징은 프로그램을 하나의 W/L(word line)에 연결된 모든 cell을 동시에 수행하는 page 프로그램 방법이다. F-N tunneling을 이용한 프로그램 시간이 수 msec로 hot electron 프로그램 시간의 수 μ sec에 비하여 느리기 때문이다. 이와 같은 방법으로 평균 프로그램 시간을 NOR형 flash EEPROM 보다 단축할 수 있다. 또한 소거와 프로그램 과정에서 cell의 전력소모가 없기 때문에 20V의 소거전압과 18V의 프로그램 전압을 칩내부에서 승압회로를 이용하여 공급함으로써 5V 단일 전원을 사용하게 된다. 반면에 NOR형과는 달리 page 프로그램 방식을 위하여 B/L 마다 프로그램 여부를 결정하기 위한 B/L latch가 필요하고 프로그램 시작전에 필요한 데이터를 B/L latch에 입력시켜야 한다. 표 1은 NAND형 cell의 프로그램과 판독시의 전압 인가방법을 보여준다. 프로그램은 W/L별로 순차적으로 수행되며 비선택 B/L에 7V를 인가함으로써 원하는 cell의 프로그램을 방지한다.



(a)NAND array 구조 (b) 프로그램 및 소거방법



(c) Cell I-V 특성

그림 2. NAND형 flash EEPROM의 cell 구조 및 동작 방법

표 1. NAND형 cell의 전압인가 방법

B/L	프로그램		판독
	선택	비선택	
	0V	7V	2V
SSL	10V		5V
W/L1	10V		5V
W/L2	10V		5V
W/L3	10V		5V
W/L4	18V*		0V
W/L5	10V		5V
W/L6	10V		5V
W/L7	10V		5V
W/L8	10V		5V
GSL	0V		5V

3) Flash cell 기술 비교

그림 3은 NOR형 cell과 NAND형 cell의 평면구조를 DRAM cell과 함께 비교한 것이다. 동일한 설계규칙 (design rule)인 경우 flash cell 면적이 DRAM cell 면적에 비하여 작고 cell 구조가 간단하여 향후 cost면에서 flash memory가 DRAM보다 훨씬 유리함을 알 수 있다. 특히 NAND형 cell이 NOR형 cell에 비하여 cell 면적이 2/3 수준으로 고집적화에 유리하다. 그림 4는 향후 flash memory와 DRAM의 제품화 연대를 나타낸다. 64M 이후부터는 flash memory가 DRAM에 앞서 개발될 것으로 예상되며 bit cost도 낮아질 것으로 전망된다. NOR형 flash EEPROM과 NAND형 flash EEPROM의 제반 특성을 표 2에 요약하였다. 기능상 NOR형 flash EEPROM의 장점은 프로그램과 판독 방법이 기존의 EPROM과 동일한 점이다. NAND형 flash EEPROM은 random access 속도가 10 μ sec로 느린 반면 page buffer를 이용한 serial access로 속도를 단축할 수 있다. 개서 가능 회수는 NAND형이 NOR형보다

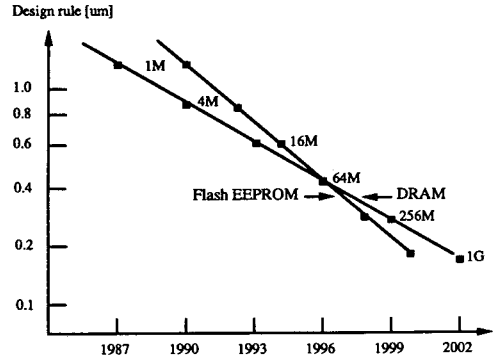


그림 4. Flash EEPROM과 DRAM의 예상 개발추이

표 2. Flash memory 성능 비교

	NOR형 Flash EEPROM	NAND형 Flash EEPROM
전원	5/12V	5V
소거속도	~2sec	~10msec
최소 Sector단위	16~64K Byte	4K Byte
프로그램 속도	10 μ s/Byte	20ms/page
판독속도	120 nsec	random : 10 μ sec serial : 100 μ sec
개서회수	10 ³ ~ 10 ⁴	10 ⁵

10배 이상으로 유리하고 최소 소거단위인 sector 크기에서도 NAND형이 유리하다. 개서과정에 있어서의 큰 차이점은 NOR형이 소거과정에서 V_T가 지나치게 낮아지는 과잉 소거현상을 방지하기 위한 소거 알고리즘^[7]이 필요한 반면 NAND형은 V_T가 기준이상으로 증가하는 과잉 프로그램 방지를 위한 프로그램 알고리즘^[5]이 필요하다.

2. Flash Memory의 극복과제

Flash memory는 사진 식각기술의 발전과 함께 고집적화가 급속히 진행될 전망이고 기존의 EPROM, EEPROM보다 여러가지 잇점이 있으나 향후 flash memory가 목표로 하는 hard disk memory 대체를 위하여 다음과 같은 기능의 향상이 이루어져야 한다.

- 개서 회수의 증대(약 10⁶)
- 과잉소거 또는 과잉 프로그램 제어기술
- Sector 크기의 최소화
- 5V 단일 전원화

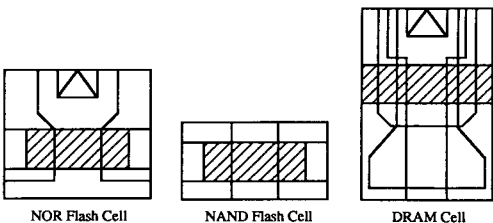


그림 3. Flash cell 및 DRAM cell의 면적 비교

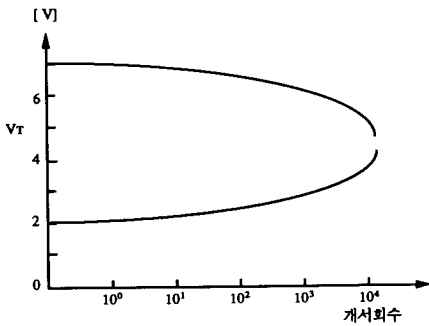
1) 개서 회수의 제한 원인 및 대책

NOR형 flash EEPROM에서는 cell 소거시 source와 substrate 사이의 12V 전위차에 의해 band간 tunneling^[8]에 의해 누설전류가 흐르며 이때 발생된 고에너지의 electron이 gate oxide내에 trap되는 현상이 있다. Cell의 개서가 반복되면서 electron-trap에 의해 gate oxide내의 전위장벽이 증가하여 F-N tunneling을 방해함으로써 cell의 소거특성을 열화시키면서 이에 의해 NOR형 cell의 개서회수가 제한된다. NAND형 flash EEPROM에서는 cell 동작방법에서 band간 tunneling 현상은 없으나 cell 소거와 프로그램시 F-N tunneling 과정에서 electron-trap에 의한 열화현상이 나타난다. 그림 5는 NOR형 cell과 NAND형 cell의 개서회수에 따른 cell 특성변화를 나타낸 것이며 NOR형 cell의 열화가 빨리 일어나는 것을 알 수 있다. NOR형 cell에서 개서회수를 증가시키는 방법으로 negative gate 전압 인가 방식에 의한 소거기술^[9]이 있다. 즉 gate에 -12V를 인가하고 source에 5V를 인가하는 소거방법이다. 소거시 source와 substrate간의 전압을 5V로 하여 band간 누설전류를 감소시킴으로써 electron-trap을 억제하는 것이다. 이와 같은 방법으로 NAND형 cell과 같은 수준의 개서회수를 보증할 수 있다. 그러나 nega-

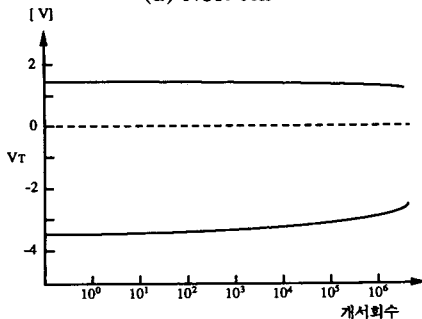
tive gate 전압 소거방식은 W/L decoder 회로의 설계가 복잡하고 칩의 면적을 크게 차지하는 단점이 있다. 향후 16M급 이상의 NOR형에서는 이 방법이 사용될 것으로 예상된다. 그러나 NOR형 cell과 NAND cell 모두 궁극적으로 10⁶의 개서회수를 보장하기 위하여는 F-N tunneling에 의한 electron-trap을 감소시키는 기술의 개발이 필요하다.

2) 과잉 소거 또는 과잉 프로그램 제어 기술

F-N tunneling를 이용하여 cell의 V_T를 변화시킬 때 gate oxide 두께등의 공정상의 편차 때문에 cell 소거속도(NOR cell) 또는 프로그램 속도(NAND cell)가 다르게 되고 이에 따라 V_T의 편차가 발생한다. 그림 1의 cell array 구조상 NOR cell에서 소거 V_T가 낮아지는 과잉 소거가 일어날 경우 B/L 누설전류가 증가하여 프로그램 cell의 판독이 불가능하게 된다. 반면에 그림 2의 NAND cell에서는 특정 cell이 과잉 프로그램 되어 V_T가 상승하게 되면 동일 block내의 이웃하는 on-cell 판독시 cell 전류가 작아지게 되어 역시 판독이 불가능하게 된다. 이에 따라 flash memory에서는 V_T의 편차를 최소화 하는 기술이 필요하게 된다. 과잉 소거 또는 과잉 프로그램을 방지하기 위해 사용되는 방법은 그림 6과 같이 시간분할식 소거 및 검증 알고리즘(NOR형) 또는 시간분할식 프로그램 및 검증 알고리즘(NAND형)을 사용한다. 그러나 이러한 방법들은 알고리즘 지원을 위한 외부 시스템이 필요하게 되고 검증시간이 길어 시스템의 효율이 크게 떨어지는 단점이 있다. 이를 개선하기 위하여는 자동검증을 위한 회로를 on-chip화시키는 기술^[10]과 검증시간을 단축하는 기술이 필요하며 16M급에서는 이러한 기술이 적용될 것으로 보인다.

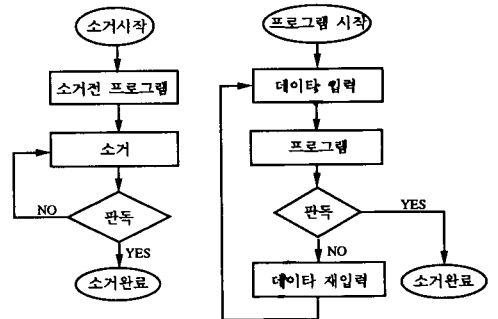


(a) NOR cell



(b) NAND cell

그림 5. Flash EEPROM의 개서회수에 따른 특성 변화



(a) 소거 알고리즘(NOR) (b) 프로그램 알고리즘(NAND)

그림 6. 소거 알고리즘(NOR형) 및 프로그램 알고리즘(NAND형)

3) Sector 크기의 최소화

Flash memory의 기능을 제한시키는 또 다른 요인으로서 일괄 소거의 최소 단위인 sector당 memory 용량이 크기 때문에 개서의 자유도가 크게 떨어지는 점이다. NOR형 cell인 경우 source가 공통으로 연결되어 일괄 소거되는 특징을 가지면서 부분적인 소거를 하기 위하여 sector 수 만큼 source를 분리하여야 한다. 그러나 sector 용량을 작게 할 수록 source를 구동하는 decoder 회로 면적이 커짐으로 chip 면적이 크게 증가되는 문제점이 있다. 4M NOR형에서는 최소 sector 단위가 16K - 64K byte 정도이며 16M 이상에서는 더 세분화 될 전망이다. NAND형에서는 하나의 NAND block 단위로 소거가 가능하며 4M에서는 sector 단위가 4K byte로 발표되었고 16M 이상에서도 같은 sector 단위를 유지할 전망이다.


4) 5V 단일 전원화

NAND형 flash EEPROM은 cell의 소거 및 프로그램 동작시 전류소모가 없기 때문에 이때 사용되는 18 - 20V의 고전압을 칩 내부의 승압회로로 공급 가능하여 5V 단일 전원을 사용한다. 반면에 NOR형 flash EEPROM은 cell 소거전류와 프로그램 전류가 수십 mV가 되기 때문에 12V 전원이 별도로 필요하다. NOR형 flash EEPROM에서 5V 단일 전원을 사용하기 위하여는 반드시 negative gate 전압을 이용한 소거방법을 사용하여야 하고 또한 cell 프로그램시 drain의 프로그램 전압이 5V 이하로 낮아져야 한다^[9]. 프로그램 전압을 낮추기 위하여는 cell에서 hot electron을 쉽게 발생시킬 수 있도록 하는 drain Junction 기술^[10]이 필요하다.

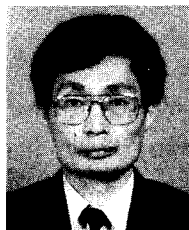
III. 향후 전망

NOR형 flash EEPROM은 개서 회수의 제한, 과잉 소거 대책, sector의 분할, 5V 단일화등 해결해야 할 기술적인 문제점들이 많은 반면에 Intel, AMD, Hitachi, Mitsubishi등 많은 회사들이 참여하여 기술개발이 가속화 될 것으로 예상된다. 또한 현재의 기술로서도 기존의 EPROM, EEPROM의 대체 응용이 가능한 잇점이 있다. 반면에 NAND형 flash EEPROM은 현재 대체 시장은 없으나 칩 면적, 개서회수, sector 분할, 5V 단일 전원 등 여러가지 측면에서 NOR형 flash EEPROM 보다 유리하다. 따라서 16M 이후부터 hard disk memory를 대체하는 solid state memory 시장에서는 NAND형 flash EEPROM이 주도적인 역할을 할 것으로 예상된다.

參 考 文 獻

- [1] 若林秀樹, NRI Report, 노무라 종합연구소, 1991년 3월 8일
- [2] John R. Yeargain and Clinton Kuo, "A High Density Floating-gate EEPROM Cell", IEDM Tech. Dig., pp.24-27, 1981.
- [3] Satyen Mukherjee and et al., "A Single Transistor EEPROM Cell and Its Implementation in a 12K CMOS EEPROM", in IEDM Tech. Dig., pp. 616-619, 1988.
- [4] M.Momodomi and et al., "New Device Technologies for 5V-only 4Mb EEPROM with NAND Structure Cell", in IEDM Tech. Dig., pp.412-415, 1988.
- [5] Masaki Momodomi and et al., "A 4-Mb NAND EEPROM with tight programmed V_T distribution", *IEEE J. Solid-State Circuits*, vol.26, no.4, pp.492-496, April 1991.
- [6] C.Chang, R.W.Brodersen and C.Hu, "Direct and Fowler-Nordheim Tunneling in Thin Gate Oxide MOS Structure", Proc. International Conference INFOS 83, pp.176-180, 1983.
- [7] V.N.Kynetti and et al., "An in-system reprogrammable 32K × 8 CMOS flash memory", *IEEE J. Solid-State Circuits*, vol.23, no.5, pp.1157-1162, Oct. 1988.
- [8] R. Shirota and et al., "An Accurate Model of Subbreakdown Due to Band-to-band Tunneling and Its Application", in IEDM Tech. Dig., pp.26-29, 1988.
- [9] N.Ajika and et al., "A 5 volt Only 16M Bit Flash EEPROM Cell with a Simple Stacked Gate Structure", in IEDM Tech. Dig., pp.115-118, 1990.
- [10] Koichi Seki and et al., "An 80ns 1Mb flash memory with on-chip erase/verify controller", *IEEE J. Solid-State Circuits*, vol.25, no.5, pp.1147-1152, Oct.1990.
- [11] N.Kodama and et al., "A Symmetrical Side Wall (SSW)-DSA Cell for a 64M Bit Flash Memory", in IEDM Tech. Dig., pp.303-306, 1991. 

筆 者 紹 介



徐 康 德

1956年 10月 2日生

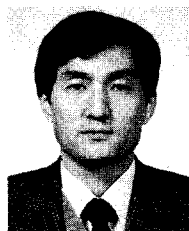
1979年 2月 서울대학교 공과대학 전기공학과(학사)

1981年 8月 한국과학기술원 전기 및 전자공학과(석사)

1991年 2月 한국과학기술원 전기 및 전자공학과(박사)

1979年 1月 ~ 현재 삼성전자(주) 반도체 부문

주관심 분야 : 반도체 디바이스



林 亨 圭

1953年 2月 4日生

1976年 2月 서울대학교 공과대학 전자공학과(학사)

1978年 2月 한국과학기술원 전기 및 전자공학과(석사)

1981年 8月 미국 Univ. of Florida(박사)

1976年 3月 ~ 현재 삼성전자(주) 반도체 부문

주관심 분야 : 반도체 Memory 설계